

VIỆN ĐIỆN TỬ VIỄN THÔNG  
BỘ MÔN ĐIỆN TỬ VÀ KỸ THUẬT MÁY TÍNH

-----  
**MÔN HỌC: KỸ THUẬT VI XỬ LÝ**

**Học kỳ: 2    Năm học: 2012-2013**

**ĐÁP ÁN BÀI TẬP VỀ NHÀ SỐ 3**

-----

Bài 1 (20 điểm): So sánh EPROM , EEPROM , Flash , SRAM , DRAM

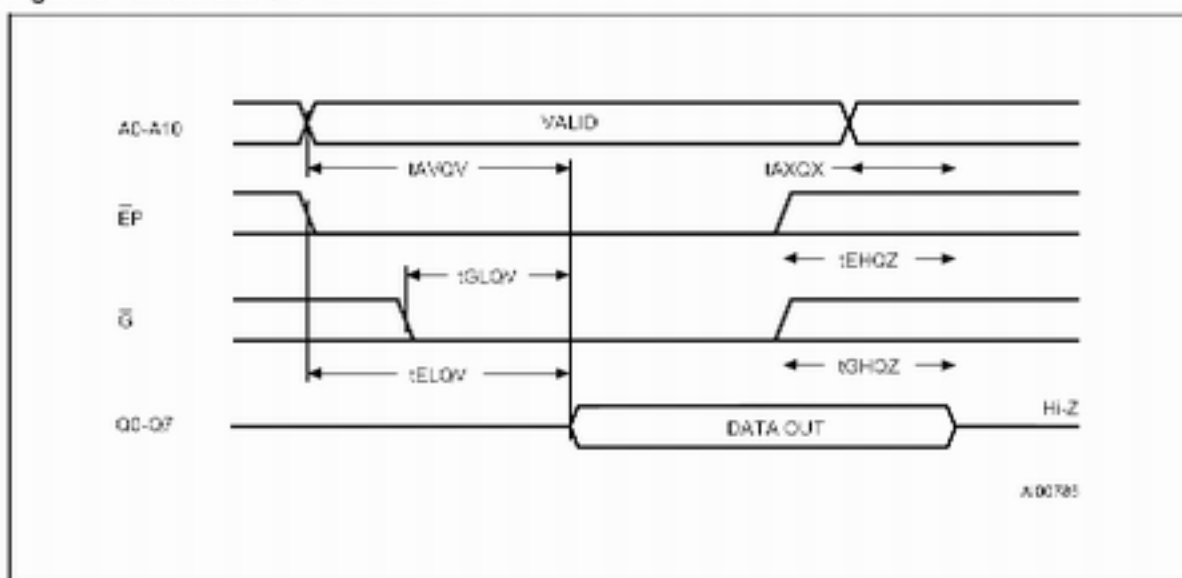
Bộ nhớ	EPROM	EEPROM	Flash	SRAM	DRAM
Cấu trúc 1 bit nhớ	1 Transistor cho 1 bit	2 Transistors cho 1 bit	1 Transistor cho 1 bit	6 Transistors cho 1 bit	1 Transistor và 1 tụ cho 1 bit
Giá thành/ bit	Vừa phải	Vừa phải	Vừa phải	Đắt	Rẻ
Thời gian đọc	45ns	40 ns	35ns	5ns	50ns
Thời gian ghi	1ms/bit	10ms/page	1 $\mu$ s/2KB	5ns	50ns
Mức tiêu thụ năng lượng	Thấp	Thấp	Thấp	Liên tục tiêu thụ năng lượng	Thấp, chỉ tiêu thụ năng lượng khi làm tươi và truy nhập
Kích thước tối đa của 1 IC	16Mbits	Mbit	GB	16Mbits	4Gbits

Khả năng lưu giữ thông tin	Không bị mất dữ liệu khi mất nguồn, lưu trữ cho đến khi bị xóa bởi tia cực tím , có thể ghi được 3 lần	Không bị mất dữ liệu khi mất nguồn, lưu trữ cho đến khi bị xóa bởi điện, có thể ghi được 10000 lần	Không bị mất dữ liệu khi mất nguồn, lưu trữ cho đến khi bị xóa bởi điện, có thể ghi được 1 triệu lần	Bị mất dữ liệu khi mất nguồn , có thể xóa và ghi vô hạn lần	Bị mất dữ liệu khi mất nguồn , có thể xóa và ghi vô hạn lần
Ứng dụng	Làm ROM Bios cho các máy tính của những năm 80, 90.	Dùng làm ROM BIOS cho các máy tính ngày nay. Dùng làm bộ nhớ chương trình của các thiết bị nhúng	Thẻ nhớ, USB flash	Cache, không nên dùng cho thiết bị chạy pin	Dùng làm bộ nhớ chính trong các hệ vi xử lý

## Bài 2 : Datasheet EPROM M2716

### a. Giải thích Sơ đồ thời gian Figure 5 (Read Mode AC Waveforms)

Figure 5. Read Mode AC Waveforms



Trong chế độ đọc, EPROM cần 2 tín hiệu  $EP = V_{IL}$  và  $G = V_{IL}$  để thực hiện cho phép dữ liệu được đưa ra ngoài.

- $t_{AVQV}$ : Khi  $EP = V_{IL}$  và  $G = V_{IL}$ ,  $t_{AVQV}$  là thời gian kể từ khi có tín hiệu địa chỉ là hợp lệ (Address Valid) cho đến khi dữ liệu bắt đầu được xuất ra (Output Valid) tối đa là 350ns đối với M2716-1, hay 450ns đối với M2716.
- $t_{AXQX}$ : Thời gian kể từ khi có sự thay đổi của tín hiệu địa chỉ (Address Transition) cho đến khi bị mất dữ liệu ở đầu ra tối thiểu là 0ns (nghĩa là dữ liệu ở đầu ra của EPROM có thể mất ngay sau khi tín hiệu địa chỉ thay đổi).
- $t_{ELQV}$ : Khi  $G = V_{IL}$ ,  $t_{ELQV}$  là thời gian kể từ khi có tín hiệu chọn chip (Chip Enable Low) đến khi dữ liệu ra bắt đầu được xuất ra (Output Valid) tối đa là 350ns đối với M2716-1, hay 450ns đối với M2716.
- $t_{EHQZ}$ : Thời gian kể từ khi ngắt tín hiệu chọn chip (Chip Enable High) đến khi bị mất dữ liệu ở đầu ra (Output Hi-Z) tối thiểu là 0ns và tối đa là 100ns.
- $t_{GLQV}$ : Khi  $EP = V_{IL}$ ,  $t_{GLQV}$  là thời gian kể từ khi có tín hiệu cho phép dữ liệu ra (Output Enable Low) đến khi dữ liệu bắt đầu được xuất ra (Output Valid) tối đa là 120ns.
- $t_{GHQZ}$ : Thời gian kể từ khi ngắt tín hiệu cho phép dữ liệu ra (Output Enable High) đến khi bị mất dữ liệu ra (Output Hi-Z) tối thiểu là 0ns và tối đa là 100ns.

b. EPROM có thời gian truy cập 450ns không thể ghép trực tiếp với 8088 làm việc ở tần số 5MHz vì :

8088 làm việc ở tần số 5MHz, mỗi chu kỳ  $T_i$  kéo dài 200ns.

Theo biểu đồ thời gian biểu diễn chu kỳ đọc bộ nhớ của 8088 thì việc truy cập bộ nhớ kéo dài từ  $T_1$  đến  $T_3$  tức là mất 600ns

Do có : Trễ địa chỉ  $T_{CLAV} = 110ns$

Thời gian giữ của dữ liệu khi đọc  $T_{DVCL} = 30ns$

Nên thời gian truy cập bộ nhớ của 8088 là :  $T_{AC} = 600 - 110 - 30 = 460ns$

Tuy nhiên còn có trễ khi truyền dữ liệu qua các mạch đệm và giải mã địa chỉ:  $T_{trễ\ đệm} = 40ns$

→ Do đó bộ nhớ ghép nối trực tiếp với 8088 cần có thời gian truy cập

$T_{mem} \leq 460 - 40 = 420ns$

Vì vậy EPROM có thời gian truy cập 450ns ( $> 420ns$ ) sẽ không thể ghép nối trực tiếp với 8088 làm việc ở tần số 5MHz.

( Muốn ghép nối thì phải báo cho CPU chèn thêm thời gian đợi )

### Bài 3 : Datasheet IC SST29EE010

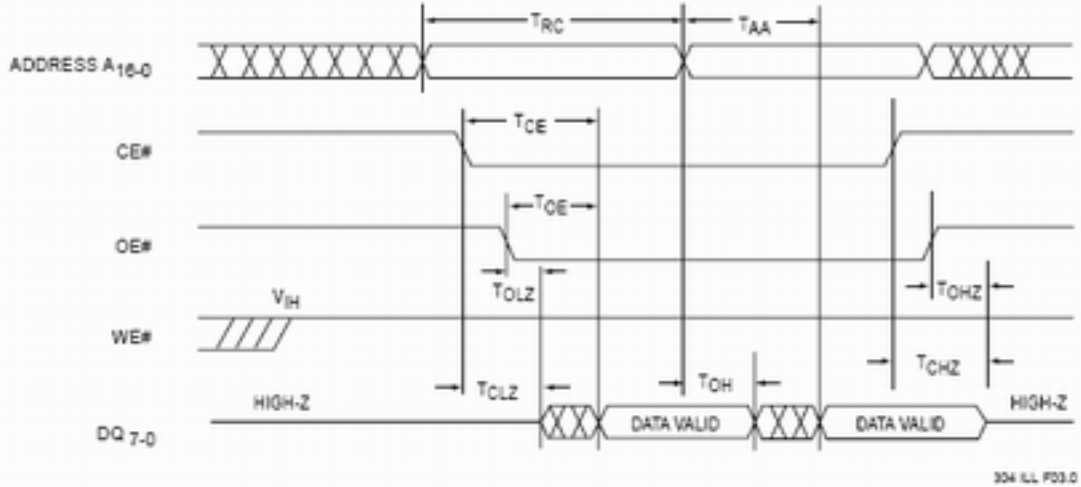


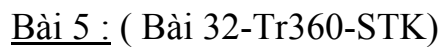
FIGURE 4: READ CYCLE TIMING DIAGRAM

TABLE 10: READ CYCLE TIMING PARAMETERS FOR SST29EE010

Symbol	Parameter	SST29EE010-70		SST29EE010-90		Units
		Min	Max	Min	Max	
$T_{RC}$	Read Cycle Time	70		90		ns
$T_{CE}$	Chip Enable Access Time		70		90	ns
$T_{AA}$	Address Access Time		70		90	ns
$T_{OE}$	Output Enable Access Time		30		40	ns
$T_{CLZ}^1$	CE# Low to Active Output	0		0		ns
$T_{OLZ}^1$	OE# Low to Active Output	0		0		ns
$T_{CHZ}^1$	CE# High to High-Z Output		20		30	ns
$T_{OH}^1$	Output Hold from Address Change	0	20	0	30	ns

- $T_{RC}$  ( Read Cycle Time): Chu kỳ đọc tối thiểu là 70ns (tín hiệu địa chỉ phải hợp lệ ít nhất là 70 ns).
- $T_{AA}$  (Address Access Time): Khoảng thời gian kể từ khi có tín hiệu địa chỉ hợp lệ đến khi có dữ liệu ở đầu ra tối đa là 70ns.
- $T_{CE}$  (Chip Enable Access Time): Khoảng thời gian kể từ khi có tín hiệu chọn chip (Chip Enable Low) đến khi có dữ liệu ở đầu ra tối đa là 70ns.
- $T_{CLZ}$  (CE# Low To Active Output): Khoảng thời gian kể từ khi có tín hiệu chọn chip (Chip Enable Low) đến khi có tín hiệu kích hoạt dữ liệu ra, tối thiểu là 0ns ( tức là thể kích hoạt dữ liệu ra trước khi có tín hiệu chọn chip)
- $T_{CHZ}$  (CE# High To High-Z Output) : Khoảng thời gian kể từ khi ngắt tín hiệu chọn chip (Chip Enable High) đến khi dữ liệu ra lần 2 không còn được truyền đi (Output High-Z) , tối đa 20ns đối với SST29EE010-70 hay 30ns đối với SST29EE010-90

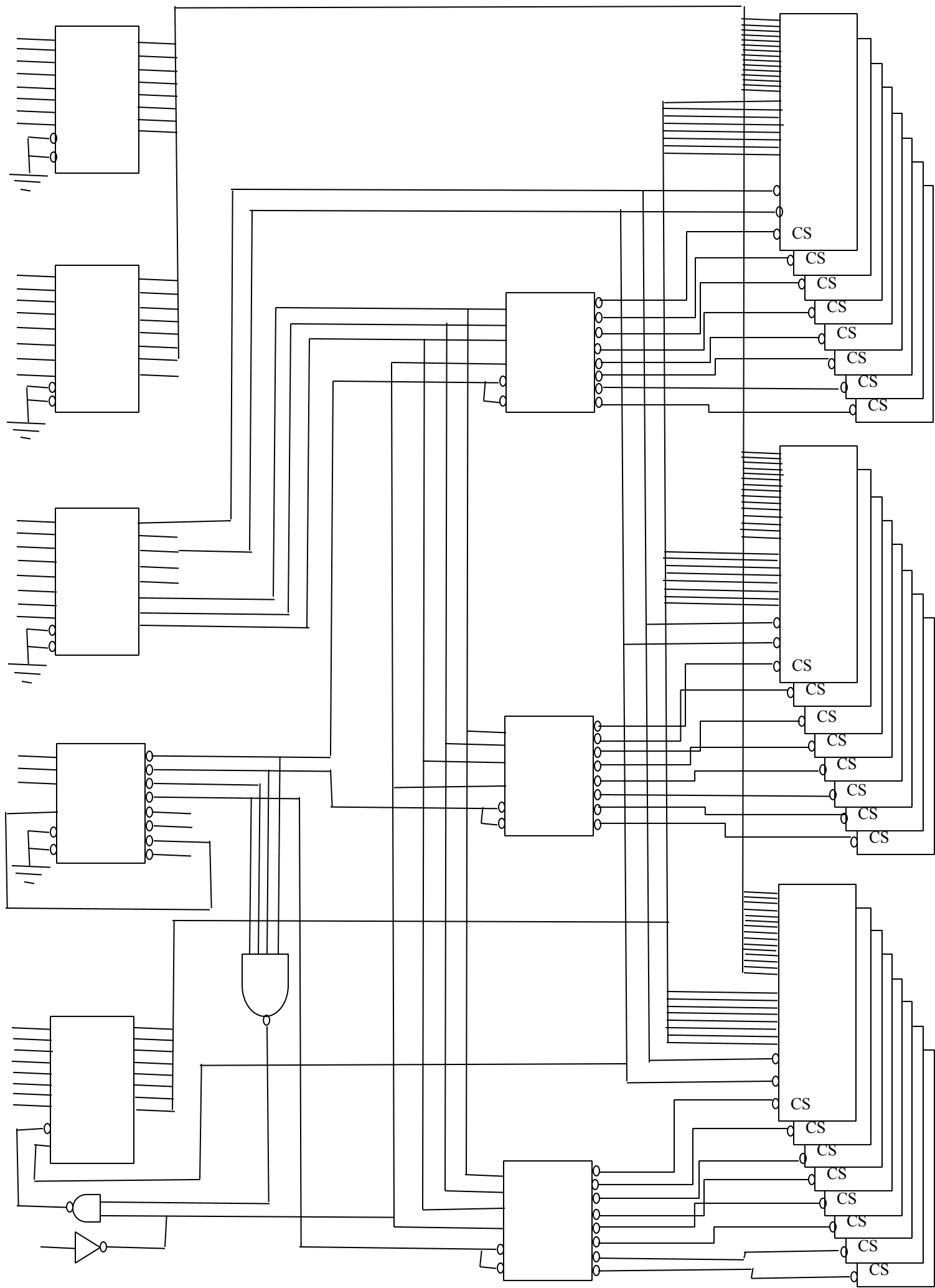
- [illegible]

$$A_0 \quad \blacktriangleleft \quad A_{12}$$


Xác định số đường địa chỉ :  $32k \times 8 = 2^{15} \times 8$

Số SRAM cần thêm : 8 SRAM

Xác định dải địa chỉ của các SRAM :



Dùng bộ giải mã U4 để chọn 3 bộ giải mã U6 , U7 , U8 :

- Một địa chỉ bắt đầu với 00 thì chọn bộ giải mã U6
- Một địa chỉ bắt đầu với 01 thì chọn bộ giải mã U7
- Một địa chỉ bắt đầu với 11 thì chọn bộ giải mã U8

**Bài 6 :** (Bài 46-Tr361-STK)

## Phát triển bộ nhớ có độ rộng 32bit từ các EPROM

Chọn EPROM 27128 ( $16k \times 8$ ) ghép nối với 80486

Kích thước bộ nhớ :  $FFFFFFFF - FFFF0000 + 1 = 64KB$

Xác định số đường địa chỉ của EPROM :  $16k \times 8 = 2^{14} \times 8$

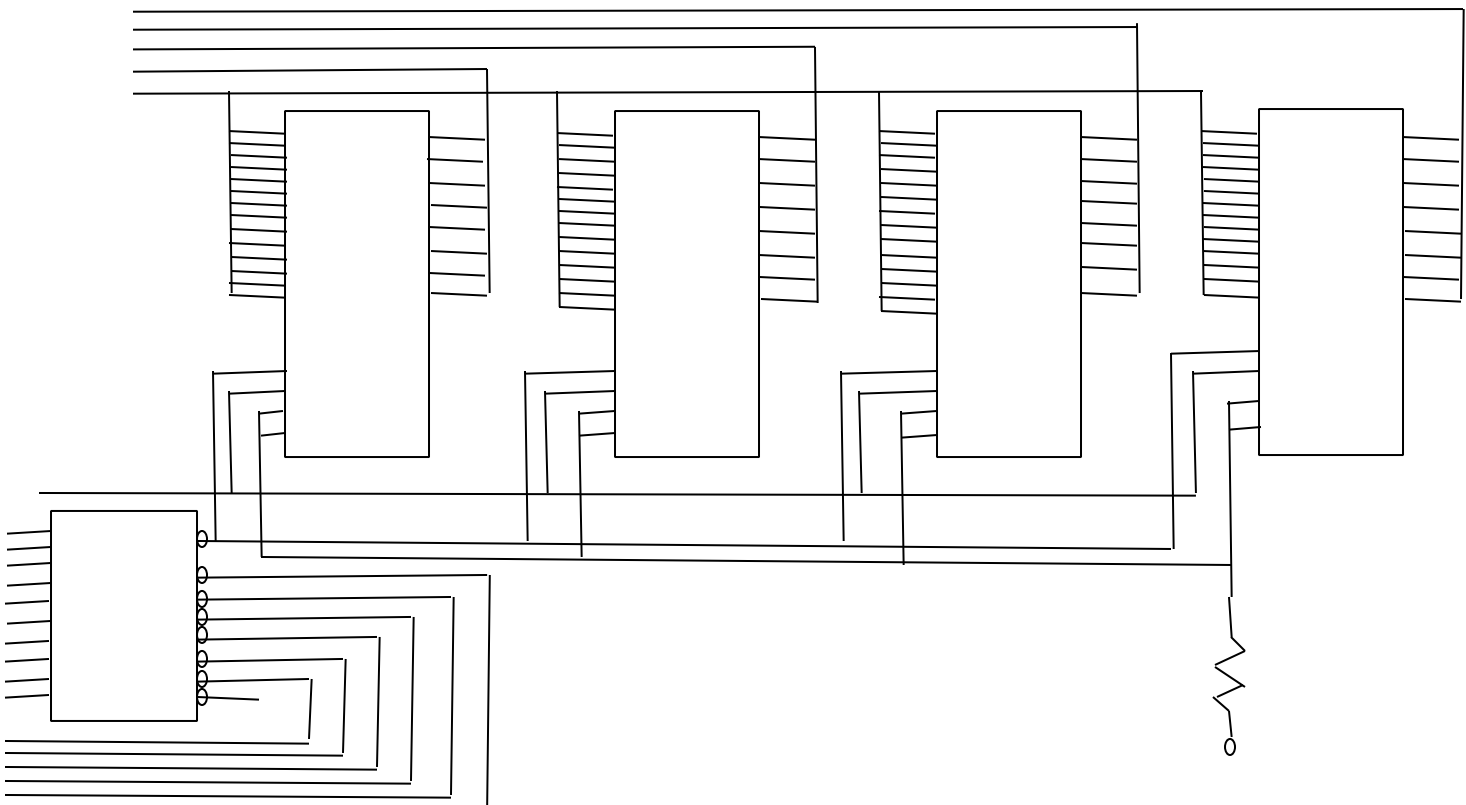
→ Có 14 đường địa chỉ :  $A_0 \div A_{13}$

Xác định số IC nhớ cần dùng :  $64k \div 16k = 4$  IC chia làm 4 bank

Xác định dải địa chỉ của các IC nhớ :

[illegible]

Sử dụng bộ giải mã AMD 16L8 PAL để giải mã địa chỉ :





**Bài 7 :** ( Bài 47-Tr361-STK)

## Phát triển bộ nhớ có độ rộng 64bit từ EPROM và SRAM

Chọn EPROM 27512 ( $64k \times 8$ ) và SRAM M48Z512A\_06 ( $512k \times 8$ )

**EPROM ở địa chỉ FFF00000H ÷ FFFFFFFFH**

Kích thước vùng nhớ chứa EPROM :  $FFFFFFFF - FFF00000 + 1 = 1\text{MB}$

Xác định số đường địa chỉ của EPROM :  $64k \times 8 = 2^{16} \times 8$

→ Có 16 đường địa chỉ  $A_0 \div A_{15}$

Xác định số IC nhớ cần dùng :  $1\text{MB} \div 64\text{KB} = 16 \text{ IC}$

→ Chia làm 8 bank , mỗi bank gồm 2 IC nhớ

Xác định dải địa chỉ của các IC nhớ :

[illegible]

SRAM ở địa chỉ 00000000H ÷ 003FFFFFH

Kích thước vùng nhớ chứa SRAM :  $003\text{FFFF} - 0 + 1 = 4\text{MB}$

Xác định số đường địa chỉ của SRAM :  $512k \times 8 = 2^{19} \times 8$

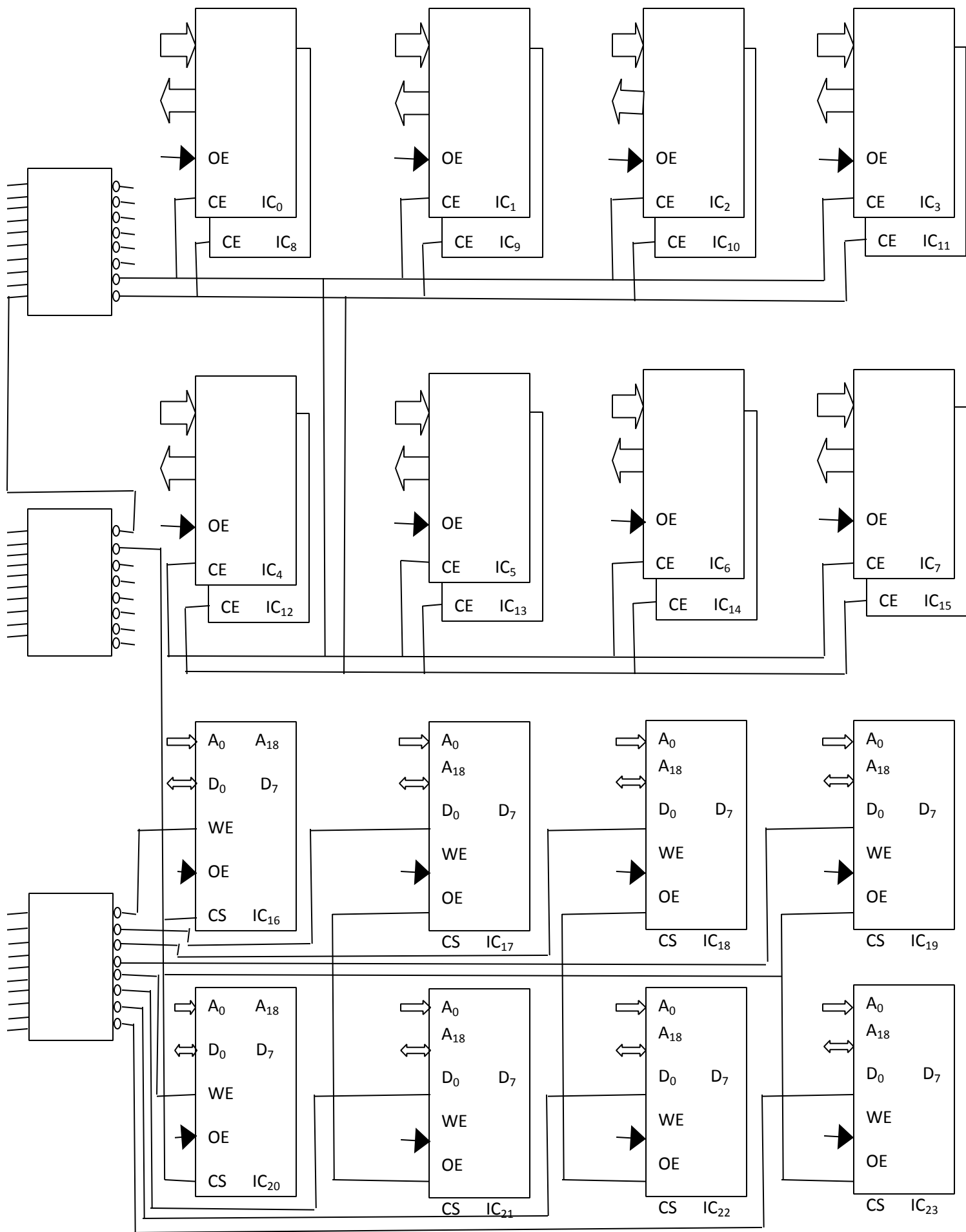
→ Có 19 đường địa chỉ :  $A_0 \div A_{18}$

Xác định số IC nhớ cần dùng :  $4\text{MB} \div 512\text{KB} = 8 \text{ IC}$

→ Chia làm 8 bank, mỗi bank gồm 1 IC

### Xác định dải địa chỉ của các IC

[illegible]



- Chương trình cho PAL 16L8 U1
 

```

;pins  1    2    3    4    5    6    7    8    9    10
        A19 A20 A21 NC  NC  NC  NC  NC  NC  GND
;pins  11   12   13   14   15   16   17   18   19   20
        U21 EB1  EB0 NC  NC  NC  NC  NC  NC  VCC

EQUATIONS
/EB0 = /U21 * /A19 * A20 * A21
/EB1 = /U21 * A19 * A20 * A21
      
```
- Chương trình cho PAL 16L8 U2
 

```

;pins  1    2    3    4    5    6    7    8    9    10
        A22 A23 A24 A25 A26 A27 A28 A29 A30 GND
;pins  11   12   13   14   15   16   17   18   19   20
        A31 NC  NC  NC  NC  NC  NC  U23 U21 VCC

EQUATIONS
/U21 = A22 * A23 * A24 * A25 * A26 * A27 * A28 * A29 * A30 * A31
/U23 = /A22 * /A23 * /A24 * /A25 * /A26 * /A27 * /A28 * /A29 * /A30 * /A31
      
```
- Chương trình cho PAL 16L8 U3
 

```

;pins  1    2    3    4    5    6    7    8    9    10
        MWTC BE0  BE1 BE2 BE3 BE4 BE5 BE6 BE7 GND
;pins  11   12   13   14   15   16   17   18   19   20
        NC  WR0  WR1 WR2 WR3 WR4 WR5 WR6 WR7 VCC

EQUATIONS
/WR0 = /MWTC * /BE0
/WR1 = /MWTC * /BE1
/WR2 = /MWTC * /BE2
/WR3 = /MWTC * /BE3
/WR4 = /MWTC * /BE4
/WR5 = /MWTC * /BE5
/WR6 = /MWTC * /BE6
/WR7 = /MWTC * /BE7
      
```

### Bài 8 : Thiết kế bộ nhớ cho 8086 :

a . Bộ nhớ 80kB từ SRAM ( $8k \times 8$ ) bắt đầu từ địa chỉ 0C000H

Xác định số đường địa chỉ của SRAM :  $8k \times 8 = 2^{13} \times 8$

→ Có 13 đường địa chỉ :  $A_0 \div A_{12}$

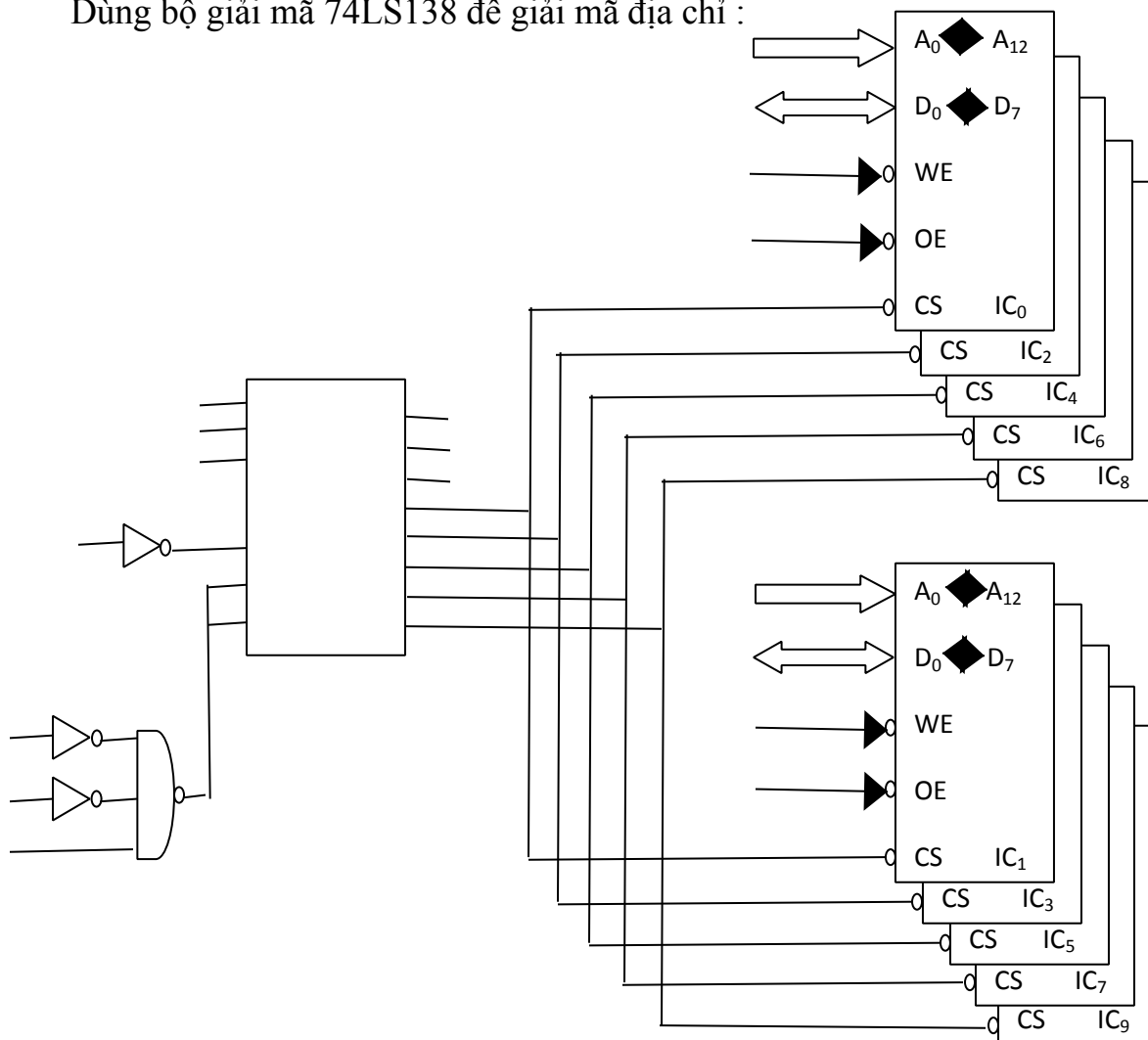
Xác định số IC nhớ cần dùng :  $80k \div 8k = 10$  IC

→ Chia làm 2 bank , mỗi bank gồm 5 IC

Xác định dải địa chỉ của các IC :

$A_{19}$	$A_{18}$	$A_{17}$	$A_{16}$	$A_{15}$	$A_{14}$	$A_{13}$	.	.	.	.	.	.	.	.	.	.	.	$A_1$	$A_0$
0	0	0	0	1	1	0	.	.	.	.	.	.	.	.	.	.	.	0	0
0	0	0	0	1	1	1	.	.	.	.	.	.	.	.	.	.	.	1	0
0	0	0	1	0	0	0	.	.	.	.	.	.	.	.	.	.	.	0	0
0	0	0	1	0	0	1	.	.	.	.	.	.	.	.	.	.	.	1	0
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
0	0	0	1	1	1	0	.	.	.	.	.	.	.	.	.	.	.	0	0
0	0	0	1	1	1	1	.	.	.	.	.	.	.	.	.	.	.	1	0
0	0	0	0	1	1	0	.	.	.	.	.	.	.	.	.	.	.	0	1
0	0	0	0	1	1	1	.	.	.	.	.	.	.	.	.	.	.	1	1
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
0	0	0	1	1	1	0	.	.	.	.	.	.	.	.	.	.	.	0	1
0	0	0	1	1	1	1	.	.	.	.	.	.	.	.	.	.	.	1	1

Dùng bộ giải mã 74LS138 để giải mã địa chỉ :



b . Bộ nhớ 128kB từ ROM (  $32k \times 8$  ) kết thúc ở địa chỉ FFFFFH

Xác định số đường địa chỉ của ROM :  $32k \times 8 = 2^{15} \times 8$

→ Có 15 đường địa chỉ :  $A_0 \div A_{14}$

Xác định số IC nhớ cần dung :  $128k \div 32k = 4$  IC

Chia làm 2 bank , mỗi bank gồm 2 IC

Xác định dải địa chỉ của cá IC nhớ :

→ Địa chỉ đầu =  $FFFFF - 128kB + 1 = FFFFF - 20000 + 1 = E0000H$

$A_{19}$	$A_{18}$	$A_{17}$	$A_{16}$	$A_{15}$	$A_1$	$A_0$
1	1	1	0	0	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	1	1	0
1	1	1	0	0	0	1
1	1	1	0	1	1	1
1	1	1	1	0	0	1
1	1	1	1	1	1	1

Dùng bộ giải mã 74LS139 để giải mã địa chỉ :

