

Chương 1. Hệ Tuần Tự

❖ Đề Cương:

- Định nghĩa hệ tuần tự
- Flip Flop các loại
- Phân loại hệ đếm tuần tự
- Một số hệ đếm tuần tự
- Thanh ghi và bộ đếm
- ROM
- RAM

❖ Mục Đích:

Sau khi hoàn thành chương này, bạn phải nắm được kiến thức:

- Flip Flop các loại như SC-FF, JK-FF, D-FF, T-FF.
- Hệ đếm tuần tự và cách thiết kế và phân tích mạch đếm tuần tự bằng các FF.
- Sử dụng được các thanh ghi và bộ đếm.
- Một số khái niệm ban đầu về ROM và RAM

❖ Các Thuật Ngữ Tiếng Anh:

- | | |
|----------------------|-------------|
| • Sequential system: | hệ tuần tự |
| • Asynchronous: | bất đồng bộ |
| • Synchronous: | đồng bộ |
| • Register: | thanh ghi |
| • Counter: | bộ đếm |

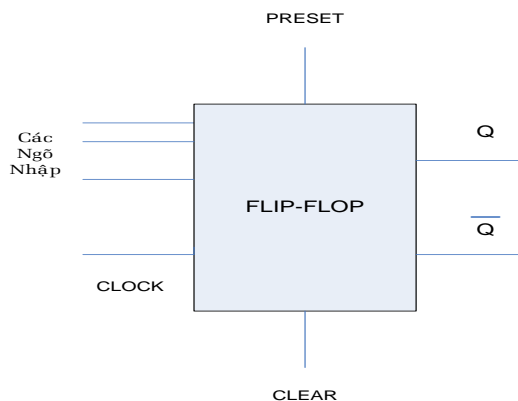
1.1- Định Nghĩa

Hệ tuần tự là hệ thống mà ngõ xuất phụ thuộc vào các ngõ nhập và trạng thái trong của hệ thống. Có nghĩa là hệ thống có nhớ hay có lưu trữ các trạng thái trước đó của nó.

1.2- Flip-Flop Các Loại

1.2.1- Định nghĩa và phân loại

- Flip-Flop (FF) là mạch có khả năng nhớ, với 1 đến nhiều ngõ nhập, và luôn có hai ngõ xuất luôn luôn ở trạng thái đảo nhau, được ký hiệu là Q và \bar{Q} . Tùy theo loại FF, sẽ có thêm ngõ nhập đồng bộ (CLOCKED), ngõ nhập CLEAR xóa Q về mức logic 0, ngõ nhập PRESET đặt Q lên mức logic 1. Theo sơ đồ khối sau:



Hình 1. Sơ đồ tổng quát của một FF

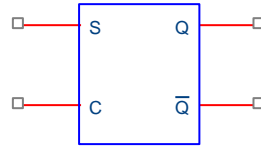
- Để mô tả một FF, ta có thể dùng một trong các cách sau:
 - *Bảng thực trị (bảng hoạt động)
 - *Giản đồ chuyển đổi trạng thái
 - *Phương trình đặc trưngTrong tập tài liệu này chủ yếu là sử dụng bảng hoạt động để mô tả hoạt động của FF
- Phân loại Flip-Flop: Ta có thể phân loại theo chức năng như loại SC-FF, JK-FF, D-FF hay T-FF hay phân loại theo chức năng điều khiển đồng bộ hay bất đồng bộ.

1.2.2- SC-FF hay RS-FF

- Định nghĩa: SC-FF là một FF có hai ngõ nhập S và C , hai ngõ xuất Q và \bar{Q} . Với ngõ nhập S (Set) tích cực sẽ kích ngõ xuất Q lên mức logic 1, ngõ nhập C (Clear) tích cực sẽ xóa ngõ xuất Q về mức logic 0.

Một số tài liệu khác dùng ký hiệu RS-FF thay cho ký hiệu SC-FF với ký hiệu R là Reset \Leftrightarrow C là Clear

1.2.2.1- Sơ đồ khối loại SC-FF có ngõ nhập tích cực mức cao



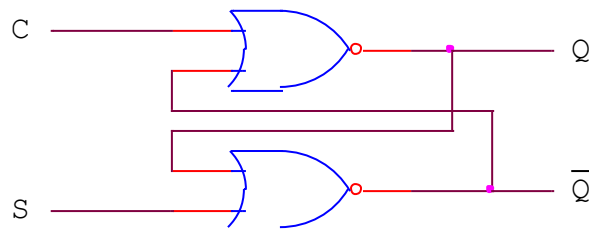
Hình 2. Sơ đồ khối SC-FF

➤ Bảng hoạt động (bảng thực trị)

S	C	Q	\bar{Q}
0	0	Không đổi	Không đổi
0	1	0	1
1	0	1	0
1	1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1

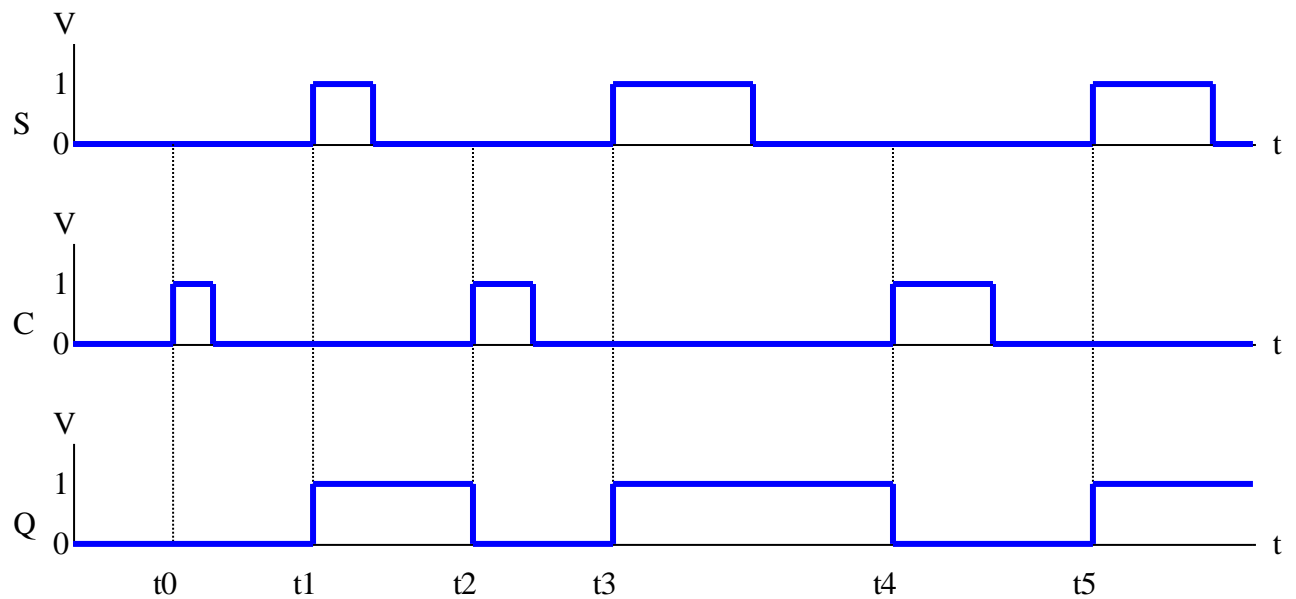
Bảng 1. Bảng hoạt động của SC-FF

➤ Sơ đồ mạch của SC-FF được làm bằng hai cổng NOR



Hình 3. Sơ đồ mạch

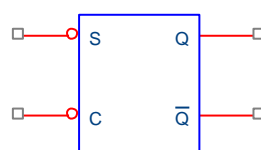
➤ Giản đồ thời gian của SC-FF



Hình 4. Giản đồ thời gian của SC-FF có ngõ nhập tích cực mức cao

- Nhận xét: loại SC-FF này khi $S = 1$ thì $Q = 1$, khi $C = 1$ thì $Q = 0$, khi $S = 0$ và $C = 0$ thì Q không đổi, còn trường hợp cả S và C đồng thời bằng 1 thì lúc đó $Q = \bar{Q} = 1 \Rightarrow$ vi phạm định nghĩa về FF, do đó trường hợp này không sử dụng. Khi vẽ giản đồ thời gian cho SC-FF có ngõ nhập tích cực mức cao, ta chỉ quan tâm đến những thời điểm $S = 1$ hay $C = 1$, còn lại thì Q không đổi.

1.2.2.2- Sơ đồ khối loại SC-FF có ngõ nhập tích cực mức thấp



Hình 5. Sơ đồ khối của SC-FF

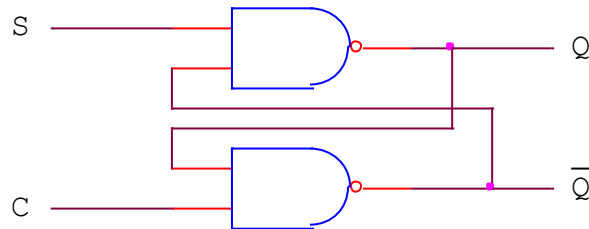
- Bảng hoạt động (bảng thực trị)

S	C	Q	\bar{Q}
1	1	Không đổi	Không đổi
1	0	0	1
0	1	1	0

0	0	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1
---	---	--	--

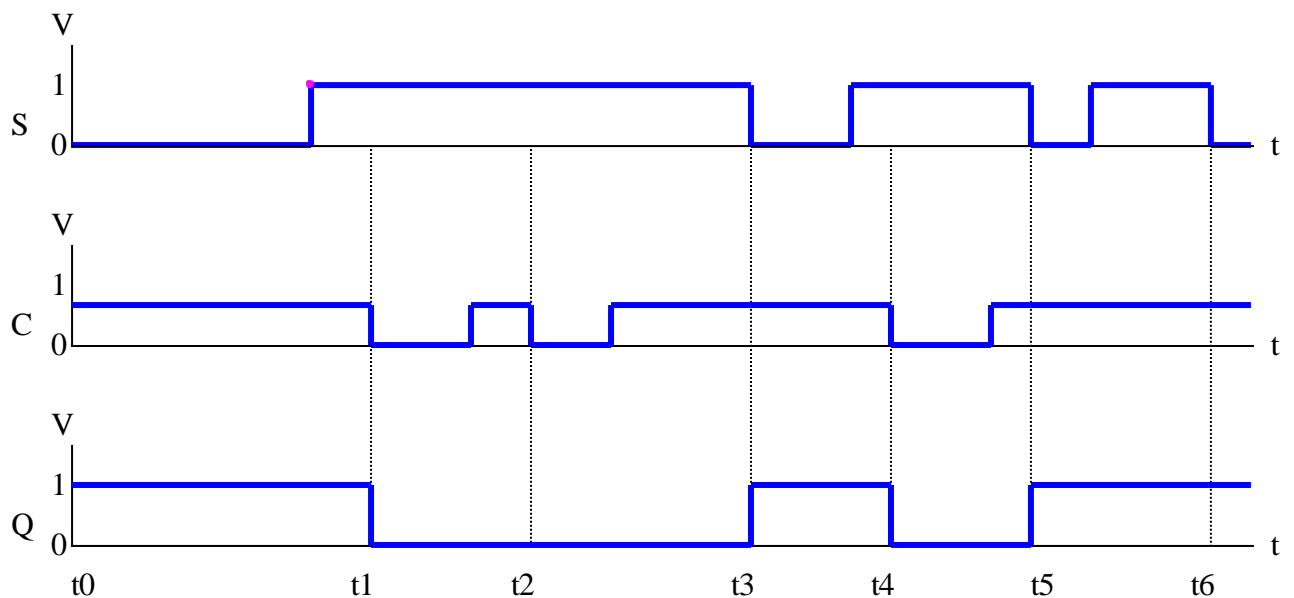
Bảng 2. Bảng hoạt động của SC-FF

- Sơ đồ mạch của SC-FF được làm bằng hai cổng NAND



Hình 6. Sơ đồ mạch

- Biểu đồ thời gian của SC-FF



Hình 7. Biểu đồ thời gian của SC-FF có ngõ nhập tích cực mức thấp

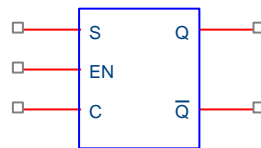
- Nhận xét: loại SC-FF này khi $S = 0$ thì $Q = 1$, khi $C = 0$ thì $Q = 0$, khi $S = 1$ và $C = 1$ thì Q không đổi, còn trường hợp cả S và C đồng thời bằng 0 thì lúc đó $Q = \bar{Q} = 1 \Rightarrow$ vi phạm định nghĩa về FF, do đó trường hợp này không sử dụng. Khi vẽ biểu đồ thời gian cho SC-FF có ngõ nhập tích cực mức thấp, ta chỉ quan tâm đến những thời điểm $S = 0$ hay $C = 0$, còn lại thì Q không đổi.

1.2.3- SC-FF có ngõ nhập đồng bộ (SC-Latch/Clocked SC-FF)

- Định nghĩa: SC-Latch là một SC-FF được đồng bộ bằng ngõ nhập EN (Enable). Trong khoảng thời gian ngõ nhập EN tích cực, SC-Latch hoạt động bình thường như SC-FF, khi EN không tích cực, ngõ xuất Q của SC-Latch không đổi.
- Định nghĩa: Clocked SC-FF là một SC-FF được đồng bộ bằng ngõ nhập CLK (Clock). Tại thời điểm ngõ nhập CLK có sự thay đổi mức điện thế từ mức 0 sang mức 1 (kích cạnh lên) hay có sự thay đổi mức điện thế từ mức 1 sang mức 0 (kích cạnh xuống), SC-Latch hoạt động bình thường như SC-FF, Còn ở các khoảng thời gian khác, ngõ xuất Q của Clocked SC-FF không đổi.

1.2.3.1- SC-FF có ngõ nhập đồng bộ kích bằng mức điện thế (SC-Latch)

- Sơ đồ khối loại SC-FF có ngõ nhập tích cực mức cao, đồng bộ bằng mức điện thế (SC-Latch)



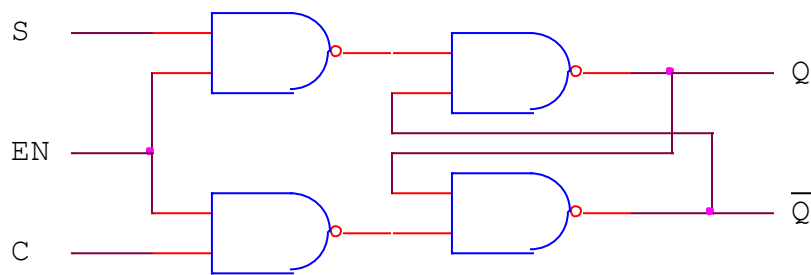
Hình 8. Sơ đồ khối của SC-Latch

- Bảng hoạt động

S	C	EN (Enable)	Q	\bar{Q}
x	x	0	Không đổi	Không đổi
0	0	1	Không đổi	Không đổi
0	1	1	0	1
1	0	1	1	0
1	1	1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1

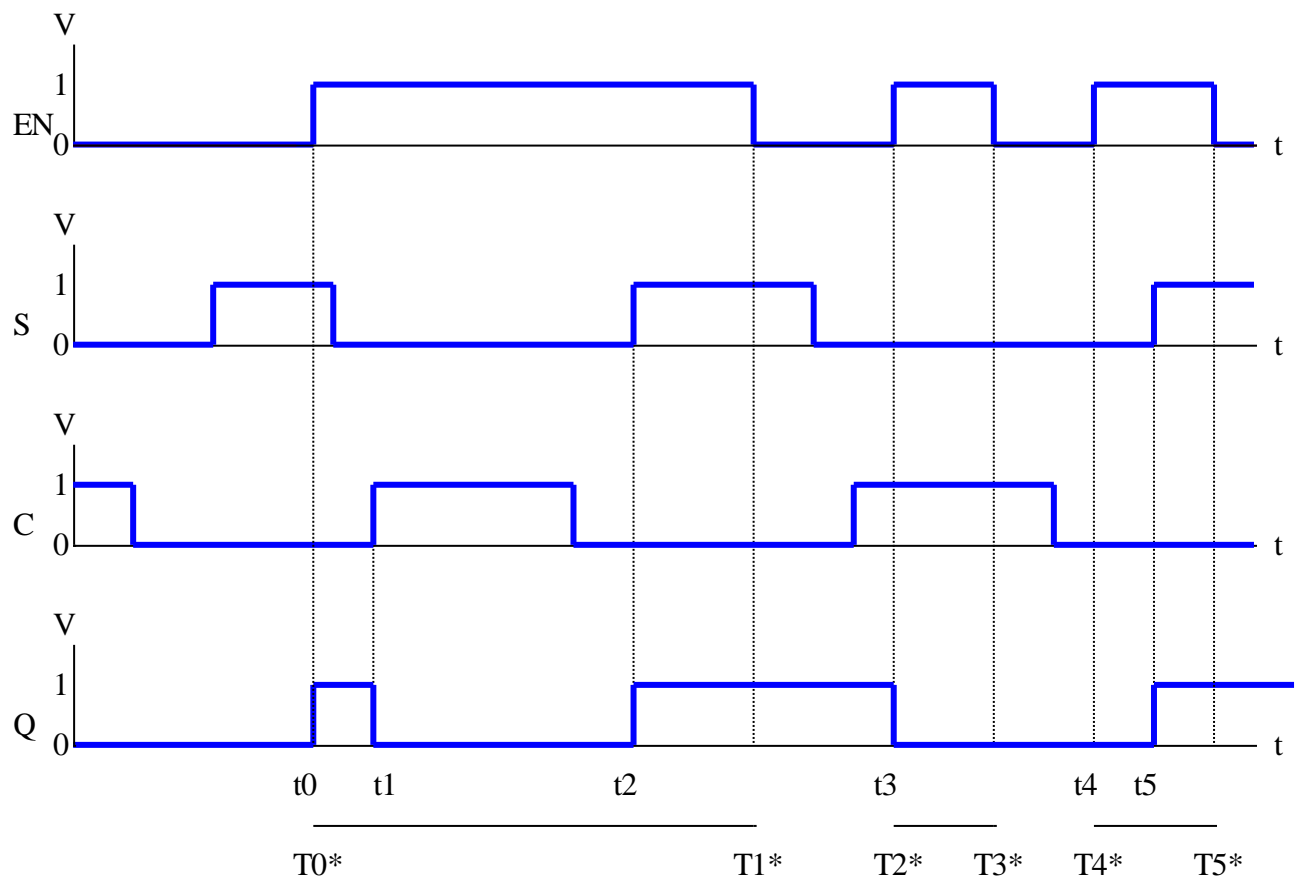
Bảng 3. Bảng hoạt động của SC-Latch

- Sơ đồ mạch



Hình 9. Sơ đồ mạch của SC-Latch

➤ Giải đồ thời gian

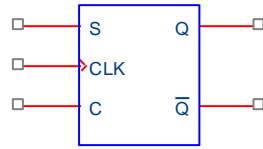


Hình 10. Giải đồ thời gian của SC-Latch

- Nhận xét: loại SC-Latch này được đồng bộ bằng mức điện thế, khi $EN = 0$ thì ngõ xuất Q không thay đổi, khi EN bằng 1 thì SC-Latch hoạt động như SC-FF bình thường. Khi vẽ giải đồ thời gian cho SC-Latch loại này, ta chỉ xét trong khoảng thời gian mà chân $EN = 1$ và $S = 1$ hay $EN = 1$ và $C = 1$ xem Q có thay đổi trạng thái hay không. Như trong giải đồ trên, ta chỉ xét $S = 1$ hay $C = 1$ trong các khoảng thời gian từ $T0^* \rightarrow T1^*$, $T2^* \rightarrow T3^*$, $T4^* \rightarrow T5^*$ mà thôi.

1.2.3.2- SC-FF có ngõ nhập đồng bộ kích bằng cạnh lên

- Sơ đồ khối loại SC-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1 (Clocked SC-FF - cạnh lên)



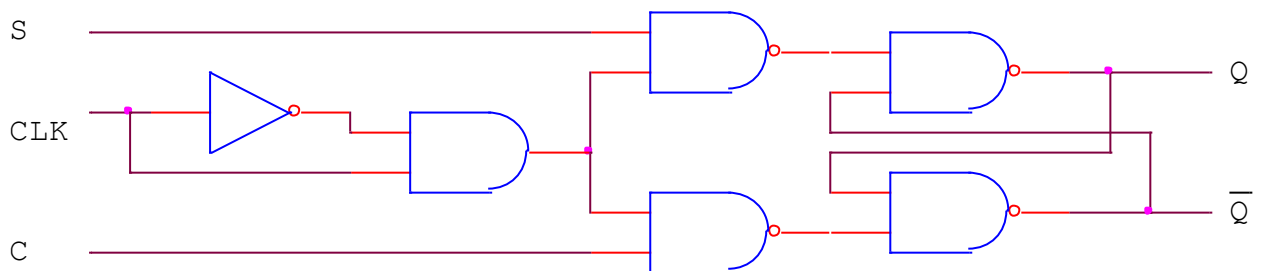
Hình 11. Sơ đồ khối của Clocked SC-FF kích bằng cạnh lên

- Bảng hoạt động

S	C	Clocked	Q	\bar{Q}
x	x	0	Không đổi	Không đổi
x	x	1	Không đổi	Không đổi
0	0	↑	Không đổi	Không đổi
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1

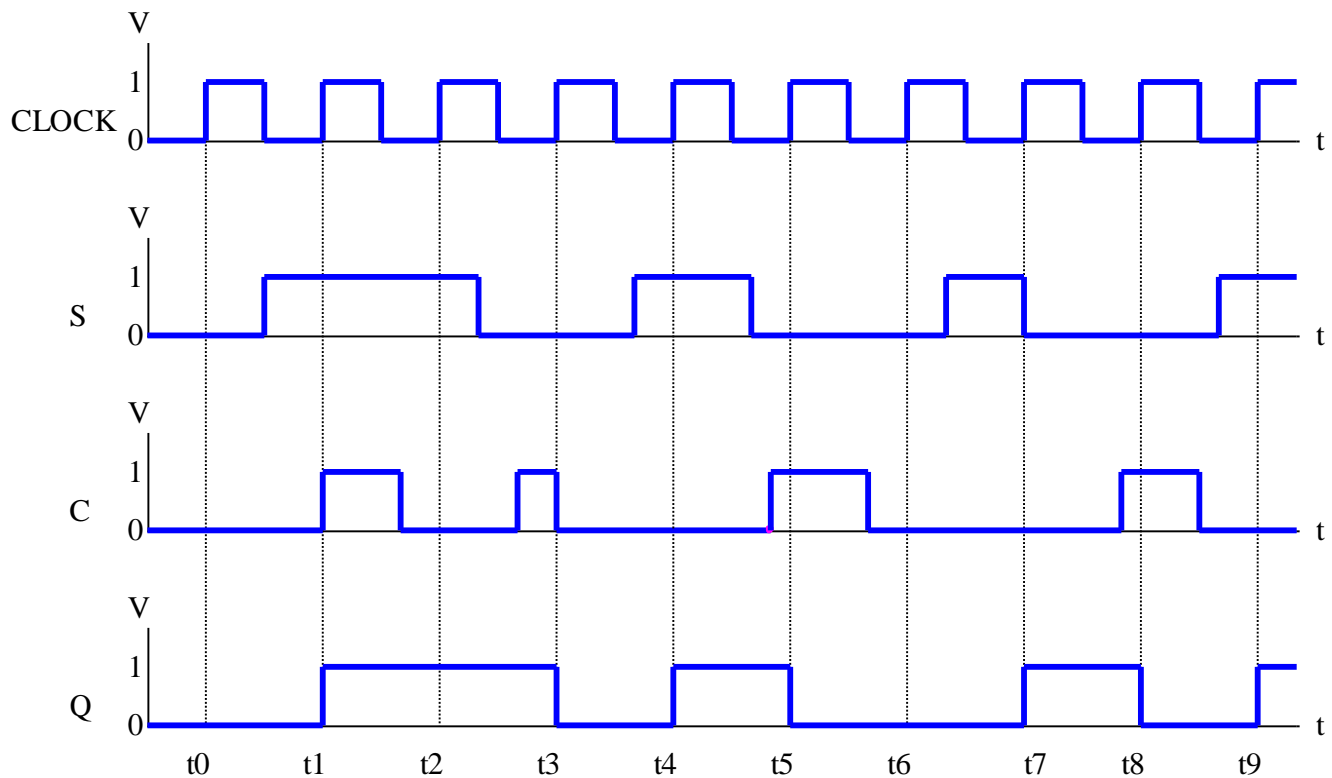
Bảng 4. Bảng hoạt động của Clocked SC-FF kích bằng cạnh lên

- Sơ đồ mạch



Hình 12. Sơ đồ mạch của Clocked SC-FF kích bằng cạnh lên

- Giải đồ thời gian

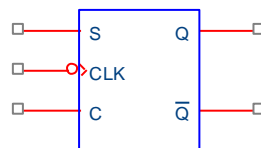


Hình 13. Giản đồ thời gian của Clocked SC-FF kích bằng cạnh lên

- Nhận xét: loại Clocked SC-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1. Khi vẽ giản đồ thời gian của Clocked SC-FF kích bằng cạnh lên, ta chỉ quan tâm đến những thời điểm cạnh lên của ngõ nhập CLK, xét $S = 1$ hay $C = 1$ để xem Q có thay đổi trạng thái hay không.

1.2.3.3- SC-FF có ngõ nhập đồng bộ bằng cạnh xuống

- Sơ đồ khối loại SC-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0 (Clocked SC-FF - cạnh xuống)



Hình 14. Sơ đồ khối của Clocked SC-FF kích bằng cạnh xuống

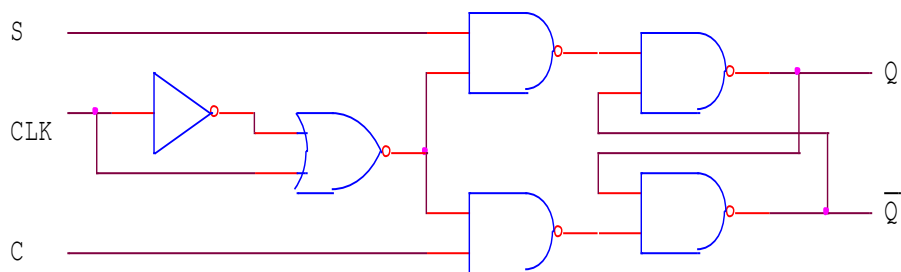
➤ Bảng hoạt động

S	C	Clocked	Q	\bar{Q}
x	x	0	Không đổi	Không đổi

x	x	1	Không đổi	Không đổi
0	0	↓	Không đổi	Không đổi
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1	Không sử dụng vì Q và \bar{Q} đồng thời bằng 1

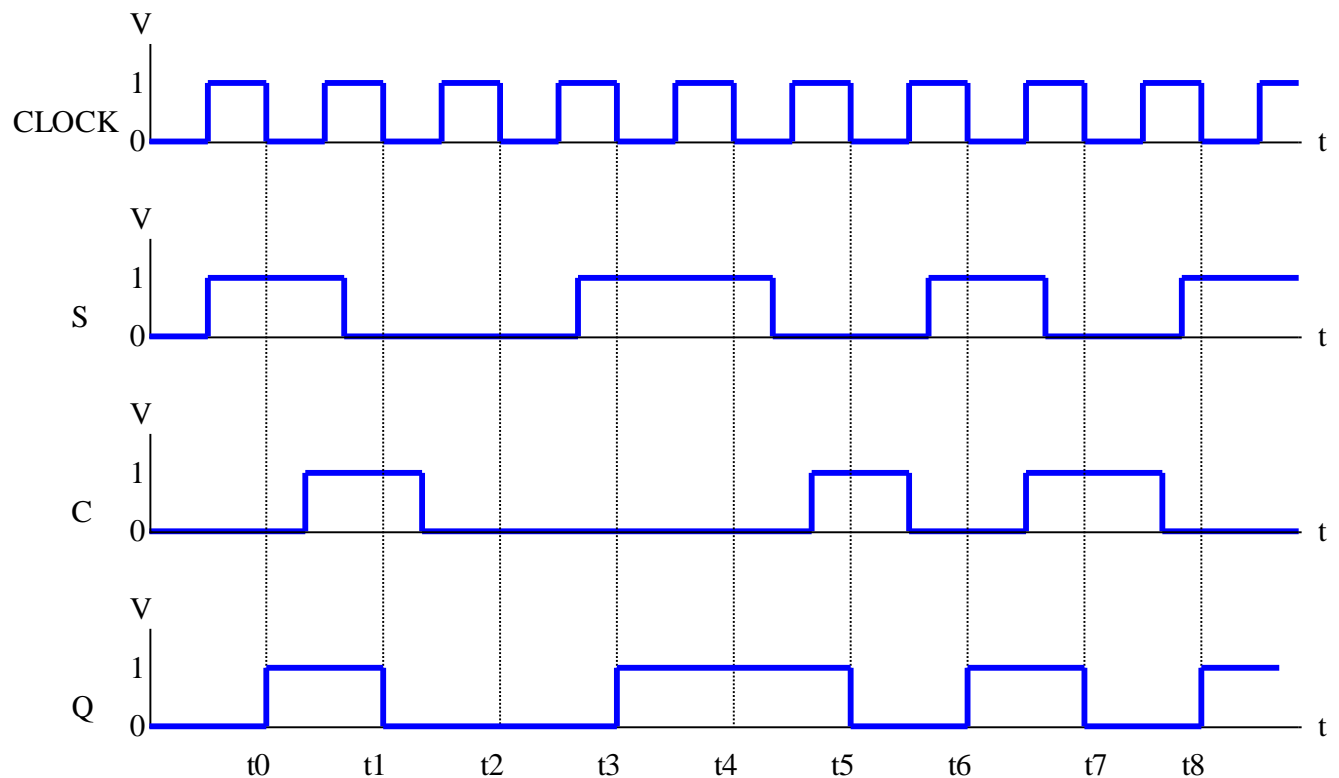
Bảng 5. Bảng hoạt động của Clocked SC-FF kích bằng cạnh xuống

➤ Sơ đồ mạch



Hình 15. Sơ đồ mạch của Clocked SC-FF kích bằng cạnh xuống

➤ Giải đồ thời gian



Hình 16. Giản đồ thời gian của Clocked SC-FF kích bằng cạnh xuống

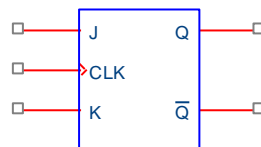
- Nhận xét: loại Clocked SC-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0. Khi vẽ giản đồ thời gian của Clocked SC-FF kích bằng cạnh xuống, ta chỉ quan tâm đến những thời điểm cạnh xuống của ngõ nhập CLK, xét $S = 1$ hay $C = 1$ để xem Q có thay đổi trạng thái hay không.

1.2.4- JK-FF có ngõ nhập đồng bộ (Clocked JK-FF)

- Định nghĩa: Clocked JK-FF hoạt động giống như Clocked SC-FF, riêng trường hợp J và K đồng thời bằng 1 thì Q đảo trạng thái.

1.2.4.1- JK-FF có ngõ nhập đồng bộ bằng cạnh lên

- Sơ đồ khối loại JK-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1 (cạnh lên)



Hình 17. Sơ đồ khối của Clocked JK-FF kích bằng cạnh lên

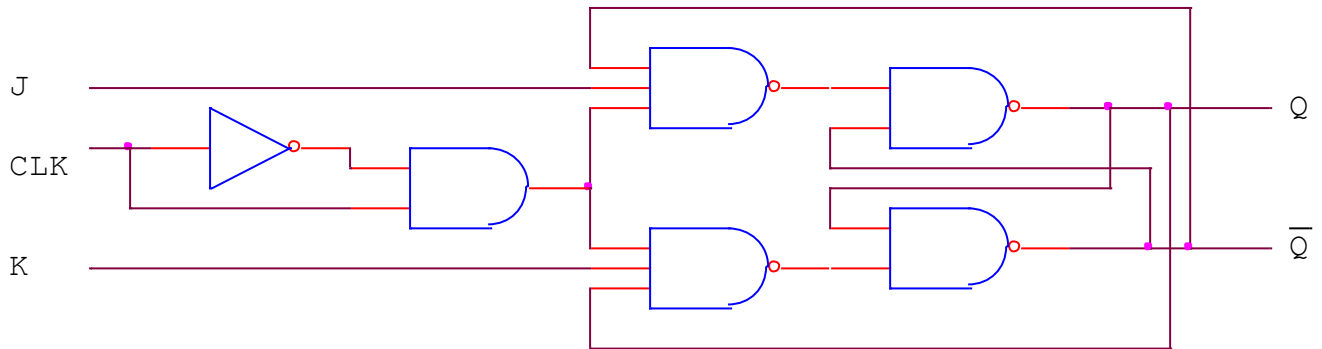
➤ Bảng hoạt động

J	K	Clocked	Q	\bar{Q}
x	x	0	Không đổi	Không đổi
x	x	1	Không đổi	Không đổi
0	0	↑	Không đổi	Không đổi
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	Toggle (Đảo trạng thái, nếu Q đang ở mức 0 thì chuyển sang mức 1, nếu Q đang ở mức 1 thì chuyển sang mức 0)	Toggle (Đảo trạng thái, nếu \bar{Q} đang ở mức 0 thì chuyển sang mức 1, nếu \bar{Q} đang ở mức 1 thì chuyển sang mức 0)

				mức 1 thì chuyển sang mức 0)
--	--	--	--	------------------------------

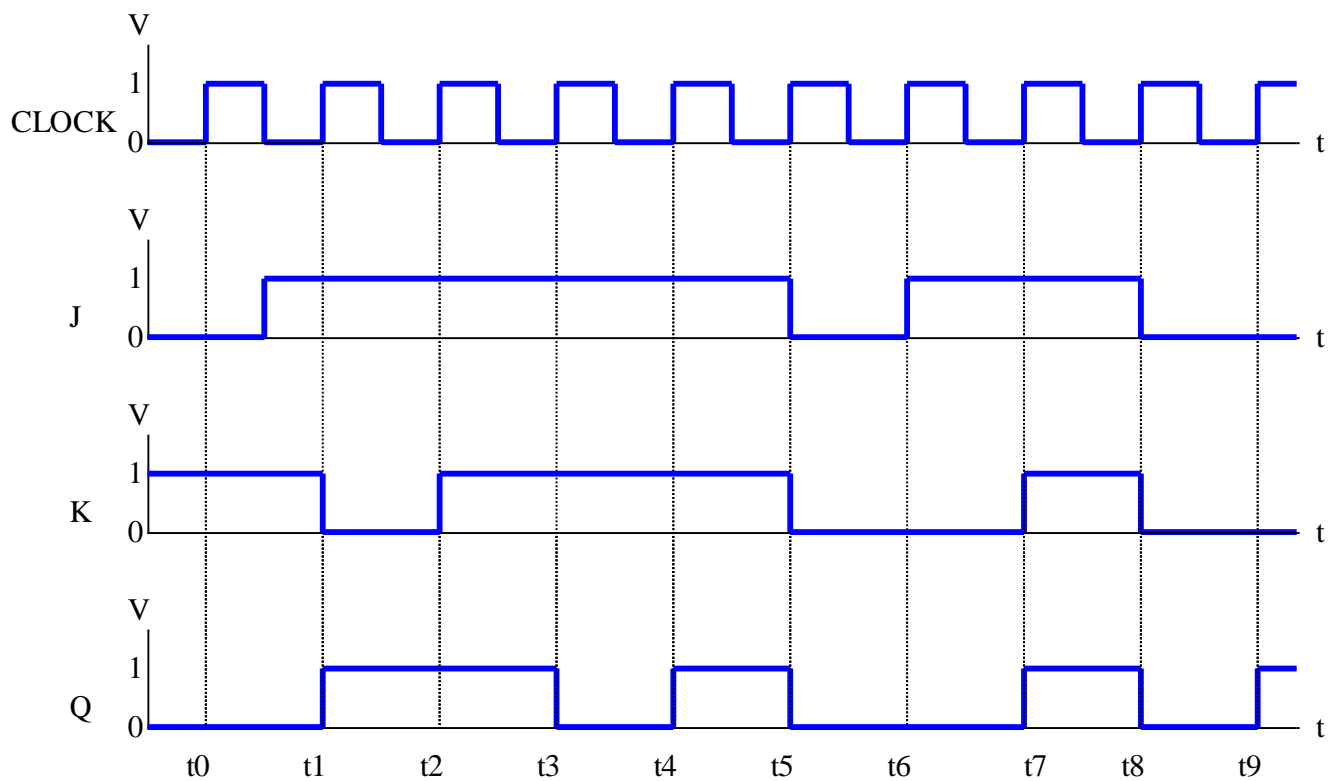
Bảng 6. Bảng hoạt động của Clocked JK-FF kích bằng cạnh lên

➤ Sơ đồ mạch



Hình 18. Sơ đồ mạch của Clocked JK-FF kích bằng cạnh lên

➤ Giải đồ thời gian



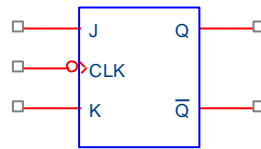
Hình 19. Giải đồ thời gian của Clocked JK-FF kích bằng cạnh lên

- Nhận xét: loại Clocked JK-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1. Khi vẽ giải đồ thời gian của Clocked JK-FF kích bằng cạnh lên, ta chỉ quan

tâm đến những thời điểm cạnh lên của ngõ nhập CLK, xét $J = 1$ hay $K = 1$ để xem Q có thay đổi trạng thái hay không.

1.2.4.2- JK-FF có ngõ nhập đồng bộ bằng cạnh xuống

- Sơ đồ khối loại JK-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0 (cạnh xuống)



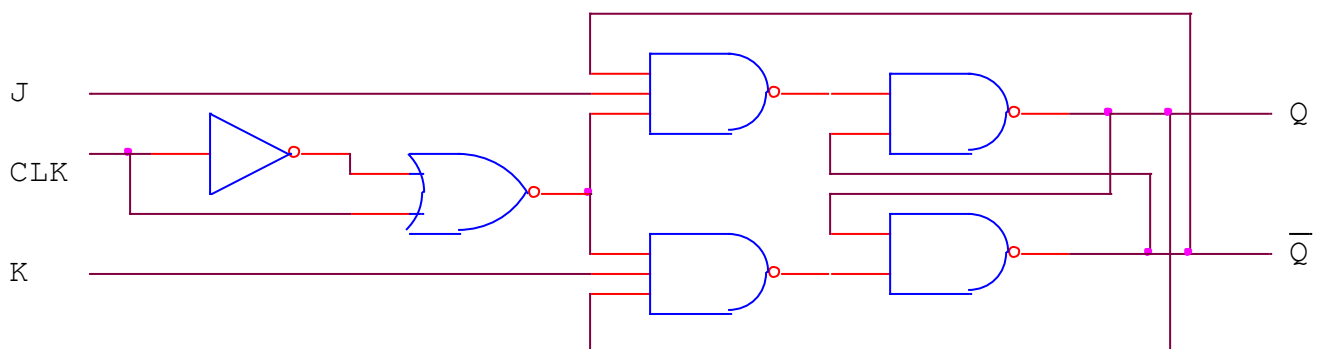
Hình 20. Sơ đồ khối của Clocked JK-FF kích bằng cạnh xuống

➤ Bảng hoạt động

J	K	Clocked	Q	\bar{Q}
x	x	0	Không đổi	Không đổi
x	x	1	Không đổi	Không đổi
0	0	↓	Không đổi	Không đổi
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	Toggle (Đảo trạng thái, nếu Q đang ở mức 0 thì chuyển sang mức 1, nếu Q đang ở mức 1 thì chuyển sang mức 0)	Toggle (Đảo trạng thái, nếu \bar{Q} đang ở mức 0 thì chuyển sang mức 1, nếu \bar{Q} đang ở mức 1 thì chuyển sang mức 0)

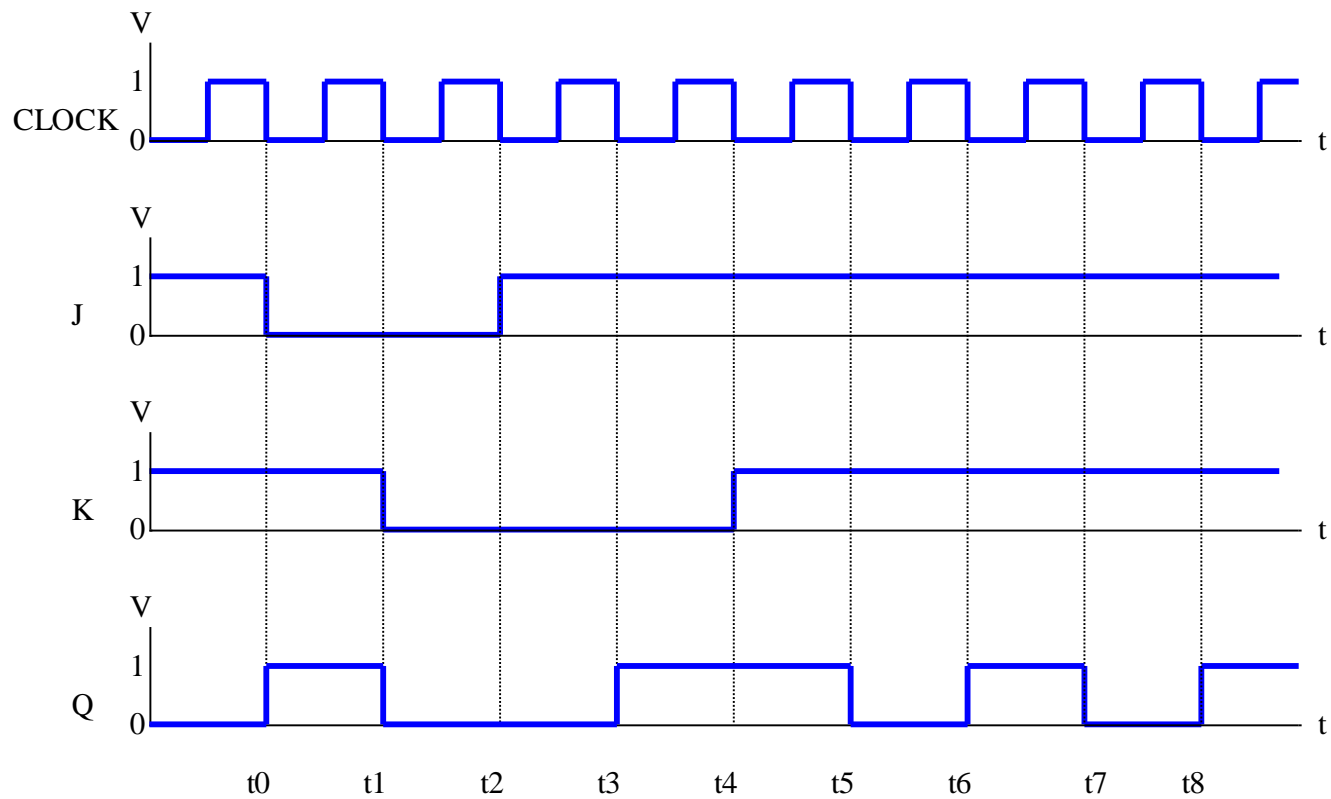
Bảng 7. Bảng hoạt động của JK-FF kích bằng cạnh xuống

➤ Sơ đồ mạch



Hình 21. Sơ đồ mạch của Clocked JK-FF kích bằng cạnh xuống

➤ Giải đồ thời gian



Hình 22. Giải đồ thời gian của Clocked JK-FF kích bằng cạnh xuống

➤ Nhận xét: loại Clocked JK-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0. Khi vẽ giải đồ thời gian của Clocked JK-FF kích bằng cạnh xuống, ta chỉ quan tâm đến những thời điểm cạnh xuống của ngõ nhập CLK, xét $J = 1$ hay $K = 1$ để xem Q có thay đổi trạng thái hay không.

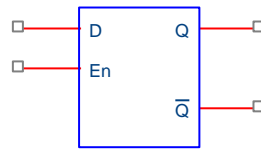
1.2.5- D-FF có ngõ nhập đồng bộ (D-Latch/Clocked D-FF)

- Định nghĩa: D-Latch là một FF được đồng bộ bằng ngõ nhập EN (Enable). Trong khoảng thời gian ngõ nhập EN tích cực, ngõ xuất Q bằng ngõ nhập D, khi EN không tích cực, ngõ xuất Q của DC-Latch không đổi.
- Định nghĩa: Clocked D-FF là một FF được đồng bộ bằng ngõ nhập CLK (Clock). Tại thời điểm ngõ nhập CLK có sự thay đổi mức điện thế từ mức 0 sang mức 1 (kích cạnh lên) hay

có sự thay đổi mức điện thế từ mức 1 sang mức 0 (kích cạnh xuống), ngõ xuất Q bằng ngõ nhập D, Còn ở các khoảng thời gian khác, ngõ xuất Q của Clocked D-FF không đổi.

1.2.5.1- D-FF có ngõ nhập đồng bộ bằng mức điện thế

- Sơ đồ khối loại D-FF có ngõ nhập tích cực mức cao, đồng bộ bằng mức điện thế (D-Latch)



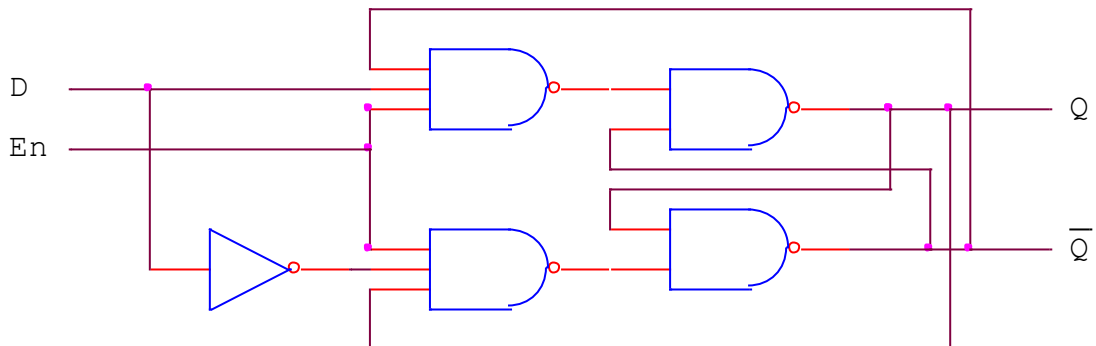
Hình 23. Sơ đồ khối của D-Latch

- Bảng hoạt động

D	En	Q	\bar{Q}
x	0	Không đổi	Không đổi
0	0	0	1
1	1	1	0

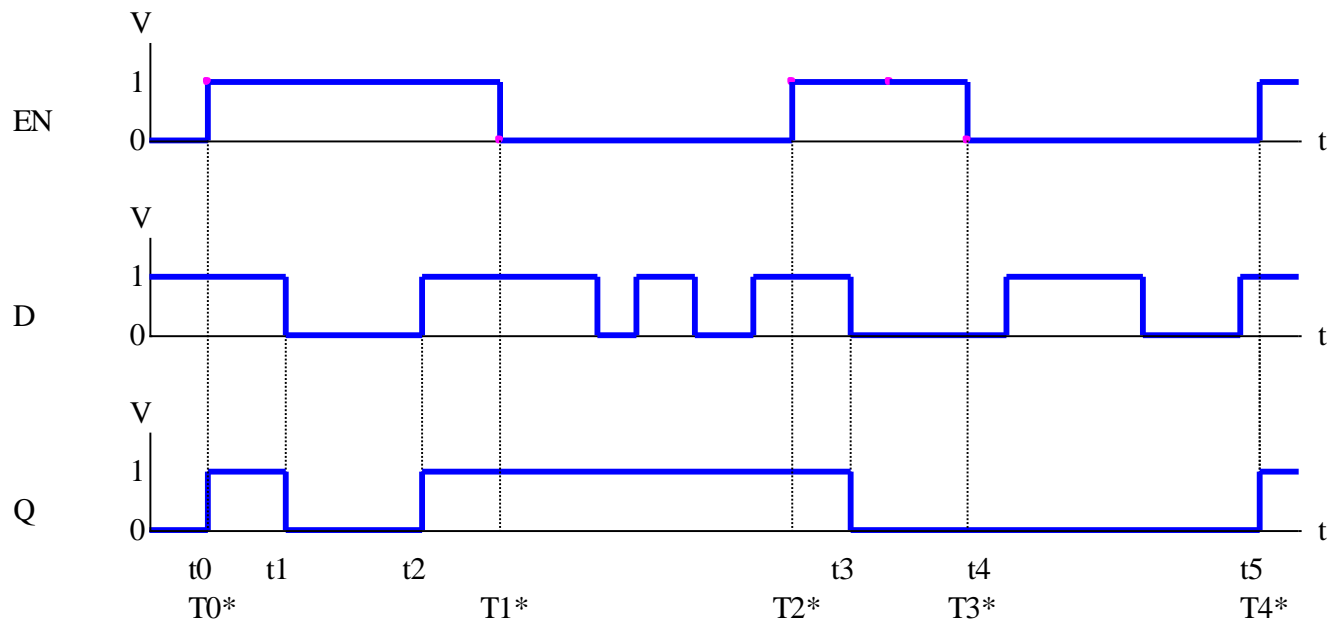
Bảng 8. Bảng hoạt động của D-Latch

- Sơ đồ mạch



Hình 24. Sơ đồ mạch của D-Latch

- Giải đồ thời gian

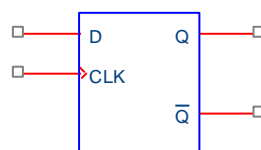


Hình 25. Giải đồ thời gian của D-Latch

- Nhận xét: loại D-Latch này được đồng bộ bằng mức điện thế, khi $EN = 0$ thì ngõ xuất Q không thay đổi, khi EN bằng 1 thì $Q = D$. Trong trường hợp trên, khi vẽ giải đồ thời gian cho D-Latch loại này, ta chỉ xét Q thay đổi theo D trong khoảng thời gian $T0^* \rightarrow T1^*$, $T2^* \rightarrow T3^*$, $T4^* \rightarrow$ mà thôi.

1.2.5.2- D-FF có ngõ nhập đồng bộ bằng cạnh lên

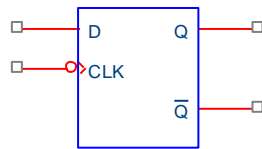
- Sơ đồ khối loại D-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1 (Clocked D-FF -cạnh lên)



Hình 26. Sơ đồ khối của Clocked D-FF kích bằng cạnh lên

- Bảng hoạt động

D	Clocked	Q	\bar{Q}
x	0	Không đổi	Không đổi
x	1	Không đổi	Không đổi
0	↑	0	1
1	↑	1	0



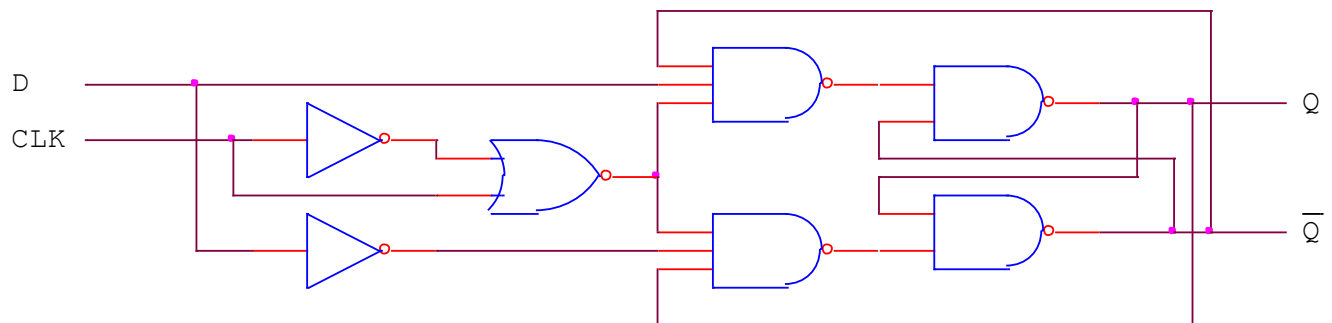
Hình 29. Sơ đồ khối của Clocked D-FF kích bằng cạnh xuống

➤ Bảng hoạt động

D	Clocked	Q	\bar{Q}
x	0	Không đổi	Không đổi
x	1	Không đổi	Không đổi
0	↓	0	1
1	↓	1	0

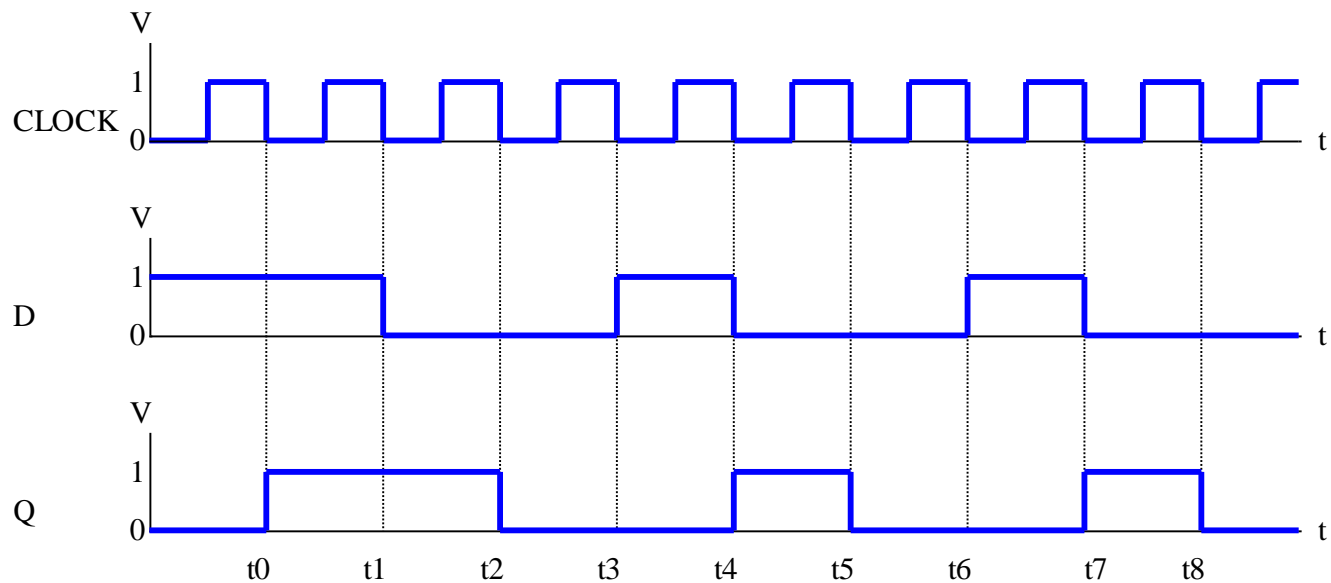
Bảng 10. Bảng hoạt động của Clocked D-FF kích bằng cạnh xuống

➤ Sơ đồ mạch



Hình 30. Sơ đồ mạch của Clocked D-FF kích bằng cạnh xuống

➤ Giải đồ thời gian

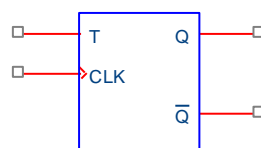


Hình 31. Giải đồ thời gian của Clocked D-FF kích bằng cạnh xuống

- Nhận xét: loại Clocked D-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0. Khi vẽ giải đồ thời gian của Clocked D-FF kích bằng cạnh xuống, ta chỉ quan tâm đến những thời điểm cạnh xuống của ngõ nhập CLK, lúc đó $Q = D$, còn mọi khoảng thời gian khác Q không đổi. Và ta cũng nhận thấy là Q thay đổi chậm một chu kỳ Clock so với D.

1.2.6- T-FF có ngõ nhập đồng bộ (Clocked T-FF)

- Định nghĩa: Clocked T-FF là một FF được đồng bộ bằng ngõ nhập CLK (Clock). Tại thời điểm ngõ nhập CLK có sự thay đổi mức điện thế từ mức 0 sang mức 1 (kích cạnh lên) hay có sự thay đổi mức điện thế từ mức 1 sang mức 0 (kích cạnh xuống), ngõ xuất Q không đổi trạng thái nếu ngõ nhập $T = 0$, ngõ xuất Q sẽ đảo trạng thái khi $T = 1$. Còn ở các khoảng thời gian khác, ngõ xuất Q của Clocked T-FF không đổi.
- Sơ đồ khối loại T-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1 (Clocked T-FF - cạnh lên)



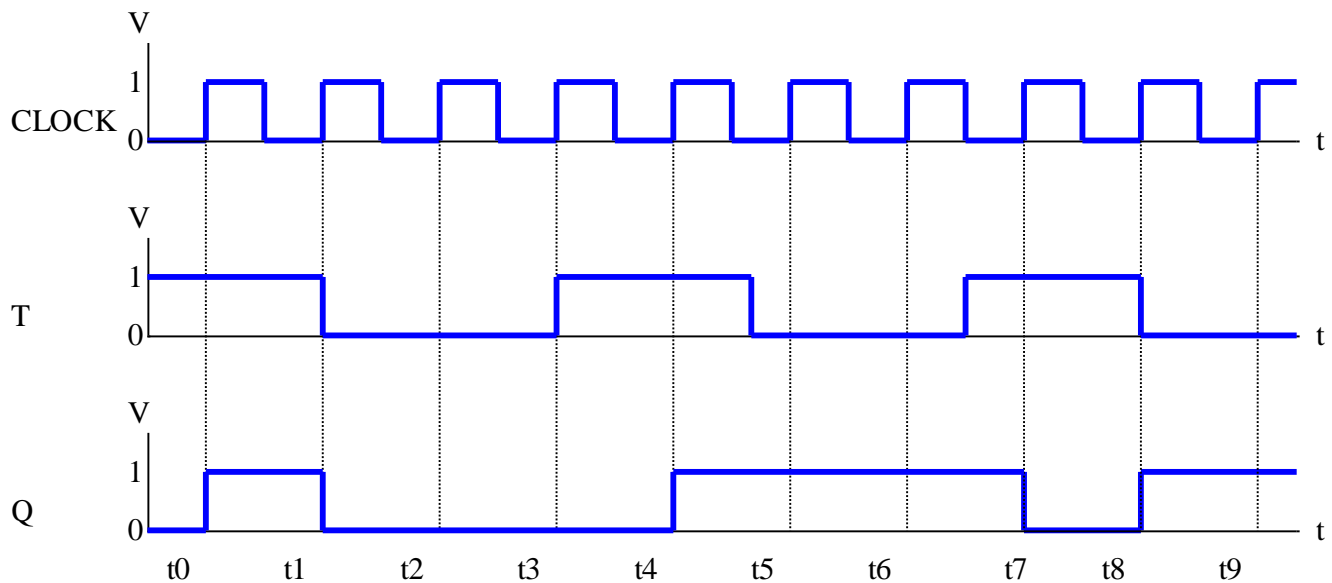
➤ Bảng hoạt động

Bảng 11. Bảng hoạt động của Clocked T-FF kích bằng cạnh
lên

The logic diagram shows a 2-bit counter implemented with two D flip-flops and combinational logic. The inputs are T (Toggle) and CLK (Clock). The outputs are Q and Q1. The logic is as follows:

- The CLK signal is connected to the clock inputs of both D flip-flops.
- The T input is connected to the D input of the first flip-flop (Q1) via an inverter.
- The output of the first flip-flop (Q1) is connected to the D input of the second flip-flop (Q) via an inverter.
- The output of the second flip-flop (Q) is connected to the D input of the first flip-flop (Q1) via an inverter.
- The output of the first flip-flop (Q1) is connected to the D input of the second flip-flop (Q) via an inverter.

➤ Giảm đồ thời gian

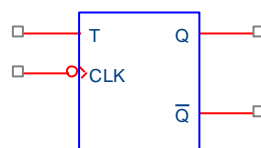


Hình 34. Giải đồ thời gian của Clocked T-FF kích bằng cạnh lên

- Nhận xét: loại Clocked T-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 0 sang mức 1. Khi vẽ giải đồ thời gian của Clocked T-FF kích bằng cạnh lên, ta chỉ quan tâm đến những thời điểm cạnh lên của ngõ nhập CLK, nếu $T = 0 \Rightarrow Q$ không đổi, nếu $T = 1 \Rightarrow Q$ đảo trạng thái. Còn mọi khoảng thời gian khác Q không đổi.

1.2.6.1- T-FF có ngõ nhập đồng bộ bằng cạnh xuống

- Sơ đồ khối loại T-FF có ngõ nhập tích cực mức cao, đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0 (xuống)



Hình 35. Sơ đồ khối của Clocked T-FF kích bằng cạnh xuống

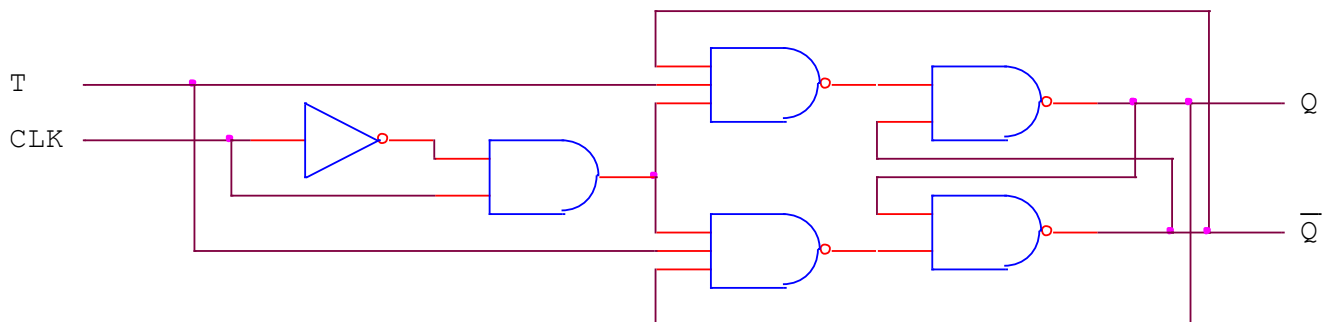
➤ Bảng hoạt động

T	Clocked	Q	\bar{Q}
x	0	Không đổi	Không đổi
x	1	Không đổi	Không đổi
0	↓	Không đổi	Không đổi
1	↓	Toggle	Toggle

		(Đảo trạng thái, nếu Q đang ở mức 0 thì chuyển sang mức 1, nếu Q đang ở mức 1 thì chuyển sang mức 0)	(Đảo trạng thái, nếu \bar{Q} đang ở mức 0 thì chuyển sang mức 1, nếu \bar{Q} đang ở mức 1 thì chuyển sang mức 0)
--	--	--	--

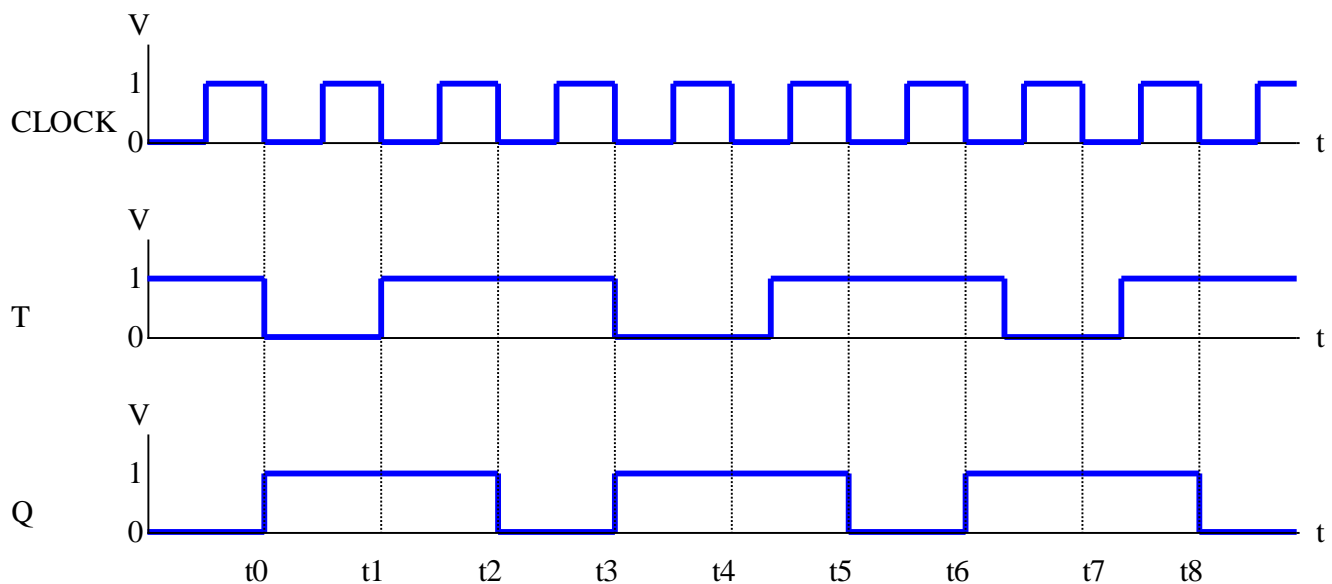
Bảng 12. Bảng hoạt động của Clocked T-FF kích bằng cạnh xuống

➤ Sơ đồ mạch



Hình 36. Sơ đồ mạch của Clocked T-FF kích bằng cạnh xuống

➤ Giản đồ thời gian



Hình 37. Giản đồ thời gian của Clocked T-FF kích bằng cạnh xuống

➤ Nhận xét: loại Clocked T-FF này được đồng bộ bằng sự thay đổi mức điện thế từ mức 1 sang mức 0. Khi vẽ giản đồ thời gian của Clocked T-FF kích bằng cạnh xuống, ta chỉ quan

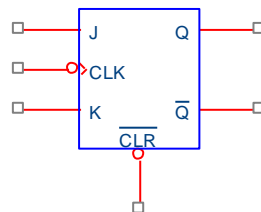
tâm đến những thời điểm cạnh xuống của ngõ nhập CLK, nếu $T = 0 \Rightarrow Q$ không đổi, nếu $T = 1 \Rightarrow Q$ đảo trạng thái. Còn mọi khoảng thời gian khác Q không đổi

1.2.7- Flip-Flop có các ngõ nhập CLEAR và PRESET

Để đặt trạng thái ban đầu cho ngõ xuất Q của FF, các chân CLEAR và PRESET được thêm vào. Sau đây là vài loại JK-FF, D-FF có các chân CLEAR, PRESET

1.2.7.1- Một loại Clocked JK-FF có ngõ nhập CLEAR

➤ Sơ đồ khối



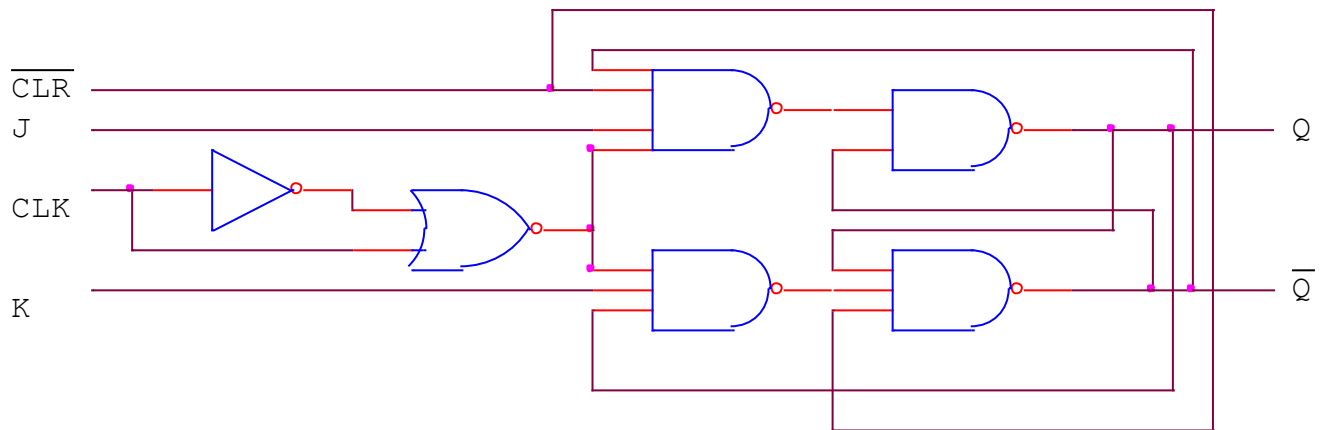
Hình 38. Sơ đồ khối của Clocked JK-FF có chân CLEAR

➤ Bảng hoạt động

J	K	$\overline{\text{CLR}}$	Clocked	Q	\overline{Q}
x	x	0	X	0	1
x	x	1	0	Không đổi	Không đổi
x	x	1	1	Không đổi	Không đổi
0	0	1	↓	Không đổi	Không đổi
0	1	1	↓	0	1
1	0	1	↓	1	0
1	1	1	↓	Toggle (Đảo trạng thái, nếu Q đang ở mức 0 thì chuyển sang mức 1, nếu Q đang ở mức 1 thì chuyển sang mức 0)	Toggle (Đảo trạng thái, nếu \overline{Q} đang ở mức 0 thì chuyển sang mức 1, nếu \overline{Q} đang ở mức 1 thì chuyển sang mức 0)

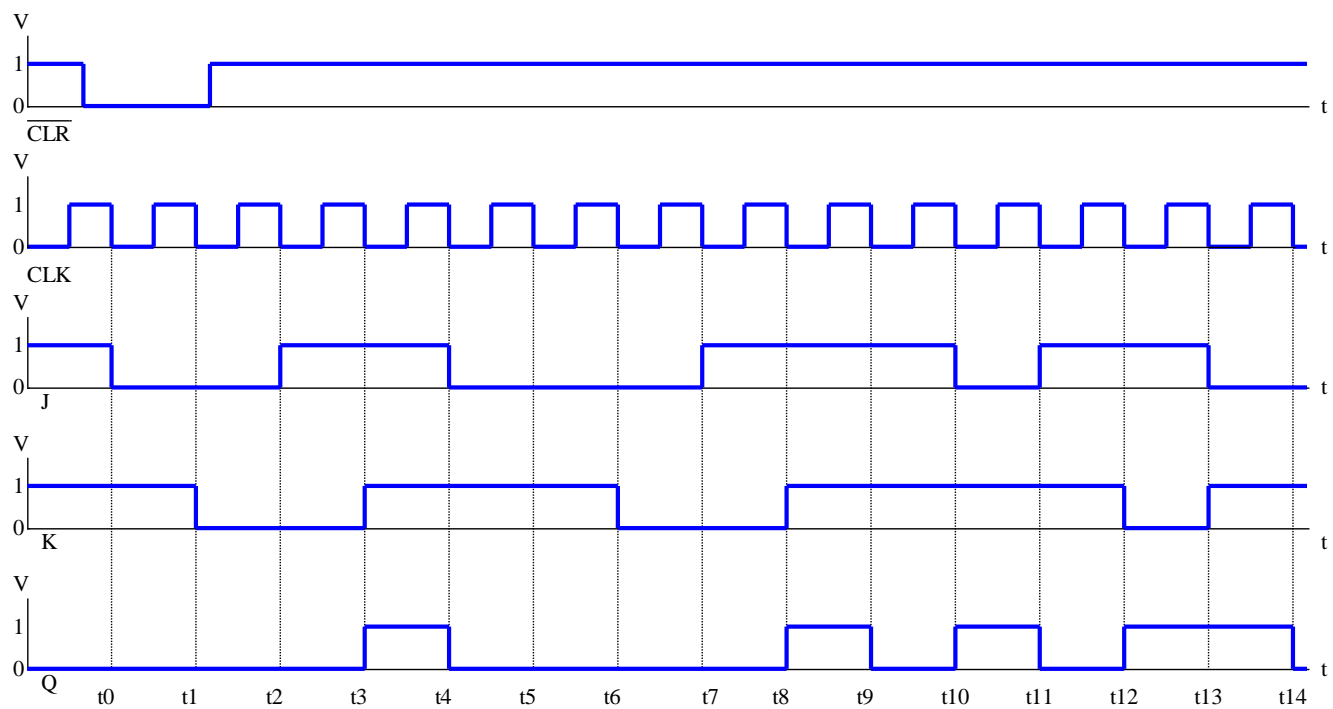
Bảng 13. Bảng hoạt động của Clocked JK-FF có chân CLEAR

➤ Sơ đồ mạch



Hình 39. Sơ đồ mạch của Clocked JK-FF có chân CLEAR

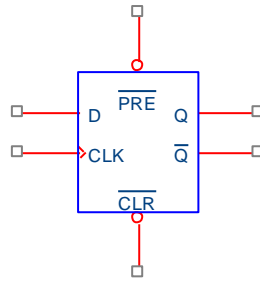
➤ Giải đồ thời gian



Hình 40. Giải đồ thời gian của Clocked JK-FF kích bằng cạnh xuống có chân CLEAR

1.2.7.2- Một loại Clocked D-FF có ngõ nhập CLEAR và PRESET

➤ Sơ đồ khối



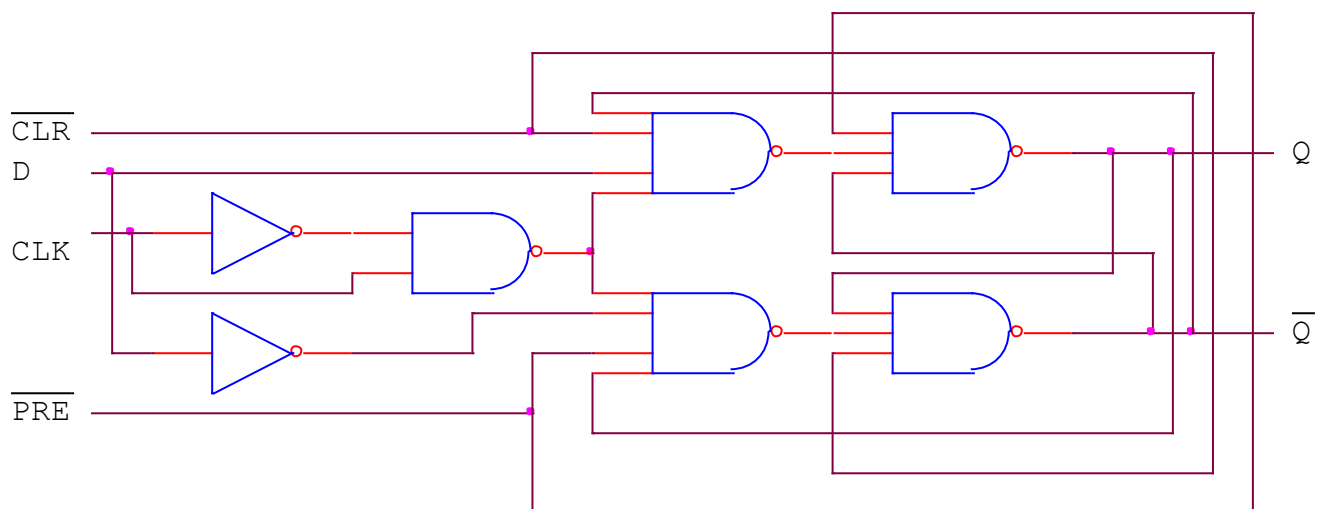
Hình 41. Sơ đồ khối của Clocked D-FF có chân CLEAR và PRESET

➤ Bảng hoạt động

D	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Clocked	Q	$\overline{\text{Q}}$
x	0	0	x	Không sử dụng	Không sử dụng
x	0	1	x	1	0
x	1	0	x	0	1
x	1	1	0	Không đổi	Không đổi
x	1	1	1	Không đổi	Không đổi
0	1	1	\uparrow	0	1
1	1	1	\uparrow	1	0

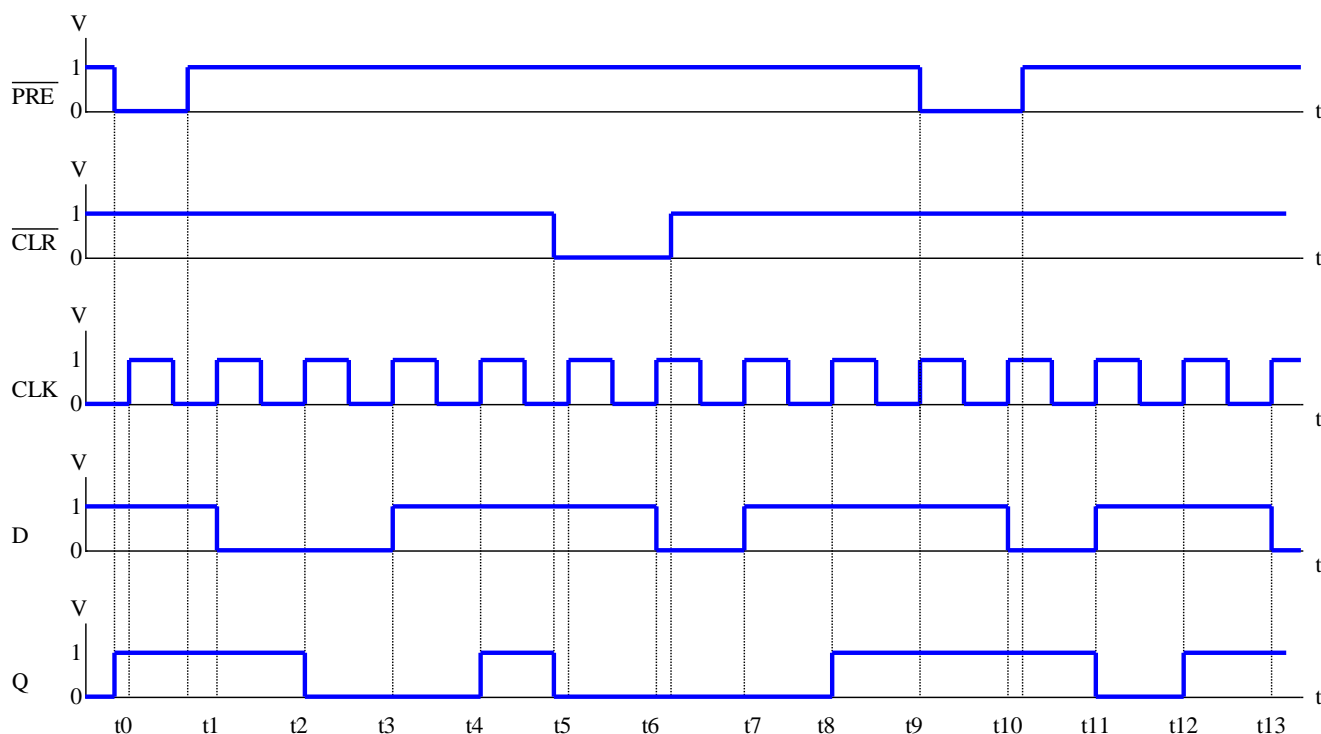
Bảng 14. Bảng hoạt động của Clocked D-FF có chân CLEAR và PRESET

➤ Sơ đồ mạch



Hình 42. Sơ đồ mạch của Clocked D-FF có chân CLEAR và PRESET

➤ Giải đồ thời gian



Hình 43. Giải đồ thời gian của Clocked D-FF kích bằng cạnh lên có chân CLEAR và PRESET

1.3- Định Nghĩa và Phân Loại Hệ Đếm Tuần Tự

1.3.1- Định nghĩa

Hệ đếm là một mạch tuần tự tuần hoàn với một ngõ nhập là tín hiệu Clock để đếm, và các ngõ xuất biểu diễn số đếm và thay đổi từ số đếm này đến số đếm khác theo một thứ tự nhất định. Sau K tín hiệu Clock, thì hệ đếm trở lại trạng thái ban đầu. Hệ được xây dựng từ các FF và các mạch tổ hợp.

1.3.2- Phân loại

- Hệ đếm được phân loại theo cách làm việc là hệ đếm đồng bộ và hệ đếm bất đồng bộ.
- Hệ đếm đồng bộ là hệ đếm là tất cả FF được điều khiển bởi một tín hiệu đồng bộ duy nhất là ngõ nhập (Clock), và sự thay đổi số đếm chỉ xảy ra khi có tín hiệu đồng bộ,

khoảng thời gian giữa hai tín hiệu đồng bộ phải đủ lớn để ngõ xuất luôn ở trạng thái ổn định trước khi thay đổi.

- Hệ đếm bất đồng bộ là hệ đếm mà các FF hoạt động theo các tín hiệu đồng bộ khác nhau, ngõ xuất của FF này là tín hiệu đồng bộ cho FF kia. Hệ đếm loại này khi chuyển từ số đếm này sang số đếm khác có thể qua những trạng thái trung gian không ổn định.

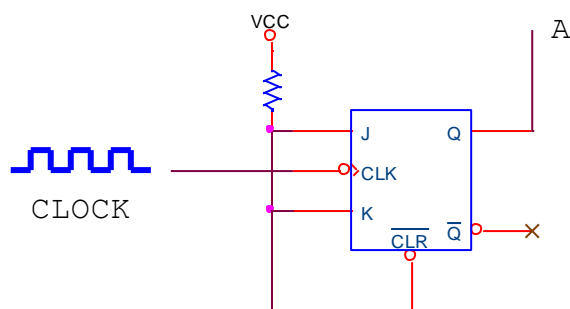
1.4- Một Số Hệ Đếm Tuần Tự

1.4.1- Hệ đếm chỉ dùng 1 FF

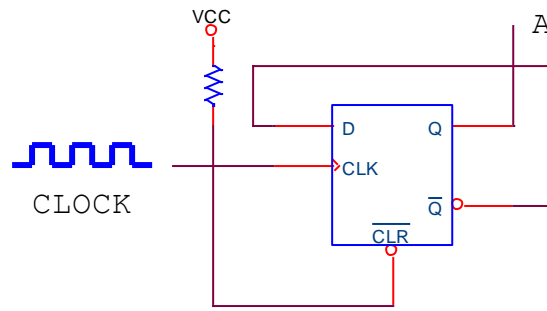
- Do mọi loại hệ đếm đều được xây dựng từ các FF, ta sẽ xét các mạch đếm ứng với 1 FF, mạch đếm mod 2 (đếm từ 0 → 1 → 0 → 1 → 0 → 1 → ...).
- Ta lập bảng hoạt động cho các loại FF ứng với trạng thái đếm ở trên như sau

Trạng thái đếm	Q hiện tại	Q kế tiếp	J	K	D	T	S	C
S ₀ (0)	0	1	1	x	1	1	1	0
S ₁ (1)	1	0	x	1	0	1	0	1

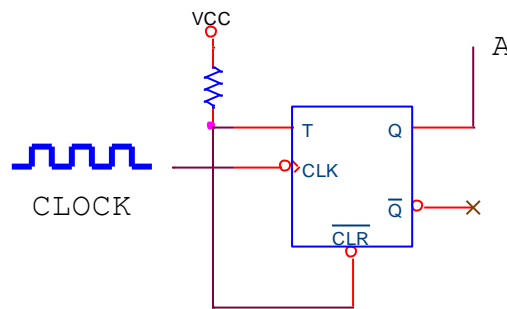
- Từ bảng hoạt động trên, ta xây dựng mạch cho các loại FF như các mạch sau:



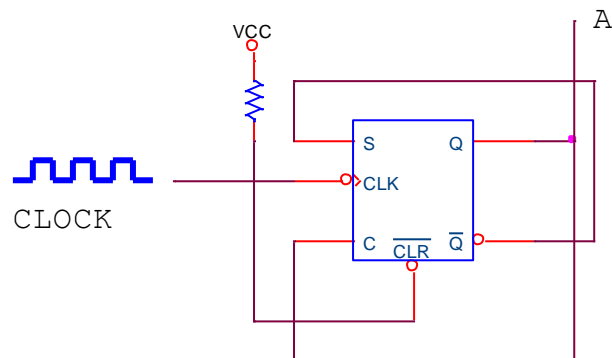
Hình 44. Mạch đếm mod 2 dùng JK-FF



Hình 45. Mạch đếm mod 2 dùng D-FF



Hình 46. Mạch đếm mod 2 dùng T-FF



Hình 47. Mạch đếm mod 2 dùng SC-FF

1.4.2- Hệ đếm bất đồng bộ dùng JK-FF với N Flip Flop

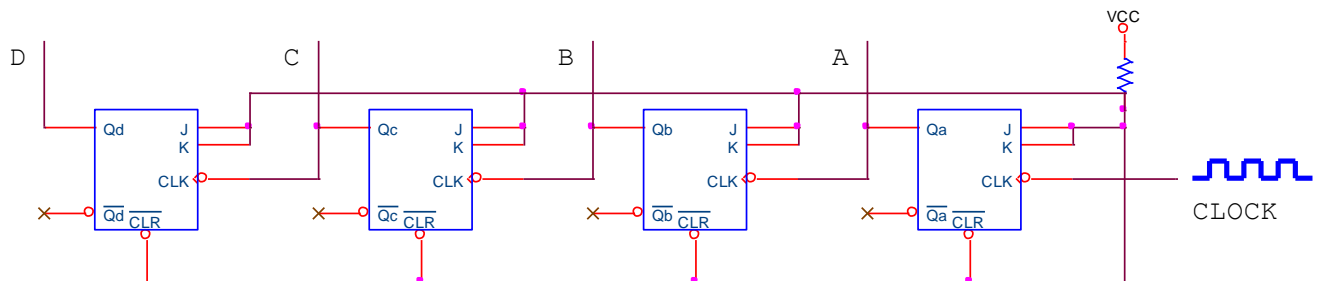
1.4.2.1- Hệ đếm lên từ $0 \rightarrow 2^N - 1$ (hệ đếm lên mod 2^N)

- Nguyên lý: Với N JK-FF, ta sẽ thiết kế được mạch đếm lên mod 2^N theo nguyên tắc là tín hiệu Clock vào chân CLK của FF đầu tiên, ngõ xuất của FF này sẽ là tín hiệu Clock vào chân CLK của FF kế tiếp, và tiếp tục như vậy cho đến FF cuối cùng. Các chân J,K của mọi FF đều ở mức logic 1, mọi chân Clear và Preset nếu có thì cũng ở trạng thái không tích cực.
- Bảng hoạt động:

D	C	B	A	Trạng thái đếm
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15
0	0	0	0	0
0	0	0	1	1
...

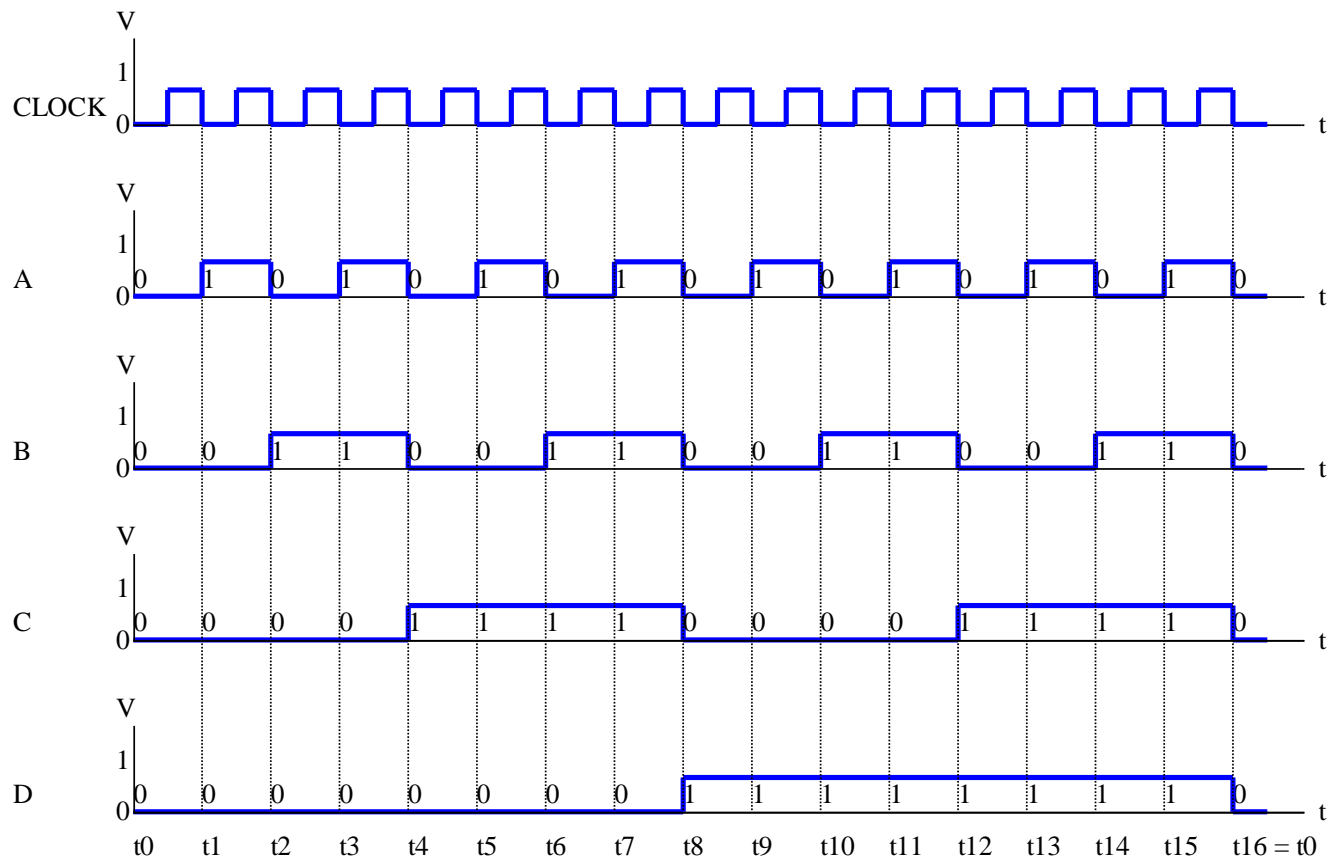
Bảng 15. Bảng hoạt động bộ đếm lên mod 16

- Sơ đồ mạch dùng JK-FF trong mạch đếm từ $0 \rightarrow 2^N - 1$



Hình 48. Sơ đồ mạch dùng JK-FF của mạch đếm từ $0 \rightarrow 2^N - 1$

- Giải đồ thời gian của D, C, B, A trong 16 lần đếm



Hình 49. Giải đồ thời gian của mạch đếm từ $0 \rightarrow 2^N - 1$

1.4.2.2- Hệ đếm lên từ $0 \rightarrow K$; $K \leq 2^N - 1$ (hệ đếm lên mod $K+1$)

- Nguyên lý: Với N JK-FF, ta sẽ thiết kế được mạch đếm lên mod $K+1 \leq 2^N$ theo như mod 2^N , các chân Clear được dùng để chuyển bộ đếm về trạng thái ban đầu. Ví dụ trong trường hợp dùng 4 FF, ta phải thiết kế mạch tổ hợp gồm các ngõ nhập D, C, B, A và ngõ xuất là Z được nối vào các chân Clear của các FF, theo bảng hoạt động dưới và đưa ra mạch hoạt động như hình vẽ dưới.

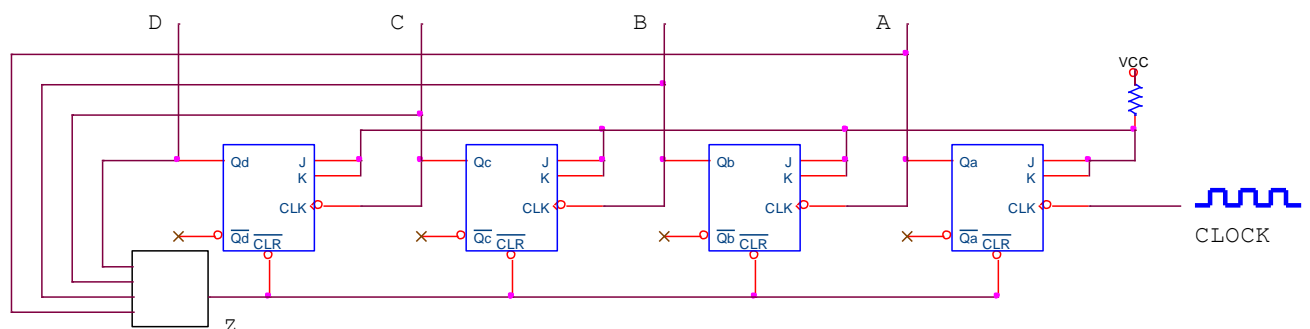
➤ Bảng hoạt động:

D	C	B	A	Z	Trạng thái đếm
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	1	2
0	0	1	1	1	3
0	1	0	0	1	4
0	1	0	1	1	5
0	1	1	0	1	6
0	1	1	1	1	7

...
...
...
...	1	k-1
...	1	Không đếm
...	0	Không đếm
...	0	Không đếm
...	Không đếm
...	Không đếm
1	1	1	1	0	Không đếm

Bảng 16. Bảng hoạt động bộ đếm lên từ 0 → K

- Sơ đồ mạch dùng 4 JK-FF trong mạch đếm lên từ 0 → K ≤ 2⁴ - 1



Hình 50. Sơ đồ mạch dùng JK-FF của bộ đếm lên từ 0 → K

- Ví dụ: thiết kế mạch đếm lên từ 0 → 10

- Bảng hoạt động

D	C	B	A	Z	Trạng thái đếm
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	1	2
0	0	1	1	1	3
0	1	0	0	1	4
0	1	0	1	1	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	1	8
1	0	0	1	1	9

1	0	1	0	1	10
1	0	1	1	0	Không bền vững, về lại trạng thái 0
1	1	0	0	0	Không bền vững, về lại trạng thái 0
1	1	0	1	0	Không bền vững, về lại trạng thái 0
1	1	1	0	0	Không bền vững, về lại trạng thái 0
1	1	1	1	0	Không bền vững, về lại trạng thái 0

Bảng 17. Bảng hoạt động của mạch đếm lên từ 0→10 các trạng thái ngoài bộ đếm được đưa về trạng thái 0

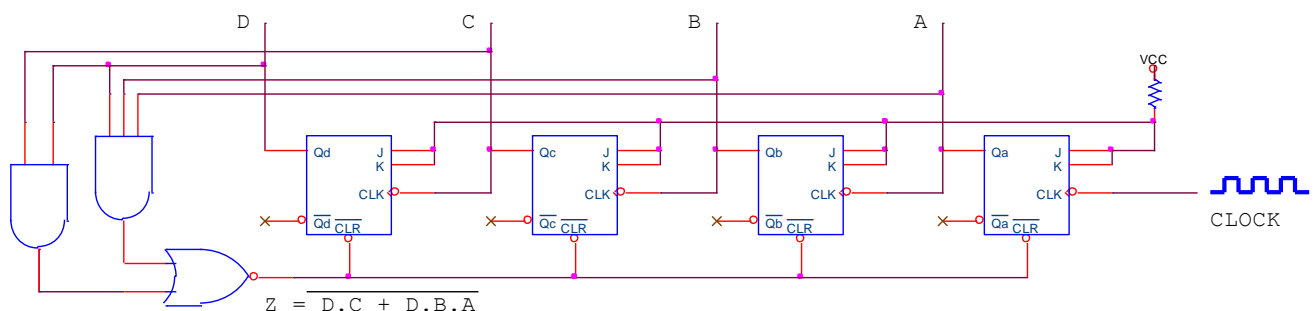
Lập bảng Karnaugh, ta thấy

BA \ DC	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	1	1	0	1

Bảng 18. Bảng Karnaugh cho Z các trạng thái ngoài bộ đếm được đưa về trạng thái 0

Ta có công thức: $Z = \bar{D} + \bar{C} \cdot \bar{B} + \bar{C} \cdot \bar{A} = \overline{D.C + D.B.A}$

➤ Ta có sơ đồ mạch trong trường hợp này là



Hình 51. Sơ đồ mạch đếm từ 0 → 10 với các trạng thái ngoài bộ đếm được đưa về trạng thái 0.

Tuy nhiên mạch này dùng khá nhiều cổng, trong khi ta nhận thấy khi mạch đếm đến trạng thái 11 là trạng thái trung gian không bền vững, nó nhanh chóng bị xóa về trạng thái 0, như vậy các trạng thái sau trạng thái 11 là 12, 13, 14, 15

sẽ không tồn tại, do đó tại các trạng thái này ta cho Z tùy chọn ($Z = x$), như vậy mạch sẽ rút gọn hơn

➤ Bảng hoạt động

D	C	B	A	Z	Trạng thái đếm
0	0	0	0	1	0
0	0	0	1	1	1
0	0	1	0	1	2
0	0	1	1	1	3
0	1	0	0	1	4
0	1	0	1	1	5
0	1	1	0	1	6
0	1	1	1	1	7
1	0	0	0	1	8
1	0	0	1	1	9
1	0	1	0	1	10
1	0	1	1	0	Không bền vững, về lại trạng thái 0
1	1	0	0	x	Tùy chọn
1	1	0	1	x	Tùy chọn
1	1	1	0	x	Tùy chọn
1	1	1	1	x	Tùy chọn

Bảng 19. Bảng hoạt động của mạch đếm lên từ 0→10, với các trạng thái đếm lớn hơn 11 được tùy chọn

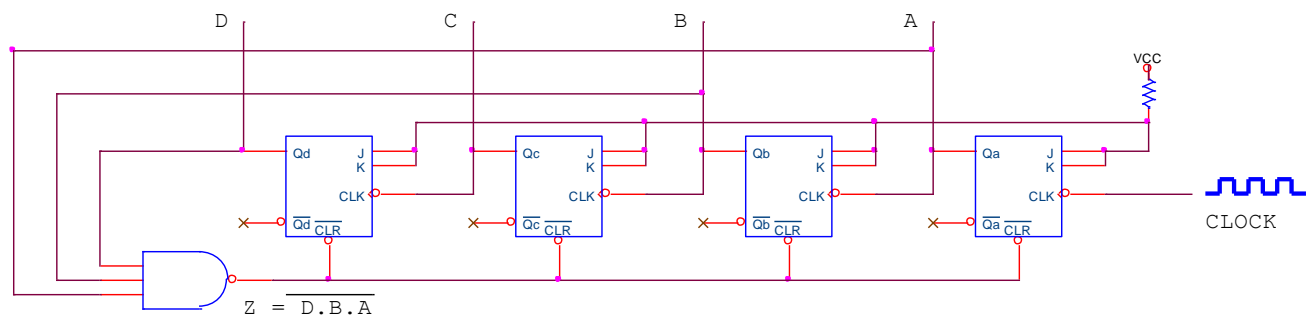
Lập bảng Karnaugh, ta thấy

DC \ BA	BA			
	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	x=1	x=1	x=0	x=1
10	1	1	0	1

Bảng 20. Bảng Karnaugh cho Z với các trạng thái đếm lớn hơn 11 được tùy chọn

Ta có công thức: $Z = \overline{D} + \overline{B} + \overline{A} = \overline{D.B.A}$

➤ Ta có sơ đồ mạch trong trường hợp này là

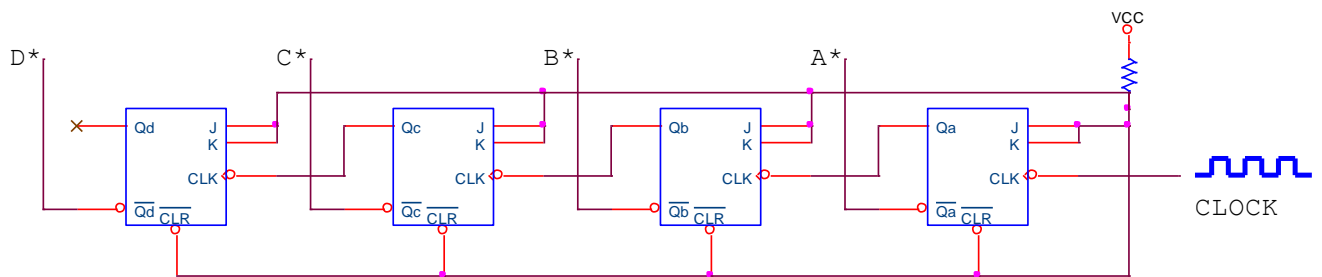


Hình 52. Sơ đồ mạch đếm từ 0 → 10 với các trạng thái đếm lớn hơn 11 được tùy chọn

1.4.2.3- Hệ đếm xuống từ $2^N - 1 \rightarrow 0$ (hệ đếm xuống mod 2^N)

- Nguyên lý: mạch đếm xuống này hoàn toàn giống mạch đếm lên mod 2^N , ta chỉ dùng các chân \bar{Q} thay cho Q (D^* , C^* , B^* , A^*) thay cho (D, C, B, A).

- Sơ đồ mạch

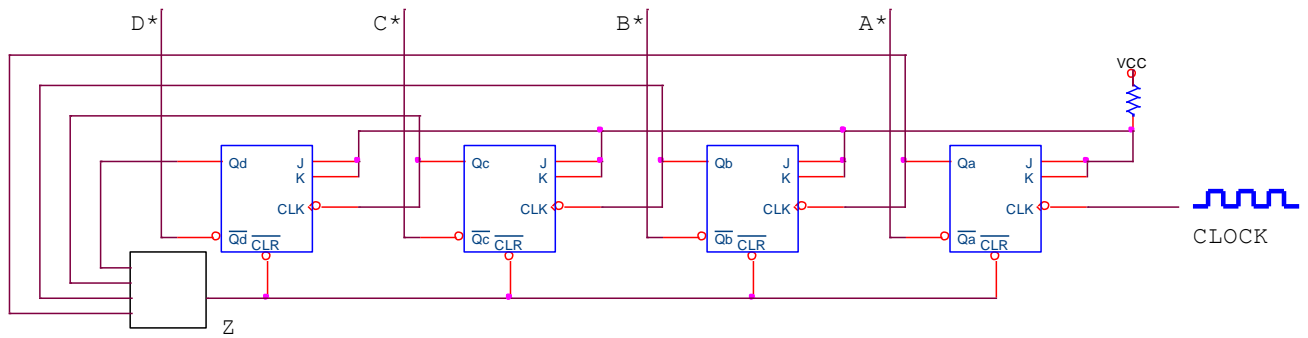


Hình 53. Sơ đồ mạch dùng JK-FF cho mạch đếm xuống mod 2^N .

1.4.2.4- Hệ đếm xuống từ $2^N - 1 \rightarrow M$; $M \geq 0$ (hệ đếm xuống mod $K = 2^N - M$)

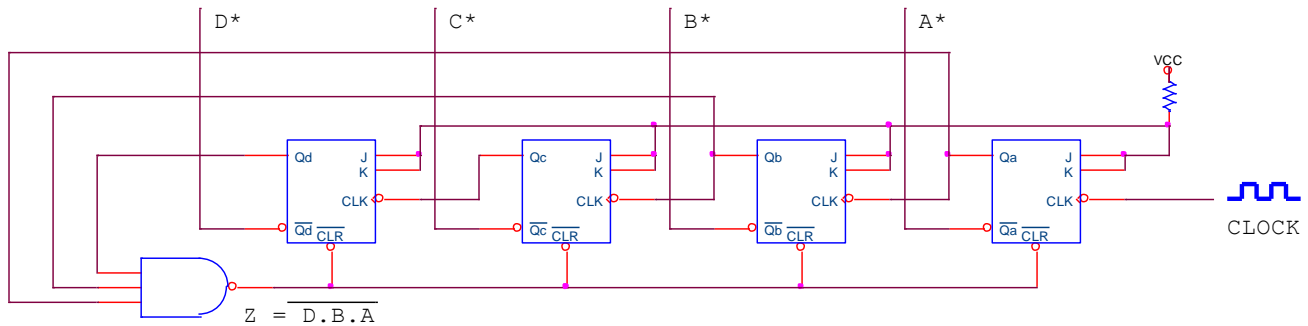
- Nguyên lý: mạch đếm xuống này hoàn toàn giống mạch đếm lên mod $2^N - 1$, ta chỉ dùng các chân \bar{Q} thay cho Q (D^* , C^* , B^* , A^*) thay cho (D, C, B, A).

- Sơ đồ mạch



Hình 54. Sơ đồ mạch dùng JK-FF cho mạch đếm xuống $2^N - 1 \rightarrow M$.

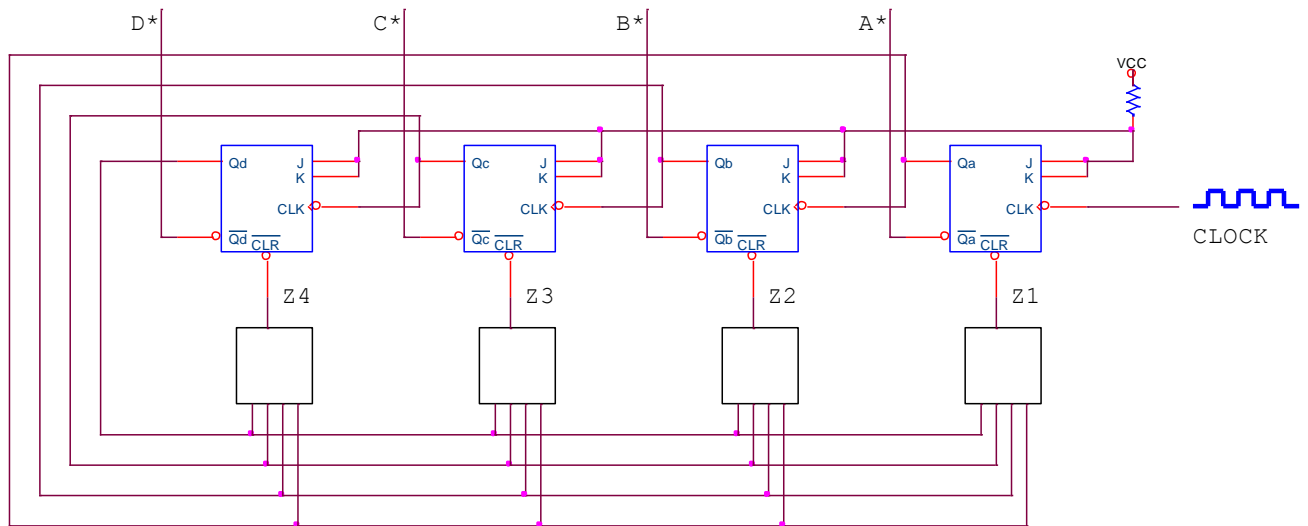
- Ví dụ thiết kế mạch đếm xuống từ 15 \rightarrow 5 dùng JK-FF, ta có sơ đồ mạch như sau



Hình 55. Sơ đồ mạch dùng JK-FF cho mạch đếm xuống từ 15 \rightarrow 5.

1.4.2.5- Hệ đếm xuống từ $L \rightarrow 0$; $L \leq 2^N - 1$ (hệ đếm xuống mod $K = L + 1$)

- Nguyên lý: mạch đếm xuống này hoàn toàn giống mạch đếm xuống $2^N - 1 \rightarrow M$, ta chỉ dùng các hàm Z khác nhau áp vào các chân Clear khác nhau để về trạng thái mong muốn.
- Sơ đồ mạch



Hình 56. Sơ đồ mạch dùng JK-FF thiết kế mạch đếm xuống từ $L \rightarrow 0$

➤ Ví dụ, thiết kế mạch đếm xuống từ 10→0 bằng JK-FF

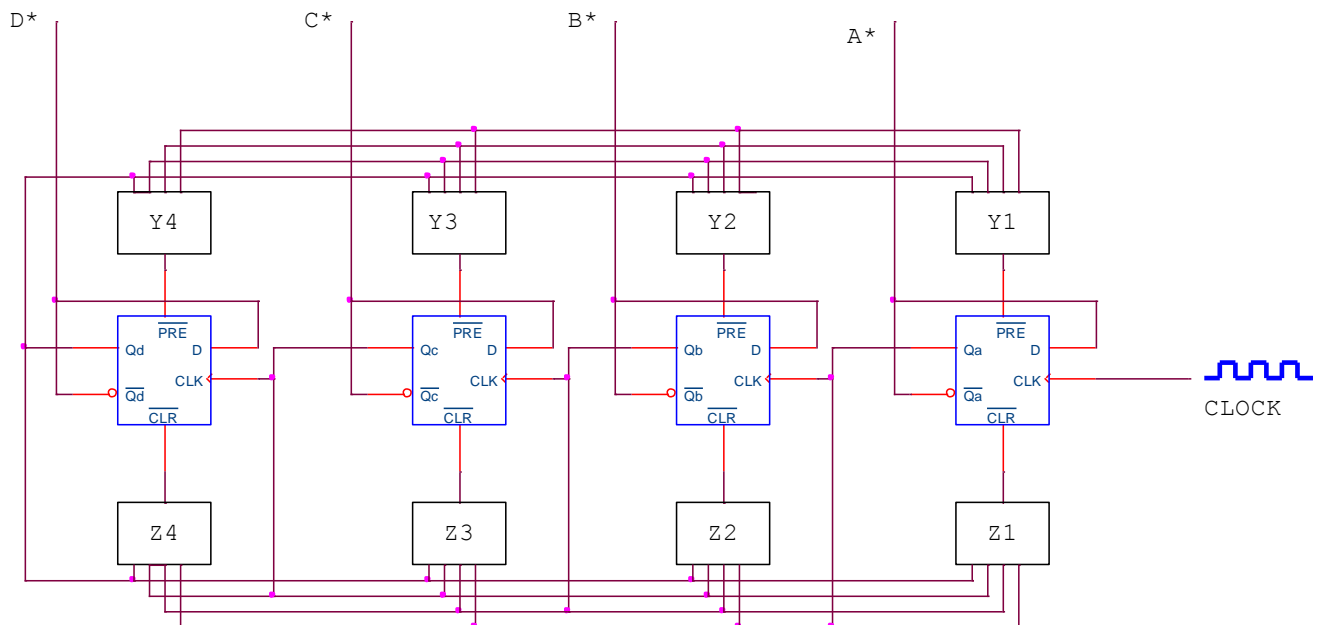
➤ Lập bảng hoạt động

D*	C*	B*	A*	Z4	Z3	Z2	Z1	Trạng thái đếm
1	1	1	1	1	0	1	0	Không bền vững, về lại trạng thái 10
1	1	1	0	x	x	x	x	Tùy chọn
1	1	0	1	x	x	x	x	Tùy chọn
1	1	0	0	x	x	x	x	Tùy chọn
1	0	1	1	x	x	x	x	Tùy chọn
1	0	1	0	1	1	1	1	10
1	0	0	1	1	1	1	1	9
1	0	0	0	1	1	1	1	8
0	1	1	1	1	1	1	1	7
0	1	1	0	1	1	1	1	6
0	1	0	1	1	1	1	1	5
0	1	0	0	1	1	1	1	4
0	0	1	1	1	1	1	1	3
0	0	1	0	1	1	1	1	2
0	0	0	1	1	1	1	1	1
0	0	0	0	1	1	1	1	0

Bảng 21. Bảng hoạt động của mạch đếm xuống từ 10→0 bằng JK-FF

Rút gọn bằng biểu đồ Karnaugh, ta có công thức $Z4 = Z2 = 1$, $Z3 = Z1 = \overline{D}\overline{C}$

-
- The diagram shows a 4-bit shift register implemented with four J-K flip-flops labeled Qd, Qc, Qb, and Qa from left to right. The output of Qd is connected to the J input of Qc, the output of Qc to the J input of Qb, and the output of Qb to the J input of Qa. The output of Qa is connected to the J input of Qd, forming a feedback loop. The clock inputs (CLK) of all four flip-flops are connected to a common CLOCK signal. The clear inputs (CLR) of all four flip-flops are connected to a common output Z. The output Z is also connected to the input of a 2-input AND gate, which has inputs D* and C*. The output of the AND gate is connected to the CLR input of Qd. The output of Qa is also connected to VCC through a pull-up resistor.
- $$Z = \overline{D \cdot C}$$



Hình 58. Sơ đồ mạch dùng D-FF có chân CLear và Preset để thiết kế mạch đếm xuống từ $L \rightarrow M$; $L \leq 2^N - 1$, $M \geq 0$

- Bảng hoạt động

[illegible]

ràng hơn. Ở loại mạch đồng bộ này, tùy thuộc vào các ngõ nhập JK, D, T, SC mà ngõ xuất thay đổi.

1.4.4.1- Bảng hoạt động cho các loại FF ứng với trạng thái chuyển dịch

- Ta lập bảng hoạt động cho các loại FF ứng với trạng thái chuyển dịch ở trên như sau

Trạng thái chuyển dịch	Q hiện tại	Q kế tiếp	J	K	D	T	S	C
0 → 0	0	0	0	x	0	0	0	x
0 → 1	0	1	1	x	1	1	1	0
1 → 0	1	0	x	1	0	1	0	1
1 → 1	1	1	x	0	1	0	x	0

Bảng 23. Bảng hoạt động cho JK-FF, D-FF, T-FF, SC-FF ứng với trạng thái chuyển dịch

1.4.4.2- Các bước thiết kế một hệ đếm đồng bộ

- Cho trước một hệ đếm đồng bộ, để thiết kế mạch theo yêu cầu, ta tiến hành các bước sau:
- Bước 1: Xác định số FF cần dùng bằng cách xem số lớn nhất trong hệ đếm được biểu diễn bằng bao nhiêu bit.
- Bước 2: Lập giản đồ hệ đếm theo yêu cầu thực tế, kể cả những trạng thái ngoài vòng đếm cũng đưa chúng vào vòng đếm.
- Bước 3: Lập bảng chuyển dịch trạng thái hiện tại và trạng thái kế tiếp theo giản đồ ở bước 2.
- Bước 4: Lập bảng hoạt động cho mạch tổ hợp vào các chân J,K hay D hay T hay SC của các FF.
- Bước 5: Dùng biểu đồ Karnaugh để rút gọn mạch tổ hợp.
- Bước 6: Vẽ sơ đồ mạch.

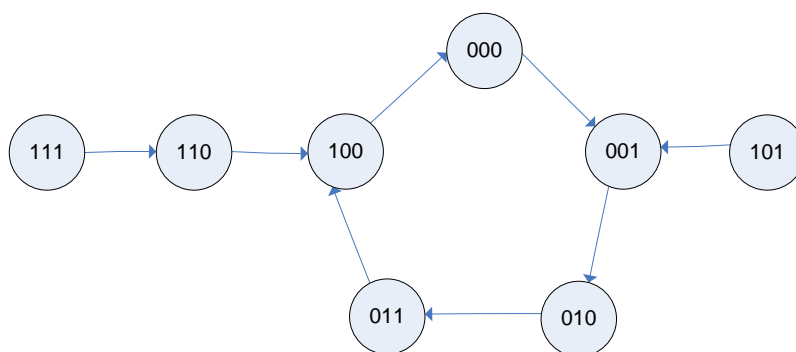
1.4.4.3- Các bước phân tích một hệ đếm đồng bộ

- Cho trước một mạch đồng bộ, để phân tích hoạt động của mạch đó, ta tiến hành các bước sau:
- Bước 1: Lập bảng hoạt động với đầy đủ các trạng thái đếm (2^N trạng thái đếm) và các ô JK, SC, D, T với công thức tương ứng với sơ đồ mạch.
- Bước 2: Thay các giá trị của JK, SC, D, T vào các ô tương ứng với các giá trị của D_{HT} , C_{HT} , B_{HT} , A_{HT} .
- Bước 3: Dựa vào các giá trị của JK, SC, D, T ta tính được các giá trị của D_{KT} , C_{KT} , B_{KT} , A_{KT} .
- Bước 4: Từ bảng hoạt động của bước 3, ta vẽ được giản đồ hệ đếm của mạch đã cho.

1.4.5- Thiết kế một mạch đếm đồng bộ dùng JK-FF

Cho một ví dụ về thiết kế mạch đếm đồng bộ theo thứ tự như sau: $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0 \rightarrow 1 \rightarrow \dots$

- Bước 1: Ta nhận thấy số lớn nhất trong mạch đếm là số 4 chỉ có 3 bit là 100 \Rightarrow chỉ dùng 3 FF để thiết kế.
- Bước 2: Ta nhận thấy mạch chỉ có 5 trạng thái, trong khi mạch dùng 3 FF sẽ có đến 8 trạng thái, vậy còn 3 trạng thái ngoài vòng đếm là 5, 6, 7. Ta chọn tùy ý các trạng thái ngoài vòng liên kết với một trạng thái bất kỳ trong vòng đếm, trong ví dụ này, ta chọn trạng thái 5 \rightarrow trạng thái 1, trạng thái 7 \rightarrow trạng thái 6 \rightarrow trạng thái 4. Ta có giản đồ vòng đếm như sau:



Hình 60. Giản đồ trạng thái cho hệ đếm

➤ Bước 3: Lập bảng dịch chuyển trạng thái theo giản đồ

C _{HT}	B _{HT}	A _{HT}	C _{KT}	B _{KT}	A _{KT}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	1	1	0

Bảng 24. Bảng dịch chuyển trạng thái theo giản đồ

➤ Bước 4: lập bảng hoạt động cho mạch tổ hợp vào các chân J,K của các FF

C	B	A	C	B	A	J	K	J	K	J	K
HT	HT	HT	KT	KT	KT	C	C	B	B	A	A
0	0	0	0	0	1	0	x	0	x	1	x
0	0	1	0	1	0	0	x	1	x	x	1
0	1	0	0	1	1	0	x	x	0	1	x
0	1	1	1	0	0	1	x	x	1	x	1
1	0	0	0	0	0	x	1	0	x	0	x
1	0	1	0	0	1	x	1	0	x	x	0
1	1	0	1	0	0	x	0	x	1	0	x
1	1	1	1	1	0	x	0	x	0	x	1

Bảng 25. Bảng hoạt động cho J_C, K_C, J_B, K_B, J_A, K_A

➤ Bước 5: Lập bảng Karnaugh cho J_C, K_C, J_B, K_B, J_A, K_A để rút gọn

BA	00	01	11	10
C				
0	0	0	1	0
1	x=0	x=0	x=1	x=0

$J_C = B.A$

BA	00	01	11	10
C				
0	x=1	x=1	x=0	x=0
1	1	1	0	0

$K_C = \overline{B}$

Bảng 26. Bảng Karnaugh cho J_C, K_C ⇒ J_C = B.A, K_C = \overline{B}

BA \ C	00	01	11	10
0	0	1	x=1	x=0
1	0	0	x=0	x=0

$J_B = \bar{C} \cdot A$

BA \ C	00	01	11	10
0	x=0	x=1	1	0
1	x=1	x=0	0	1

$K_B = \bar{C} \cdot A + C \cdot \bar{A} = C \oplus A$

Bảng 27. Bảng Karnaugh cho $J_B, K_B \Rightarrow J_B = \bar{C} \cdot A, K_B = C \oplus A$

BA \ C	00	01	11	10
0	1	x=1	x=1	1
1	0	x=0	x=0	0

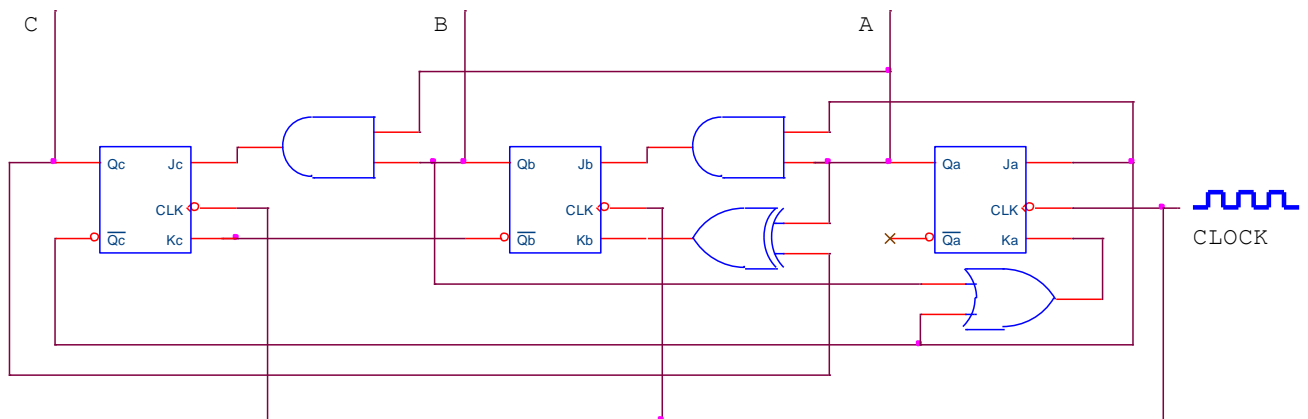
$J_A = \bar{C}$

BA \ C	00	01	11	10
0	x=1	1	1	x=1
1	x=0	0	1	x=1

$K_A = \bar{C} + B$

Bảng 28. Bảng Karnaugh cho $J_A, K_A \Rightarrow J_A = \bar{C}, K_A = \bar{C} + B$

➤ Bước 6: Vẽ sơ đồ mạch



Hình 61. Sơ đồ mạch đếm đồng bộ $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0 \rightarrow \dots$

1.4.6- Phân tích một mạch đếm đồng bộ

Cho một sơ đồ mạch đồng bộ, để phân tích mạch đó đếm như thế nào, ta lập bảng hoạt động cho sơ đồ mạch của hình trên theo các bước như sau:

➤ Bước 1: Thay các công thức của $J_C, K_C, J_B, K_B, J_A, K_A$ vào các ô tương ứng

C HT	B HT	A HT	C KT	B KT	A KT	$J_C =$ $B.A$	$K_{\bar{C}} =$ \bar{B}	J $B =$ $\bar{C}.A$	$K_B =$ $C \oplus A$	J $A =$ \bar{C}	K $A = \bar{C}$ $+B$
0	0	0									
0	0	1									
0	1	0									
0	1	1									
1	0	0									
1	0	1									
1	1	0									
1	1	1									

Bảng 29. Thay các công thức của J_C , K_C , J_B , K_B , J_A ,

- Bước 2: Tính các giá trị của J_C , K_C , J_B , K_B , J_A , K_A vào các ô tương ứng theo C_{HT} , B_{HT} , A_{HT} .

C HT	B HT	A HT	C KT	B KT	A KT	$J_C =$ $B.A$	$K_{\bar{C}} =$ \bar{B}	J $B =$ $\bar{C}.A$	$K_B =$ $C \oplus A$	J $A =$ \bar{C}	K $A = \bar{C}$ $+B$
0	0	0				0	1	0	0	1	1
0	0	1				0	1	1	1	1	1
0	1	0				0	0	0	0	1	1
0	1	1				1	0	1	1	1	1
1	0	0				0	1	0	1	0	0
1	0	1				0	1	0	0	0	0
1	1	0				0	0	0	1	0	1
1	1	1				1	0	0	0	0	1

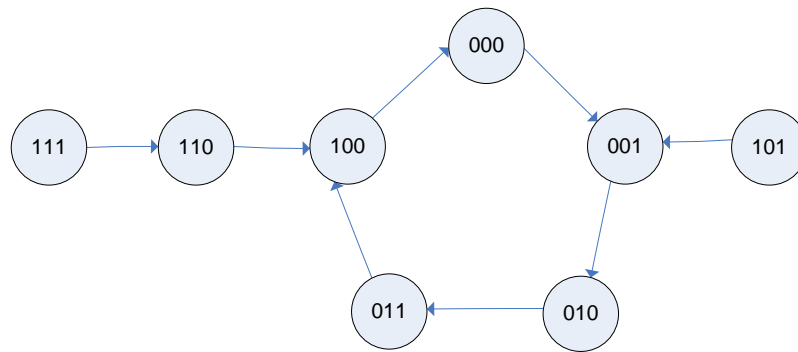
Bảng 30. Tính các giá trị của J_C , K_C , J_B , K_B , J_A , K_A

- Bước 3: Tính các giá trị của C_{KT} , B_{KT} , A_{KT} vào các ô tương ứng theo J_C , K_C , J_B , K_B , J_A , K_A

C HT	B HT	A HT	C KT	B KT	A KT	$J_C =$ $B.A$	$K_{\bar{C}} =$ \bar{B}	J $B =$ $\bar{C}.A$	$K_B =$ $C \oplus A$	J $A =$ \bar{C}	K $A = \bar{C}$ $+B$
0	0	0	0	0	1	0	1	0	0	1	1
0	0	1	0	1	0	0	1	1	1	1	1
0	1	0	0	1	1	0	0	0	0	1	1
0	1	1	1	0	0	1	0	1	1	1	1
1	0	0	0	0	0	0	1	0	1	0	0
1	0	1	0	0	1	0	1	0	0	0	0
1	1	0	1	0	1	0	0	0	1	0	1
1	1	1	1	1	1	1	0	0	0	0	1

Bảng 31. Tính các giá trị của C_{KT} , B_{KT} , A_{KT}

- Bước 4: Vẽ giản đồ trạng thái cho hệ đếm

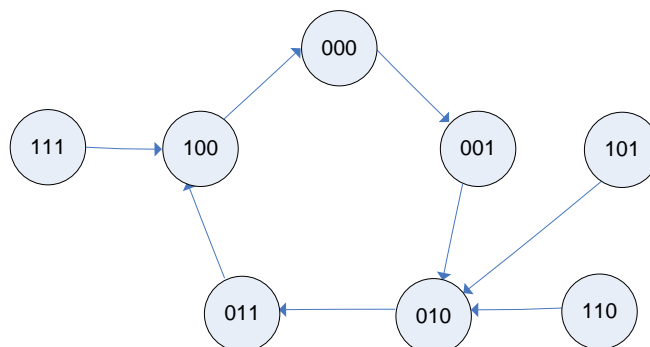


Hình 62. Giảm đồ trạng thái cho hệ đếm

1.4.7- Thiết kế một hệ đếm đồng bộ dùng D-FF, T-FF, SC-FF

Cho một ví dụ về thiết kế mạch đếm đồng bộ theo thứ tự như sau: $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0 \rightarrow 1 \rightarrow \dots$ như trong ví dụ dùng JK-FF nhưng ta dùng D-FF và lập bảng giản đồ trạng thái đếm khác.

- Bước 1: Ta nhận thấy số lớn nhất trong mạch đếm là số 4 chỉ có 3 bit là 100 \Rightarrow chỉ dùng 3 FF để thiết kế.
- Bước 2: Ta nhận thấy mạch chỉ có 5 trạng thái, trong khi mạch dùng 3 FF sẽ có đến 8 trạng thái, vậy còn 3 trạng thái ngoài vòng đếm là 5, 6, 7. Ta chọn tùy ý các trạng thái ngoài vòng liên kết với một trạng thái bất kỳ trong vòng đếm, trong ví dụ này, ta chọn trạng thái 6 \rightarrow trạng thái 2, trạng thái 7 \rightarrow trạng thái 5 \rightarrow trạng thái 4. Ta có giản đồ trạng thái đếm như sau:



Hình 63. Giảm đồ trạng thái cho hệ đếm

- Bước 3: Lập bảng dịch chuyển trạng thái theo giản đồ

C _{HT}	B _{HT}	A _{HT}	C _{KT}	B _{KT}	A _{KT}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	0	0

Bảng 32. Bảng dịch chuyển trạng thái theo giản đồ

- Bước 4: lập bảng hoạt động cho mạch tổ hợp vào các chân D của các FF

C _{HT}	B _{HT}	A _{HT}	C _{KT}	B _{KT}	A _{KT}	D _C	D _B	D _A
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	0	0	0	0	0	0
1	0	1	0	1	0	0	1	0
1	1	0	0	1	0	0	1	0
1	1	1	1	0	0	1	0	0

Bảng 33. Bảng hoạt động cho D_C, D_B, D_A

- Bước 5: Lập bảng Karnaugh cho D_C, D_B, D_A để rút gọn

BA \ C		00	01	11	10
		0	1	0	1
C	0	0	0	1	0
	1	0	0	1	0

$D_C = B.A$

BA \ C		00	01	11	10
		0	1	0	1
C	0	0	1	0	1
	1	0	1	0	1

$D_B = \overline{B}.A + B.\overline{A} = B \oplus A$

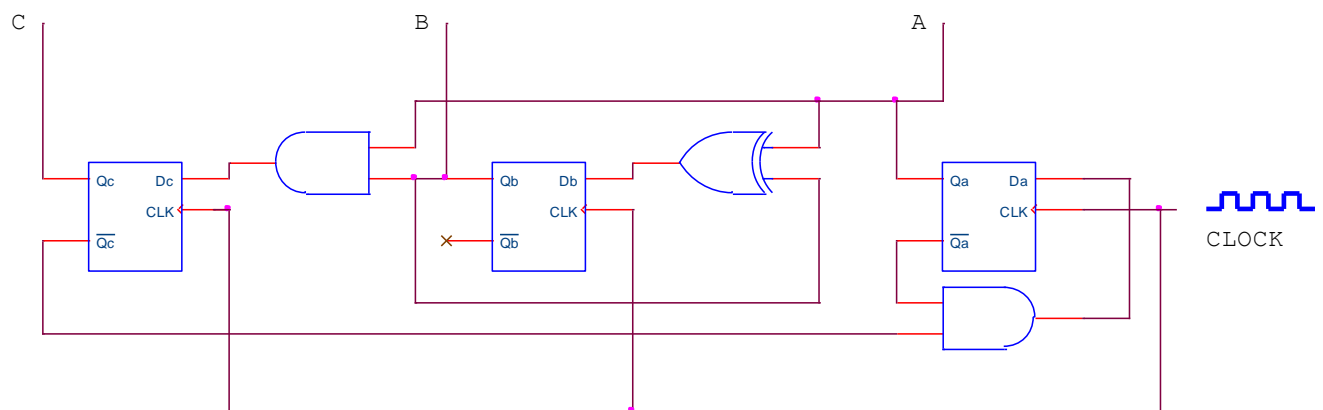
Bảng 34. Bảng Karnaugh cho D_C, D_B ⇒ D_C = B.A, D_B = B⊕A

BA \ C	00	01	11	10
0	1	0	0	1
1	0	0	0	0

$D_A = \overline{C} \cdot \overline{A}$

Bảng 35. Bảng Karnaugh cho $D_A \Leftrightarrow D_A = B.A$

➤ Bước 6: Vẽ sơ đồ mạch



Hình 64. Sơ đồ mạch đếm đồng bộ $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0 \rightarrow \dots$

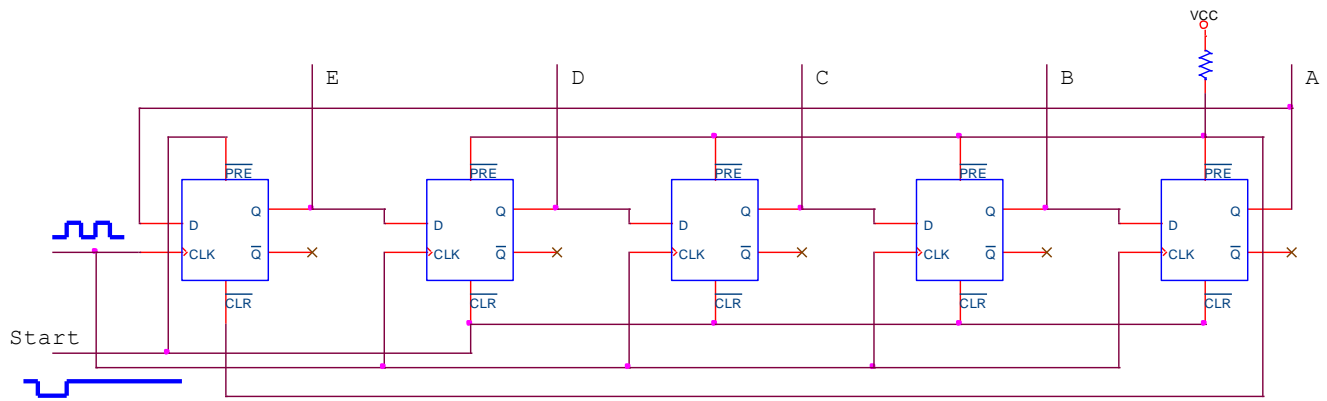
1.4.8- Bộ đếm Johnson và bộ đếm vòng

Là loại bộ đếm đồng bộ, nhưng ta dùng các chân $\overline{\text{PRE}}$ hay $\overline{\text{CLR}}$ để đặt trạng thái ban đầu theo đúng ý muốn, không quan tâm các trạng thái ngoài vòng đếm, nên mạch thiết kế đơn giản hơn.

1.4.8.1- Bộ đếm vòng

➤ Sơ đồ mạch cho bộ đếm vòng, bảng trạng thái đã thiết kế ở chương 2 đó là

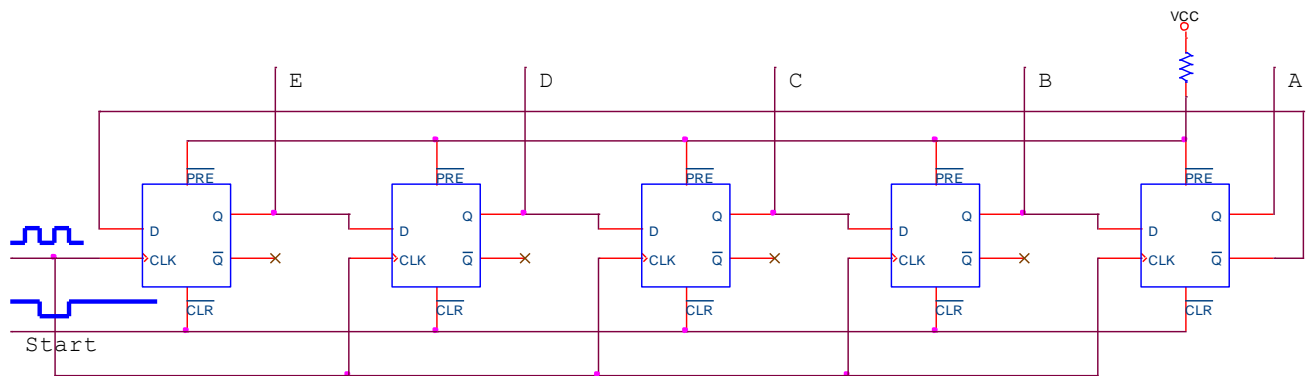
$10000 \rightarrow 01000 \rightarrow 00100 \rightarrow 00010 \rightarrow 00001 \rightarrow 10000 \rightarrow \dots$ tổng cộng là 5 trạng thái



Hình 65. Mạch đếm vòng dùng D-FF

1.4.8.2- Bộ đếm Johnson

- Sơ đồ mạch cho bộ đếm Johnson, bảng trạng thái đã thiết kế ở chương 2 đó là 00000 → 10000 → 11000 → 11100 → 11110 → 11111 → 01111 → 00111 → 00011 → 00001 → 00000 → tổng cộng là 10 trạng thái



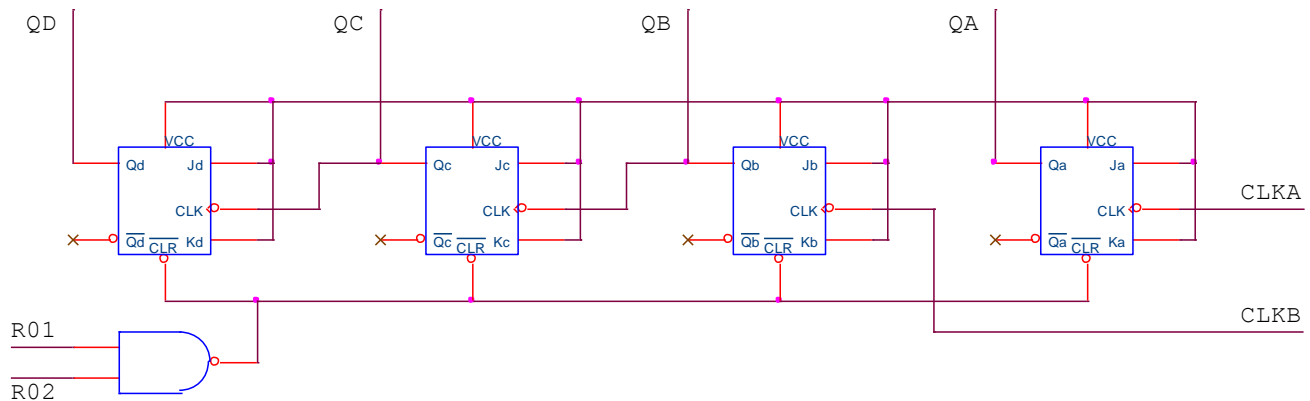
Hình 66. Mạch đếm Johnson dùng D-FF

1.5- Thanh Ghi Và Bộ Đếm

- Từ các FF, chúng ta có thể xây dựng lên các mạch đếm cũng như các mạch nhớ khác. Các nhà sản xuất đã tích hợp các FF bên trong một vi mạch để tạo nên các mạch đếm và thanh ghi với nhiều chức năng riêng biệt. Các vi mạch này thường là cỡ MSI, và để sử dụng được chúng, ta phải hiểu bản chất hoạt động của các thanh ghi và bộ đếm.
- Tùy theo chức năng của các vi mạch, mà chúng được phân loại thành bộ đếm, thanh ghi dịch, bộ đệm... ta xét qua một số vi mạch thường dùng

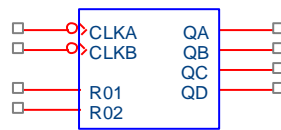
1.5.1.1- Bộ đếm lên bất đồng bộ 74293

- 74293 gồm 2 bộ đếm lên bất đồng bộ MOD 2 và MOD 8 thiết kế bằng 4 JK-FF, một cổng NAND có ngõ xuất nối vào các chân các chân $\overline{\text{CLR}}$ của các JK-FF, hai ngõ nhập của cổng NAND là chân $R_{(0)1}$ và chân $R_{(0)2}$
- Sơ đồ mạch của 74293



Hình 67. Sơ đồ mạch của 74293

- Sơ đồ khối của 74293



Hình 68. Sơ đồ khối của 74293

- Chân $R_{(0)1}$ và chân $R_{(0)2}$ là hai chân điều khiển bất đồng bộ – tích cực mức cao, khi hai chân này bằng 1 thì ngõ xuất dữ liệu $Q_A \rightarrow Q_D$ sẽ được reset về 0000, Chân \overline{CLKA} là chân đồng hồ cho bộ đếm lên MOD 2 của chân Q_A - lấy cạnh xuống, chân \overline{CLKB} là chân đồng hồ cho bộ đếm lên MOD 8 của 3 chân Q_D, Q_C, Q_B - lấy cạnh xuống. Tùy theo sự kết hợp của 2 bộ đếm này và thêm một số cổng AND thích hợp khác, ta sẽ thiết kế các loại mạch đếm lên MOD K hay mạch chia K, với $K \leq 16$

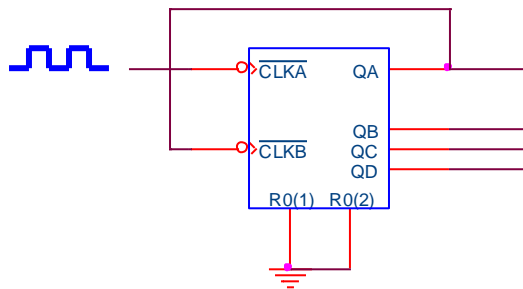
- Bảng hoạt động của 74293

Ngõ nhập điều khiển		Ngõ xuất			
$R_{(0)1}$	$R_{(0)2}$	Q_D	Q_C	Q_B	Q_A
1	1	0	0	0	0

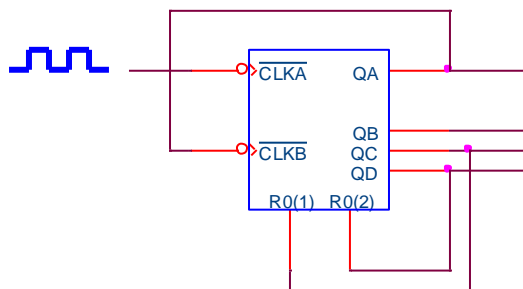
0	x	đếm
x	0	đếm

Bảng 36. Bảng hoạt động của 74293

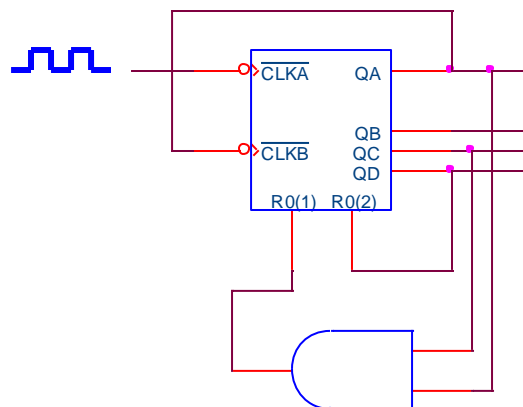
➤ Một số mạch đếm dùng 74293



Hình 69. Bộ đếm MOD 16



Hình 70. Bộ đếm MOD 12



Hình 71.

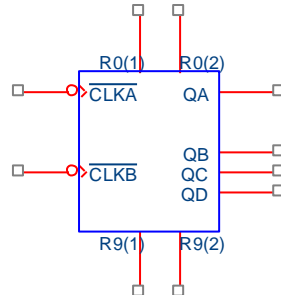
Hình 72. Bộ đếm MOD 13

1.5.1.2- Bộ đếm lên bất đồng bộ 7490

- 7490 gồm có 3 JK-FF và 1 SC-FF tạo thành 2 bộ đếm lên bất đồng bộ MOD 2 và MOD 5, một cổng NAND có ngõ xuất nối vào các chân các chân $\overline{\text{CLR}}$ của các JK-FF để xoá các ngõ xuất về trạng thái 0, hai ngõ nhập của cổng NAND này là

$R_{(0)1}$ và chân $R_{(0)2}$. Một cổng NAND khác có ngõ xuất nối vào hai chân \overline{CLR} của 2 JK-FF Q_C và Q_D và nối vào hai chân \overline{PRE} của JK-FF Q_A và SC-FF Q_D .

➤ Sơ đồ khối của 7490



Hình 73. Sơ đồ khối của 7490

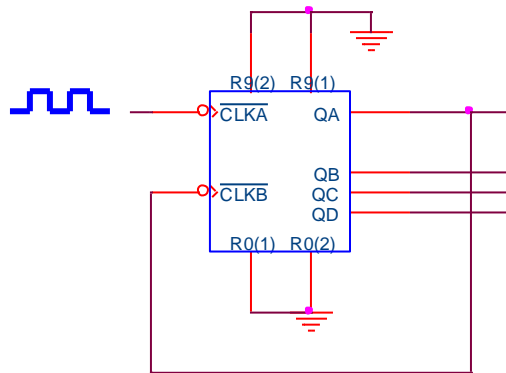
- Chân $R_{(0)1}$ và chân $R_{(0)2}$ là hai chân điều khiển bất đồng bộ – tích cực mức cao, khi hai chân này bằng 1 thì ngõ xuất dữ liệu $Q_A \rightarrow Q_D$ sẽ được reset về 0000, Chân $R_{(9)1}$ và chân $R_{(9)2}$ là hai chân điều khiển bất đồng bộ – tích cực mức cao, khi hai chân này bằng 1 thì ngõ xuất dữ liệu $Q_D \rightarrow Q_A$ sẽ được reset về 1001, Chân \overline{CLKA} là chân đồng hồ cho bộ đếm lên MOD 2 của chân Q_A - lấy cạnh xuống, chân \overline{CLKB} là chân đồng hồ cho bộ đếm lên MOD 5 của 3 chân Q_D, Q_C, Q_B - lấy cạnh xuống. Tùy theo sự kết hợp của 2 bộ đếm này ta sẽ có 2 loại mạch đếm là mạch đếm BCD ($0 \rightarrow 9$) và mạch đếm 5×2 .

➤ Bảng hoạt động của 7490

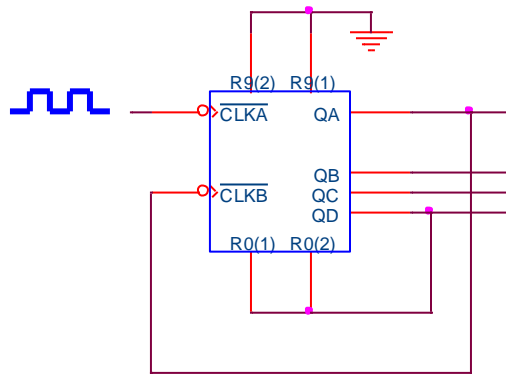
Ngõ nhập điều khiển				Ngõ xuất			
$R_{(0)1}$	$R_{(0)2}$	$R_{(9)1}$	$R_{(9)2}$	Q_D	Q_C	Q_B	Q_A
1	1	0	x	0	0	0	0
1	1	x	0	0	0	0	0
x	x	1	1	1	0	0	1
0	x	0	x	đếm			
x	0	0	x	đếm			
0	x	x	0	đếm			
x	0	x	0	đếm			

Bảng 37. Bảng hoạt động của 7490

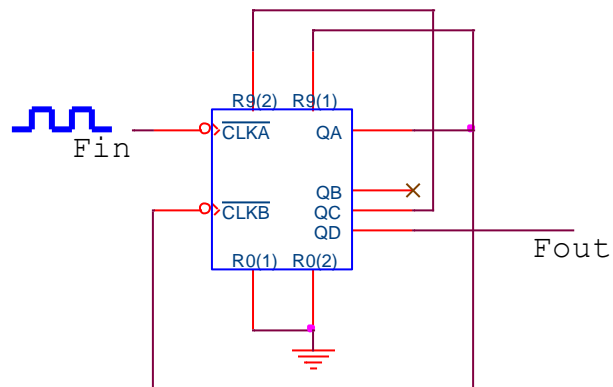
- Để thiết kế mạch đếm BCD, hay mạch chia tần số $F_{out} = \frac{1}{n} F_{in}$, với $n \leq 10$, thì ta nối xung đồng hồ vào chân \overline{CLKA} , ngõ xuất Q_A nối vào chân \overline{CLKB} .
- Để thiết kế mạch đếm 5x2, hay mạch chia tần số $F_{out} = \frac{1}{n} F_{in}$, với $n \leq 10$, thì ta nối xung đồng hồ vào chân \overline{CLKB} , ngõ xuất Q_D nối vào chân \overline{CLKA} .
- Một số mạch đếm, mạch chia dùng 7490



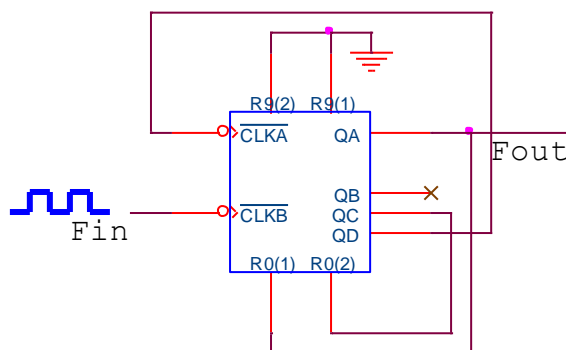
Hình 74. Mạch đếm BCD (0→9)



Hình 75. Mạch đếm MOD 8 (0→7)



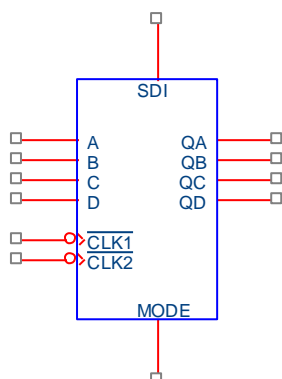
Hình 76. Mạch chia 7, $F_{out} = \frac{1}{7} F_{in}$, nối theo mạch BCD



Hình 77. Mạch chia 7, $F_{out} = \frac{1}{7} F_{in}$, nối theo mạch 5x2

1.5.1.3- Thanh ghi dịch, nạp song song 7495

- 7495 gồm 4 RS-FF được dùng làm mạch dịch trái, dịch phải hay bộ đếm 4 bit tùy theo cách nối chân.
- Sơ đồ khối của 7495



Hình 78. Sơ đồ khối của 7495

- Ngõ nhập MODE để chọn kiểu nạp song song hay chọn kiểu dịch dữ liệu, ngõ nhập SDI là dữ liệu vào cho kiểu dịch dữ liệu nối tiếp (Serial Data In), các ngõ nhập D, C, B, A là dữ liệu vào cho kiểu nạp song song, chân CLK1 là chân dành cho việc dịch phải vào thời điểm cạnh xuống của CLK1 và chân CLK2 là dành cho việc dịch trái vào thời điểm cạnh xuống của CLK2. Các chân Q_D , Q_C , Q_B , Q_A là ngõ xuất dữ liệu.

- Bảng hoạt động của 7495

M ODE	C LK1	C LK2	S DI	A	B	C	D	Q A	Q B	Q C	Q _D
----------	----------	----------	---------	---	---	---	---	--------	--------	--------	----------------

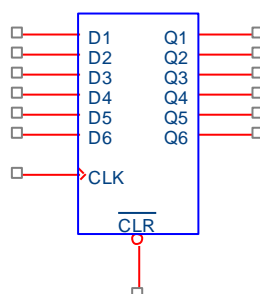
1	x	0 hay 1	S DI ₀	A 0	B 0	C 0	D ₀	Q A0	Q B0	Q C0	Q _D 0
1	x	↓	S DI ₀	A 0	B 0	C 0	D ₀	A 0	B 0	C 0	D ₀
0	0 hay 1	0 hay 1	S DI ₀	A 0	B 0	C 0	D ₀	Q A0	Q B0	Q C0	Q _D 0
0	↓	x	S DI ₀	A 0	B 0	C 0	D ₀	S DI ₀	Q A0	Q B0	Q _{C0}
1*	x	↓	S DI ₀	A 0	B 0	C 0	Dat aIN	Q B0	Q C0	Q D0	Dat aIN

Bảng 38. Bảng hoạt động của 7495

- Để chọn kiểu nạp song song, dữ liệu tại các ngõ nhập A, B, C, D là A₀, B₀, C₀, D₀, chân MODE lên mức cao, tại thời điểm cạnh xuống của CLK2 thì các ngõ xuất Q_D, Q_C, Q_B, Q_A = A₀, B₀, C₀, D₀.
- Để chọn kiểu dịch phải, dữ liệu tại chân SDI là SDI₀, chân MODE ở mức thấp, dữ liệu của ngõ xuất sẽ bị dịch phải theo SDI₀→Q_A, Q_{A0}→Q_B, Q_{B0}→Q_C, Q_{C0}→Q_D tại thời điểm cạnh xuống của CLK1.
- Để chọn kiểu dịch trái, thì ta phải nối ngõ xuất Q_B vào ngõ nhập A, nối ngõ xuất Q_C vào ngõ nhập B, nối ngõ xuất Q_D vào ngõ nhập C, Dữ liệu DataIN vào ngõ nhập D, chân MODE ở mức cao, dữ liệu ngõ xuất sẽ bị dịch phải Q_{B0}→Q_A, Q_{C0}→Q_B, Q_{D0}→Q_C, DataIN→Q_D tại thời điểm cạnh xuống của CLK2.

1.5.1.4- Thanh ghi giao tiếp nhập song song, xuất song song 74174

- 74174 là gồm 6 D-FF được dùng làm bộ đếm 6 bit hay thanh ghi dịch tùy theo cách nối chân.
- Sơ đồ khối của 74174



Hình 79. Sơ đồ khối của 74174

➤ Bảng hoạt động của 74174

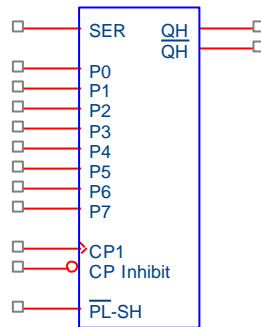
Ngõ nhập			Ngõ xuất
$\overline{\text{CLR}}$	CLK	D_n	Q_n
0	x	D_n	0
1	\uparrow	0	0
1	\uparrow	1	1
1	0 hay 1	D_n	Q_n

Bảng 39. Bảng hoạt động của 74174

1.5.1.5- Thanh ghi giao tiếp nhập song song, xuất nối tiếp 74165

- 74165 là thanh ghi nhập song song vào các chân $P_0 \rightarrow P_7$, và nếu chân $\overline{\text{PL}} = 0$ thì nó sẽ nạp các giá trị $D_0 \ D_1 \ D_2 \dots D_6$ vào các ngõ xuất bên trong 74165 là $\overline{Q_a} \ \overline{Q_b} \ \overline{Q_c} \dots \overline{Q_g}$, và để ngõ xuất $Q_H = D_7$. khi chân $\overline{\text{PL}} = 1$ và chân $\text{CP1} = 0$ thì dữ liệu từ chân $\text{DS} \rightarrow \overline{Q_a}$, dữ liệu từ chân $\overline{Q_a} \rightarrow \overline{Q_b}$, ... dữ liệu từ chân $\overline{Q_g} \rightarrow Q_h$.

➤ Sơ đồ khối của 74165



Hình 80. Sơ đồ khối của 74165

➤ Bảng hoạt động của 74165

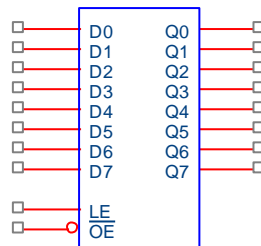
Ngõ nhập					Ngõ xuất	
$\overline{\text{PL}}_{\text{SH}}$	CP Inhibit	CP1	SER	$P_0 \ P_1 \ P_2 \dots P_7$	$\overline{Q_a} \ \overline{Q_b} \ \overline{Q_c} \dots \overline{Q_g}$	Q_h

0	x	x	x	$D_0 D_1 D_2 \dots D_7$	$D_0 D_1 D_2 \dots D_6$	D_7
1	0	0	x	x	$Q_{a0} Q_{b0} Q_{c0} \dots Q_{g0}$	Q_{h0}
1	0	\uparrow	1	x	$1 Q_{an} Q_{bn} \dots Q_{fn}$	Q_{gn}
1	0	\uparrow	0	x	$0 Q_{an} Q_{bn} \dots Q_{fn}$	Q_{gn}
1	1	x	x	x	$Q_{a0} Q_{b0} Q_{c0} \dots Q_{h0}$	Q_{h0}

Bảng 40. Bảng hoạt động của 74165

1.5.1.6- Bộ đếm 74373

- 74244 là bộ đếm 8 bit với ngõ xuất 3 trạng thái được mở bởi chân \overline{OE} , ngõ nhập được chốt bởi chân LE.
- Sơ đồ khối của 74373



Hình 81. Sơ đồ khối của 74373

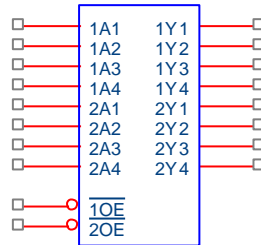
- Các chân $D_0 \rightarrow D_7$ là ngõ nhập dữ liệu, các chân $Q_0 \rightarrow Q_7$ là ngõ xuất dữ liệu, chân LE là chân chốt ngõ nhập dữ liệu - tích cực mức cao, chân \overline{OE} là chân cho phép ngõ xuất dữ liệu hết ở trạng thái cách ly – tích cực mức thấp
- Bảng hoạt động của 74373

D_n	LE	\overline{OE}	Q_n
1	1	0	1 ($Q_n = D_n$)
0	1	0	0 ($Q_n = D_n$)
x	0	0	Q_n không đổi
x	x	1	Hi-Z

Bảng 41. Bảng hoạt động của 74373

1.5.1.7- Bộ đệm 74244

- 74244 gồm hai bộ đệm 4 bit với ngõ xuất 3 trạng thái, được mở bởi các chân \overline{OE} .
- Sơ đồ khối của 74244



Hình 82. Sơ đồ khối của 74244

- Bảng hoạt động của 74244

NGÕ NHẬP								NGÕ XUẤT					
1A ₂	1A ₃	1A ₄	$\overline{2OE}$	2A ₁	2A ₂	2A ₃	2A ₄	1Y ₁	1Y ₂	1Y ₃	1Y ₄	2Y ₁	
1A ₂	1A ₃	1A ₄	1	2A ₁	2A ₂	2A ₃	2A ₄	Hi-Z					
1A ₂	1A ₃	1A ₄	0	2A ₁	2A ₂	2A ₃	2A ₄	Hi-Z				2A ₁	
1A ₂	1A ₃	1A ₄	1	2A ₁	2A ₂	2A ₃	2A ₄	1A ₁	1A ₂	1A ₃	1A ₄		
1A ₂	1A ₃	1A ₄	0	2A ₁	2A ₂	2A ₃	2A ₄	1A ₁	1A ₂	1A ₃	1A ₄	2A ₁	

1.5.1.8- Một số thuật ngữ dùng trong hệ nhớ

- Ô nhớ (memory cell): là linh kiện hay mạch điện có khả năng lưu trữ một bit. Như FF, tụ điện...
- Từ nhớ (memory word): là một nhóm bit để biểu diễn thông tin thường là từ 4 bit đến 4 bit, trong đó hay dùng nhất là 4 bit, 8 bit, 12 bit, 16 bit, 32 bit hay 64 bit.
- Byte: là từ nhớ 8 bit.
- Dung lượng (capacity): là tổng số bit của một hệ nhớ hay một thiết bị nhớ có khả năng lưu trữ. Thường dung lượng được biểu diễn dưới dạng tổng số từ nhớ nhân với kích thước từ nhớ. Ví dụ như khi nói dung lượng bộ nhớ là 8KByte thì dung lượng của bộ nhớ đó là $8 \times 2^{10} \times 8 \text{ bit} = 8 \times 1024 \times 8 \text{ bit} = 65536 \text{ bit}$, hay khi nói dung lượng bộ nhớ là 16MBit thì dung lượng của bộ nhớ đó là $16 \times 2^{20} \times 1 \text{ bit} = 16 \times 1048576 \times 1 \text{ bit} = 16777216 \text{ bit}$, hay khi nói dung lượng

bộ nhớ là 32K x 4Bit thì dung lượng của bộ nhớ đó là $32 \times 2^{10} \times 4 \text{ bit} = 32 \times 1024 \times 4 \text{ bit} = 131072 \text{ bit}$.

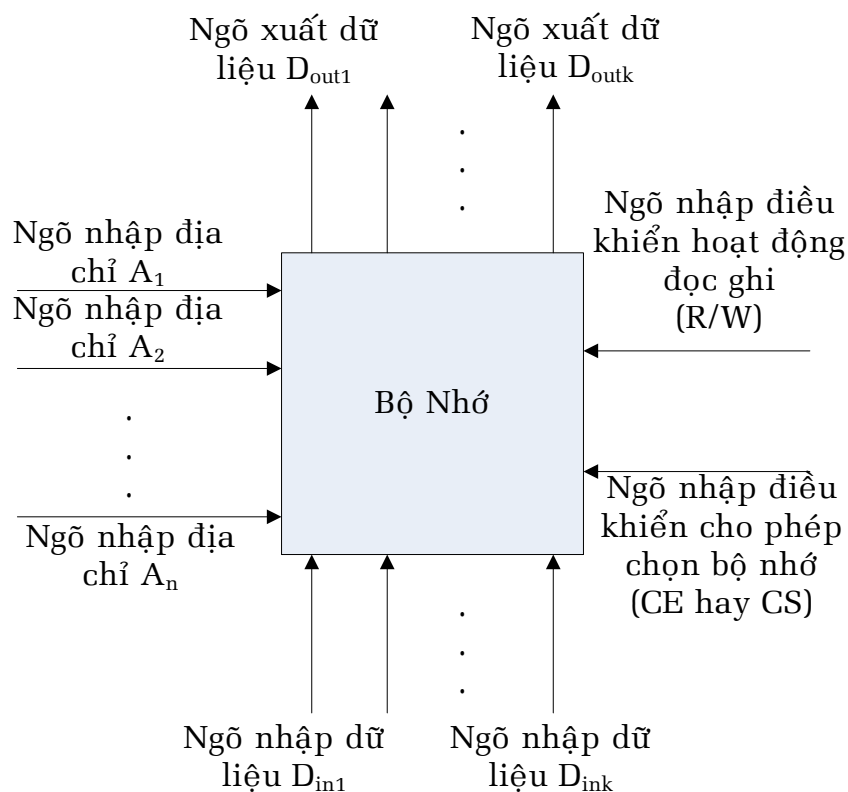
- Địa chỉ (address): mã số nhị phân xác định vị trí của từ nhớ trong bộ nhớ. Các từ nhớ khác nhau bắt buộc có địa chỉ khác nhau.
- Hoạt động đọc (read operation): tìm địa chỉ của một từ nhớ trong bộ nhớ, lấy nội dung của từ nhớ đó chuyển về CPU. Hoạt động này còn được gọi là tìm đọc (Fetch).
- Hoạt động ghi (write operation): tìm địa chỉ của một từ nhớ trong bộ nhớ, chép nội dung mới từ CPU vào từ nhớ đó. Hoạt động này còn được gọi là lưu trữ (Store)
- Thời gian truy xuất t_{acc} (access time): là thời gian cần thiết cho hoạt động đọc.
- Bộ nhớ bay hơi (volatile memory): là loại bộ nhớ sẽ mất dữ liệu khi không còn nguồn cung cấp.
- Bộ nhớ truy xuất ngẫu nhiên-RAM (Random-Access Memory): là loại bộ nhớ mà thời gian truy xuất không phụ thuộc vào địa chỉ của từ nhớ.
- Bộ nhớ truy xuất tuần tự-SAM (Sequential-Access Memory): là loại bộ nhớ mà thời gian truy xuất phụ thuộc vào địa chỉ của từ nhớ.
- Bộ nhớ chỉ đọc-ROM (Read-Only Memory): là loại bộ nhớ chỉ cho phép hoạt động đọc trong khi hệ thống đang hoạt động. Và đặc tính của ROM là không mất dữ liệu khi không còn nguồn cung cấp.
- Bộ nhớ đọc ghi-RWM (Read-Write Memory): là loại bộ nhớ cho phép hoạt động đọc và ghi trong khi hệ thống đang hoạt động
- Thiết bị nhớ tĩnh (Static Memory Device): là loại thiết bị nhớ thuộc loại bộ nhớ bay hơi, với đặc điểm là dữ liệu vẫn tồn tại khi còn nguồn cung cấp.
- Thiết bị nhớ động (Dynamic Memory Device): là loại thiết bị nhớ thuộc loại bộ nhớ bay hơi, với đặc điểm là trong khi vẫn còn nguồn cung cấp, vẫn phải định kỳ ghi lại dữ liệu,

nếu không dữ liệu sẽ bị mất. Hoạt động định kỳ ghi lại dữ liệu trong loại thiết bị nhớ động này được gọi là làm tươi (refresh) dữ liệu

- Bộ nhớ chính (Main Memory): hay còn gọi là bộ nhớ trong hoặc bộ nhớ làm việc, là nơi lưu trữ dữ liệu và chương trình trong mô hình Von Neuman, thường là RAM hay ROM.
- Bộ nhớ phụ (Mass Memory): hay còn gọi là bộ nhớ ngoài, là nơi lưu trữ các thông tin lâu dài. Và thông tin ghi trên bộ nhớ phụ vẫn tồn tại mặc dù không còn nguồn cung cấp.

1.5.1.9- Hoạt động của bộ nhớ:

- Sơ đồ khối:



Hình 83. Sơ đồ khối một bộ nhớ

- Chức năng:
Bộ nhớ với N ngõ nhập địa chỉ ($A_1 \rightarrow A_n$) sẽ có 2^N từ nhớ, được đánh địa chỉ từ 00...0B \rightarrow 11...1B.
Bộ nhớ với K ngõ nhập dữ liệu ($D_{in1} \rightarrow D_{ink}$) và K ngõ xuất dữ liệu ($D_{out1} \rightarrow D_{out2}$) sẽ tương ứng với kích thước từ nhớ là K bit, các đường dữ liệu có thể dùng chung thành hai chiều nhập/xuất.

Ngõ nhập điều khiển hoạt động đọc/ghi (R/\overline{W}) thường hoạt động theo mức logic. mức logic 1 tương ứng với hoạt động đọc (R), mức logic 0 tương ứng với hoạt động ghi (\overline{W}).

Ngõ nhập điều khiển cho phép chọn bộ nhớ (\overline{CE} hay \overline{CS}) thường tích cực mức thấp, khi ngõ nhập này không tích cực, thì các ngõ xuất của bộ nhớ sẽ ở trạng thái cách ly hay trở kháng cao (Hi-Z)

➤ Nguyên tắc hoạt động:

1-Chọn đúng địa chỉ từ nhớ trong bộ nhớ để đọc hay để ghi.

2-Chọn hoạt động đọc ($R/\overline{W}=1$) hay chọn hoạt động ghi ($R/\overline{W}=0$).

3a-Nếu là hoạt động đọc thì đem dữ liệu của từ nhớ cần đọc xuất ra trong suốt thời gian đọc (hold).

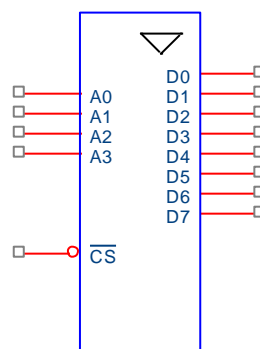
3b-Nếu là hoạt động ghi thì cung cấp dữ liệu cần ghi vào từ nhớ trong suốt thời gian ghi.

4-Cho phép bộ nhớ đáp ứng hoạt động đọc ghi vào từ nhớ đã chọn.

1.6- ROM

- ROM là loại bộ nhớ không mất thông tin khi không được cấp nguồn, và thông tin, dữ liệu của nó không thay đổi trong suốt thời gian hoạt động của hệ thống. Nó là loại bộ nhớ chỉ đọc nên không có chân R/\overline{W} . Sau đây ta khảo sát một vài ROM với dung lượng là 16 byte và 2 KByte

1.6.1- Sơ đồ khối ROM 16 Byte

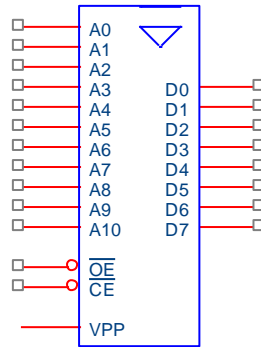


Hình 84. Sơ đồ khối của ROM 16 Byte

ROM 16 Byte thì chỉ có 4 chân địa chỉ nên nó chỉ có $2^4 = 16$ từ nhớ, và địa chỉ của các từ nhớ sẽ đi từ 0000B \rightarrow 1111B trong hệ nhị phân, (hay là từ 0H \rightarrow FH trong hệ thập lục phân, hay là từ 0D \rightarrow 15D trong hệ thập phân). Chân \overline{CS}

(Chip Select) là chân điều khiển chọn bộ nhớ, tích cực ở mức thấp. Còn các chân D₀→D₇ cho biết kích thước từ nhớ của ROM này là 8 bit hay 1 Byte.

1.6.2- Sơ đồ khối một EPROM 2 KByte



Hình 85. Sơ đồ khối 2716

Nhìn vào sơ đồ khối, ta thấy ROM 2716 có 11 chân địa chỉ từ A₀ → A₁₀ ⇒ ROM 2716 có $2^{11} = 2048$ từ nhớ, và địa chỉ của các từ nhớ sẽ đi từ 00000000000B → 11111111111B trong hệ nhị phân, (hay là từ 000H → 7FFH trong hệ thập lục phân, hay là từ 0D → 2047D trong hệ thập phân). Chân \overline{CE} (Chip Enable) là chân điều khiển chọn bộ nhớ, tích cực ở mức thấp. Chân \overline{OE} là chân điều khiển cho phép xuất dữ liệu bên trong bộ nhớ ra các chân D₀→D₇. Chân V_{PP} là chân cho phép lập trình ghi dữ liệu vào ROM lúc ban đầu. Còn các chân D₀→D₇ cho biết kích thước từ nhớ của ROM 2716 là 8 bit hay 1 Byte.

- Nội dung của ROM 16 Byte, với dữ liệu được ghi sẵn ứng với các địa chỉ ở bảng sau

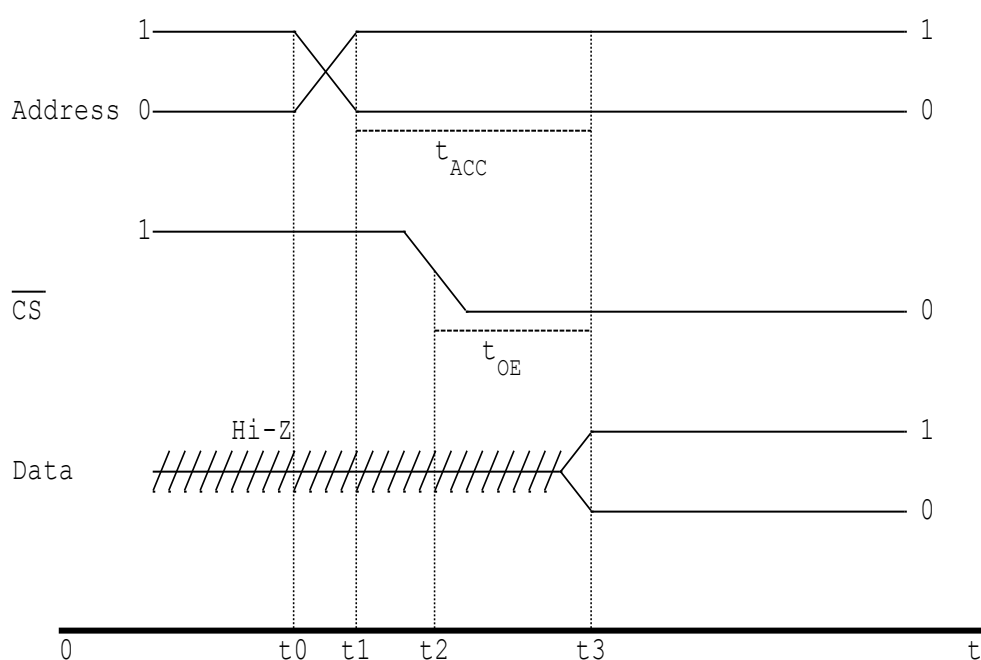
Địa chỉ dạng thập lục phân	Địa chỉ dạng thập phân	Địa chỉ dạng nhị phân				Dữ liệu dạng nhị phân								Dữ liệu dạng thập lục phân	Dữ liệu dạng thập phân
0	0	0 0 0 0				0	1	0	0	0	0	0	1	41H	65D
1	1	0 0 0 1				0	1	1	0	0	0	0	1	61H	97D
2	2	0	0	1	0	0	0	1	1	0	0	0	0	30H	48D
3	3	0	0	1	1	0	0	1	1	1	0	0	1	39H	57D
4	4	0	1	0	0	0	1	0	0	0	1	0	1	45H	69D
5	5	0	1	0	1	0	1	1	0	0	1	0	1	65H	101D

6	6	0	1	1	0	0	0	1	1	0	0	1	1	33H	51D
7	7	0	1	1	1	0	0	1	1	0	1	1	1	37H	55D
8	8	1	0	0	0	0	1	0	0	1	0	0	1	49H	73D
9	9	1	0	0	1	0	1	1	0	1	0	0	1	69H	105D
A	10	1	0	1	0	0	0	1	1	0	1	1	0	36H	54D
B	11	1	0	1	1	0	1	1	0	0	0	1	1	63H	99D
C	12	1	1	0	0	0	1	0	0	0	0	1	0	42H	66D
D	13	1	1	0	1	0	1	0	0	0	0	1	1	43H	67D
E	14	1	1	1	0	0	1	0	0	0	0	1	0	42H	66D
F	15	1	1	1	1	0	0	1	1	1	0	0	0	38H	56D

Bảng 42. Bảng nội dung của một ROM 16 Byte

1.6.3- Giải đồ định thời của ROM (Timing)

➤ Hoạt động đọc



Hình 86. Giải đồ định thời cho hoạt động đọc của ROM

Để đọc dữ liệu của một từ nhớ trong ROM ra các chân $D_0 \rightarrow D_7$, phải tuân theo trình tự thời gian như giải đồ định thời cho ROM ở hình trên. Để dễ hiểu, ta minh họa trong trường hợp ROM 16 Byte theo bảng trên.

Thời gian để địa chỉ mới ổn định: ví dụ ở trước thời điểm t_0 , địa chỉ nhị phân đặt lên các chân $A_0 \rightarrow A_3$ là 1010B, và chân \overline{CS} đang ở mức cao, nên các chân dữ liệu $D_0 \rightarrow D_7$ sẽ ở trạng thái cách ly. Bây giờ ta muốn đọc dữ liệu của từ nhớ có địa chỉ nhị phân là 0111B vào thời điểm t_0 , ta sẽ đặt địa chỉ mới là 0111B lên các chân $A_0 \rightarrow A_3$, phải đến thời điểm t_1 thì địa chỉ 0111B mới ổn định trên các chân $A_0 \rightarrow A_3$. Trên giản đồ định thời, việc chuyển đổi địa chỉ được biểu diễn bằng hai đường chéo nhau.

Thời gian để chân Chip Select tích cực: Sau thời điểm t_1 , mạch giải mã địa chỉ bên trong ROM sẽ chọn từ nhớ có địa chỉ 0111B để xuất số 37H ra bộ đệm. Đến thời điểm t_2 , chân \overline{CS} sẽ tích cực để cho phép xuất số 37H từ bộ đệm ra các chân dữ liệu $D_0 \rightarrow D_7$.

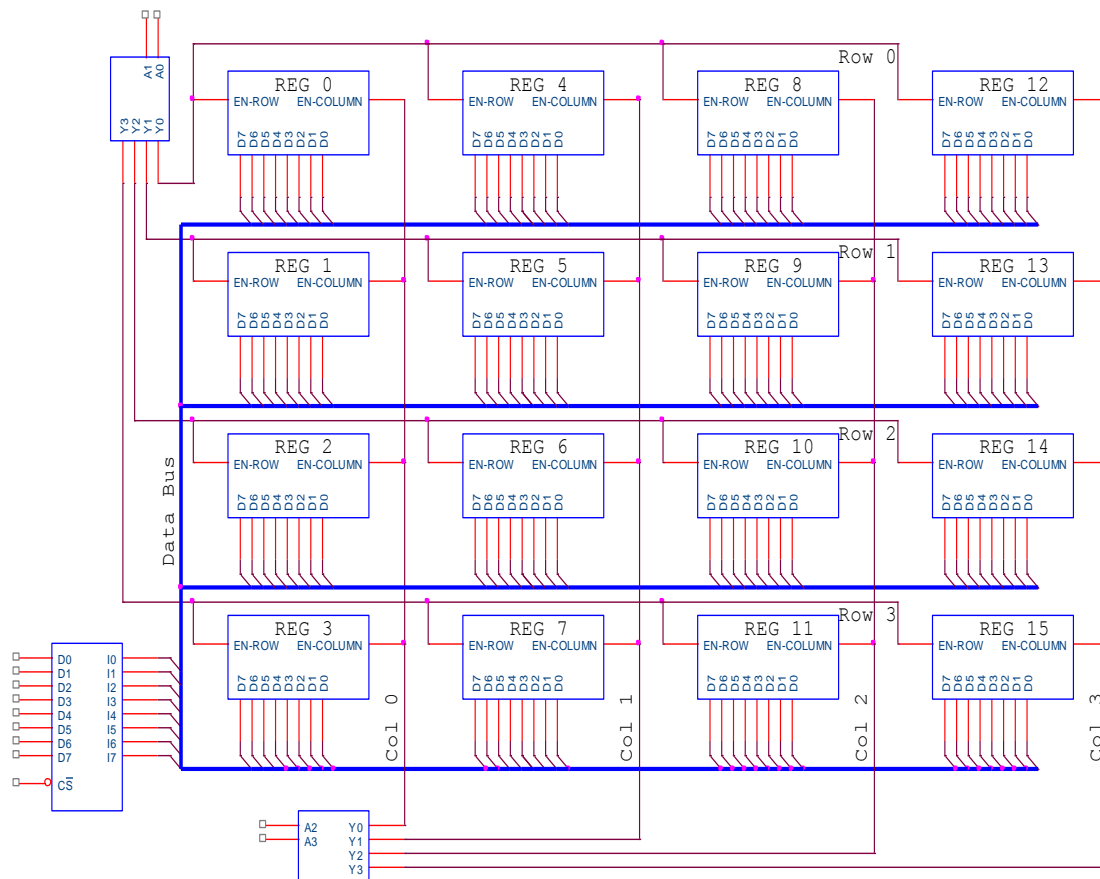
Thời gian để dữ liệu mới ổn định: từ thời điểm t_2 đến thời điểm t_3 , số 37H được đưa từ bộ đệm ra các chân dữ liệu mới ổn định và các chân này mới chuyển từ trạng thái cách ly sang số 37H

Thời gian truy xuất: $t_{ACC} = t_3 - t_1$ là khoảng thời gian trễ từ khi địa chỉ mới 0111B ổn định trên các chân địa chỉ cho đến khi dữ liệu 37H ổn định trên các chân dữ liệu được gọi là thời gian truy xuất.

Thời gian cho phép xuất: $t_{OE} = t_3 - t_2$ là khoảng thời gian trễ từ khi chân \overline{CS} tích cực cho đến khi dữ liệu 37H ổn định trên các chân dữ liệu được gọi là thời gian cho phép xuất.

- Ngắn gọn hơn, ta có thể mô tả hoạt động đọc ROM 16 Byte trong trường hợp cụ thể trên như sau:
 - *thời điểm t_0 : đưa số 0111B vào các chân địa chỉ $A_3A_2A_1A_0$
 - *thời điểm t_2 : chân \overline{CS} xuống mức 0
 - *thời điểm t_3 : các chân dữ liệu $D_7D_6D_5D_4D_3D_2D_1D_0$ sẽ có giá trị là 00110111B hay là 37H.
 - *thời gian truy xuất $t_{ACC} = t_3 - t_1$

1.6.4- Kiến trúc của ROM 16 Byte

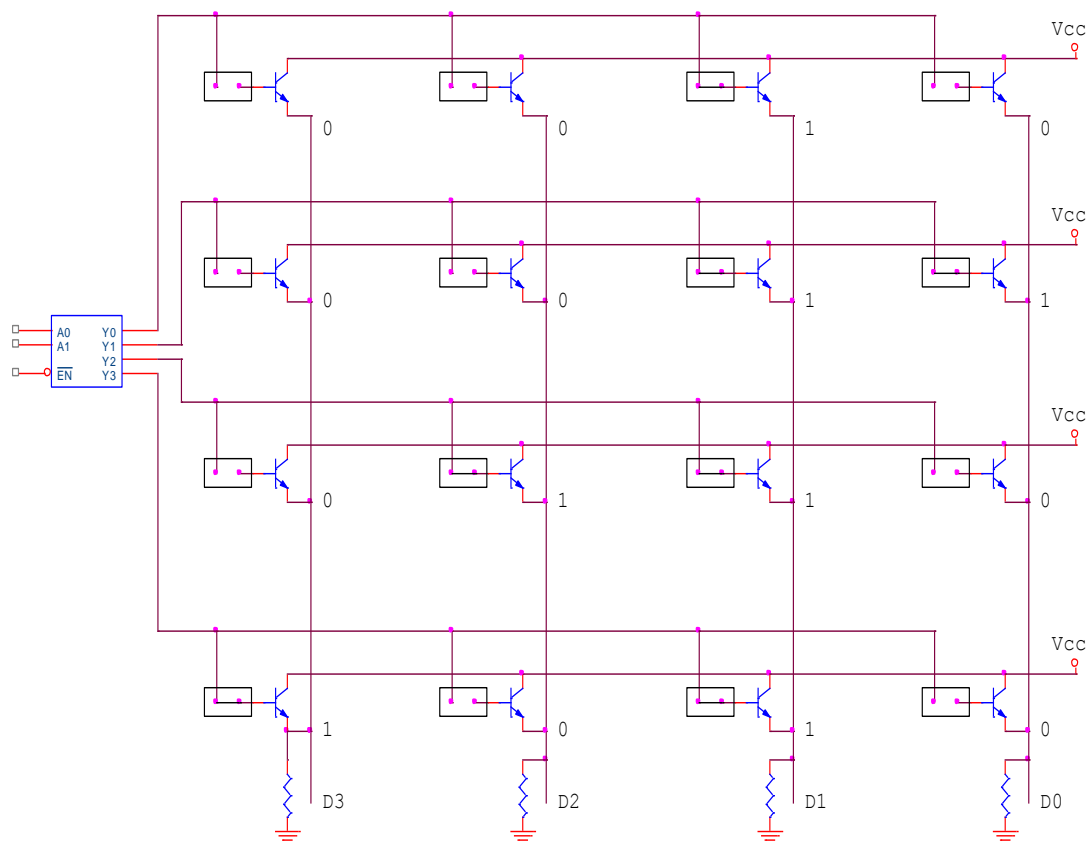


Hình 87. ROM 16 Byte

1.6.5- Các loại ROM

1.6.5.1- ROM được lập trình bằng mặt nạ (MROM)

- Để ghi chương trình lên MROM, các nhà sản xuất dùng phim âm bản, còn gọi là mặt nạ (mask) để ngắt hay mở các mối nối. MROM này được sản xuất hàng loạt và không thể thay đổi nội dung. Nó thường được dùng trong các thiết bị chuyên dụng như máy giặt, máy điều hòa không khí, TV...
- Cấu trúc một MROM: $y = x^3 + 2$ với $x = A_1A_0$ và $y = D_3D_2D_1D_0$



Hình 88. Cấu trúc một MROM

➤ Nội dung của MROM trên

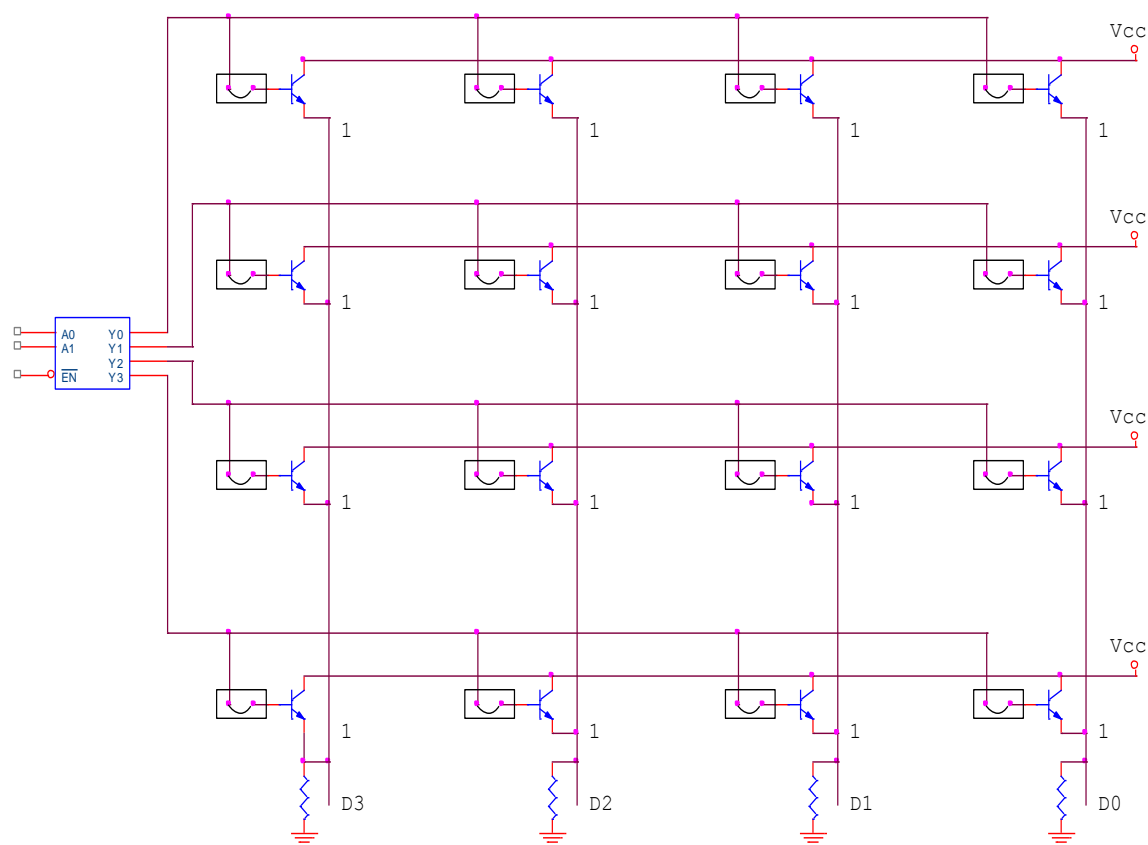
Từ nhớ	Địa chỉ nhị phân		Dữ liệu			
	A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	1	0
1	0	1	0	0	1	1
2	1	0	0	1	1	0
3	1	1	1	0	1	0

Bảng 43. Nội dung của MROM

1.6.5.2- ROM cho phép lập trình một lần (PROM)

PROM giống như MROM, nhưng tất cả mối nối đều được làm bằng cầu chì. Với PROM trắng thì toàn bộ dữ liệu đều là 1, khi lập trình những bit nào bằng 1 thì giữ nguyên mối nối, bit nào bằng 0 thì đốt cháy các mối nối chì đó bằng thiết bị chuyên dụng gọi là mạch ghi ROM, sau khi lập trình xong thì PROM cũng không thể thay đổi nội dung. Muốn thay đổi chương trình, thì phải dùng PROM trắng mới.

➤ Cấu trúc một PROM trắng



Hình 89. Cấu trúc một PROM trắng

➤ Nội dung của PROM trắng

Từ nhớ	Địa chỉ nhị phân		Dữ liệu			
	A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	1	1	1	1
1	0	1	1	1	1	1
2	1	0	1	1	1	1
3	1	1	1	1	1	1

Bảng 44. Nội dung của PROM trắng

1.6.5.3- ROM cho phép lập trình và xoá được (EPROM)
 EPROM là loại ROM cho phép lập trình bằng thiết bị chuyên dụng (mạch ghi ROM), nhưng các mối nối không dùng cầu chì như PROM mà dùng các transistor MOS có cổng thả nổi (floating gate), khi lập trình, điện áp V_{PP} đẩy các điện tử vào cổng thả nổi và kẹt luôn ở đó, làm cổng này dẫn điện. Muốn xoá, ta phải dùng tia UV chiếu vào EPROM khoảng 15-30 phút để giải phóng các điện tử đang kẹt tại các mối nối.

1.6.5.4- ROM cho phép lập trình và xoá được bằng điện (EEPROM)

EPROM có nhược điểm là muốn ghi lại thông tin thì phải gỡ EPROM ra khỏi mạch để xóa trắng toàn bộ, rồi mới lập trình lại từ đầu. EEPROM cải tiến bằng cách thêm lớp oxide vào cực thoát (Drain). Khi lập trình, điện áp V_{PP} giữa cổng thả nổi và cực thoát sẽ đẩy các điện tử vào cổng thả nổi và kẹt luôn ở đó, làm cổng này dẫn điện. Khi xóa thì đảo chiều điện áp để giải phóng điện tử ra khỏi cổng thả nổi.

1.6.5.5- Ứng dụng của ROM

*Lưu trữ chương trình khởi động máy tính (ROM BIOS)

*Lưu trữ chương trình trong các ứng dụng dùng các IC vi điều khiển

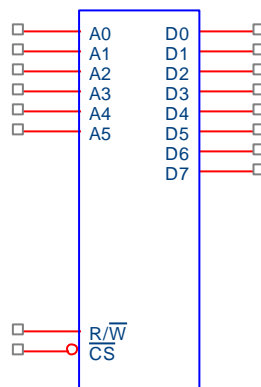
*Bảng dữ liệu như tạo mã ký tự, chuyển đổi mã

*Dùng làm mạch tổ hợp

1.7- RAM

- RAM là loại bộ nhớ RWM và thường được dùng cho các bộ nhớ bán dẫn, nó là bộ nhớ bay hơi và là nơi lưu tạm thời dữ liệu. Ưu điểm là đọc ghi nhanh và dễ dàng.
- RAM gồm hai loại là RAM tĩnh (SRAM) và RAM động (DRAM), trong tài liệu này chỉ đề cập đến RAM tĩnh.

1.7.1- Sơ đồ khối của một SRAM



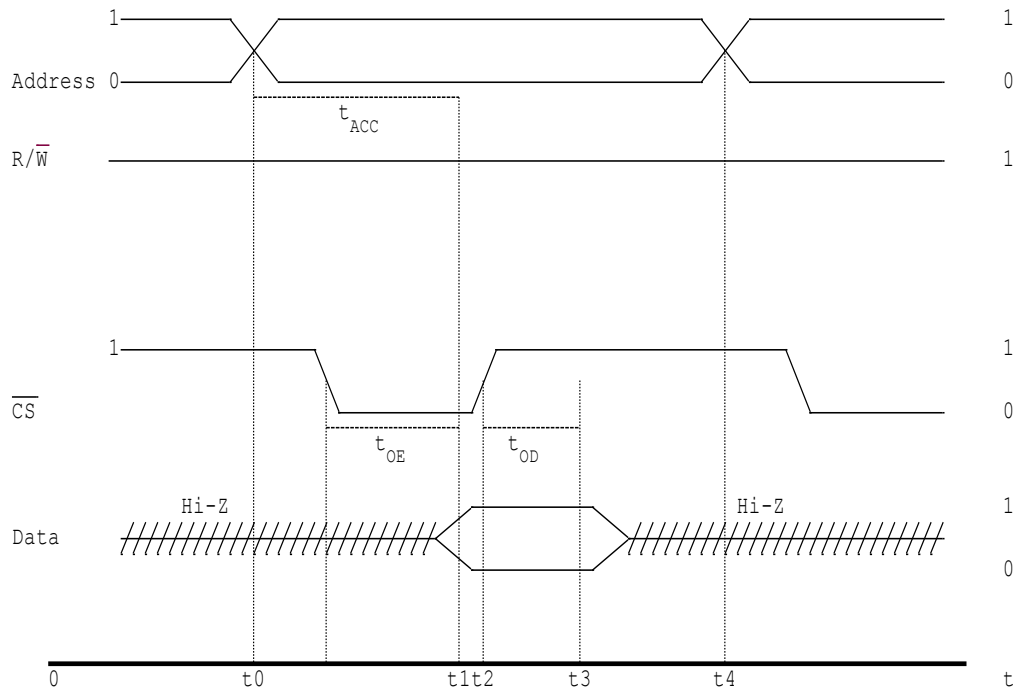
Hình 90. Sơ đồ khối của một SRAM 64 Byte

Nhìn vào sơ đồ khối, ta thấy SRAM có ít nhất là hai chân điều khiển là chân \overline{CS} giống như ROM và chân R/\overline{W} điều khiển đọc ($R/\overline{W}=1$), ghi ($R/\overline{W}=0$). SRAM này có 6 chân địa chỉ từ $A_0 \rightarrow A_5 \Rightarrow$ có $2^6 = 64$ từ nhớ, địa chỉ các từ nhớ bắt đầu từ $000000B \rightarrow 111111B$ trong hệ nhị phân (hay là từ $00H$

→ 7FH trong hệ thập lục phân), và có 8 chân dữ liệu $D_0 \rightarrow D_7$
 ⇨ kích thước từ nhớ là 1 byte.

1.7.2- Giản đồ định thời của SRAM (Timing)

➤ Hoạt động đọc

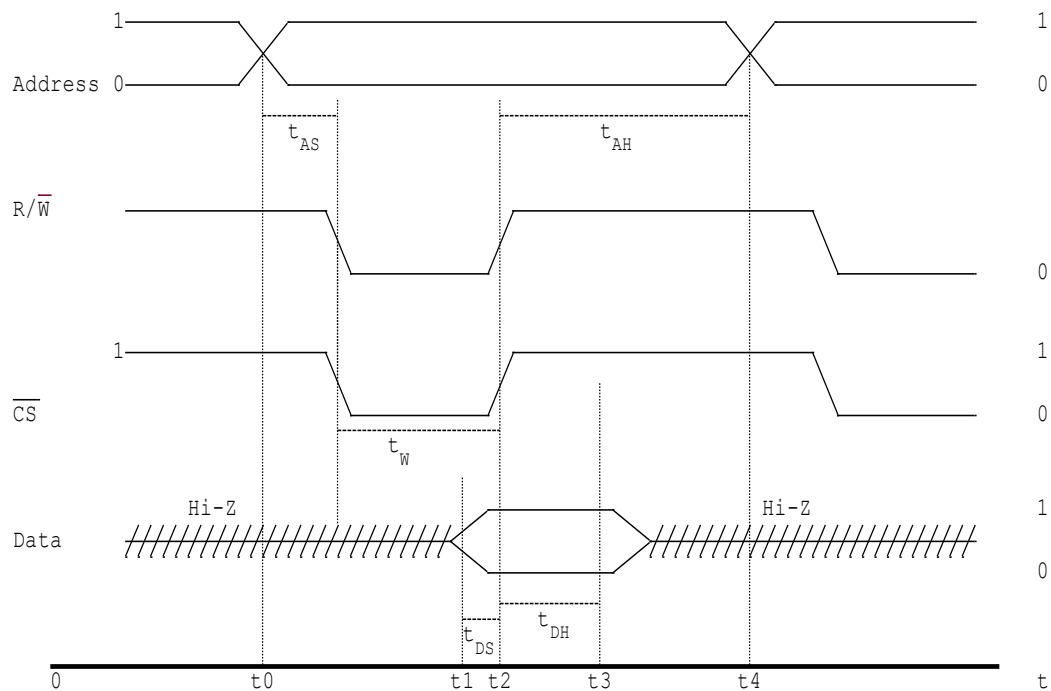


Hình 91. Giản đồ định thời cho hoạt động đọc của SRAM

Chu kỳ đọc bắt đầu từ thời điểm t_0 , sau một khoảng thời gian để địa chỉ ổn định, chân \overline{CS} sẽ tích cực, đến thời điểm t_1 , thì RAM mới xuất dữ liệu của từ nhớ có địa chỉ đã cho ra bus dữ liệu khoảng thời gian từ t_0 đến t_1 được gọi là thời gian truy xuất t_{ACC} , đến thời điểm t_2 tín hiệu của chân \overline{CS} lên mức cao, và sau khoảng thời gian t_{OD} , thì các chân dữ liệu của RAM lại ở trạng thái cách ly. Trong thực tế, thì các CPU sẽ lấy dữ liệu vào thời điểm cạnh xuống của chân \overline{CS} , và một chu kỳ đọc hoàn chỉnh sẽ kéo dài đến thời điểm t_4 , trong suốt thời gian đọc thì chân $R/\overline{W} = 1$. Sau đó CPU sẽ đổi địa chỉ cho chu kỳ kế tiếp, khoảng thời gian từ t_0 đến t_4 được gọi là chu kỳ truy xuất t_{RC} (thời gian cho một chu kỳ đọc). Và ta cũng có khái niệm băng thông có nghĩa là lượng thông tin truy xuất được trong một đơn vị thời gian

Băng thông = Kích thước từ nhớ : t_{RC} . ví dụ như nó loại RAM này có băng thông là 2100 hay RAM có tốc độ là 266MHz có nghĩa là băng thông bằng 8: 1: $266000000 = 2128000000 \cong 2100M$

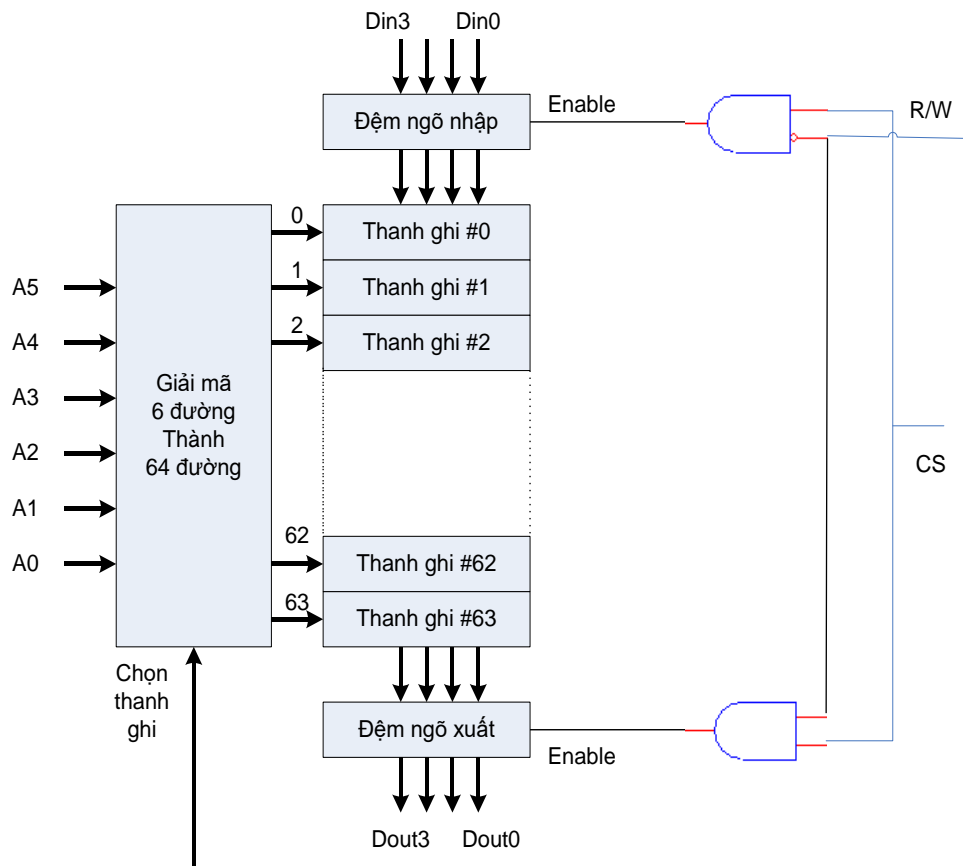
➤ Hoạt động ghi



Hình 92. Giản đồ định thời cho hoạt động ghi của SRAM

Chu kỳ ghi bắt đầu từ thời điểm t_0 , sau một khoảng thời gian để địa chỉ ổn định, chân \overline{CS} và chân R/\overline{W} sẽ tích cực, đến thời điểm t_1 , thì CPU mới cung cấp dữ liệu vào RAM để ghi vào từ nhớ có địa chỉ đã cho, đến thời điểm t_2 tín hiệu của chân \overline{CS} và chân R/\overline{W} lên mức cao, đến thời điểm t_3 thì các chân dữ liệu của RAM lại ở trạng thái cách ly. Khoảng thời gian $t_{DS}=t_2-t_1$ được gọi là thời gian thiết lập dữ liệu, còn khoảng thời gian $t_{DH}=t_3-t_2$ được gọi là thời gian duy trì dữ liệu. Và một chu kỳ ghi hoàn chỉnh sẽ kéo dài đến thời điểm t_4 . Sau đó CPU sẽ đổi địa chỉ cho chu kỳ kế tiếp, khoảng thời gian từ t_0 đến t_4 được gọi là chu kỳ lưu trữ dữ liệu t_{wc} (thời gian cho một chu kỳ ghi)

➤ Cấu trúc của SRAM



Hình 93. Sơ đồ cấu trúc bên trong một SRAM 64x4 bit

