

Chương 1. Thiết Kế, Phân Tích Hệ Tổ Hợp

❖ Đề Cương:

- Phân loại vi mạch
- Thiết kế mạch tổ hợp bằng các vi mạch SSI
- Phân tích mạch tổ hợp được thiết kế bằng các vi mạch SSI
- Thiết kế mạch tổ hợp bằng các vi mạch MSI
- Phân tích mạch tổ hợp được thiết kế bằng các vi mạch MSI

❖ Mục Đích:

Sau khi hoàn thành chương này, bạn phải nắm được kiến thức:

- Các đặc tính kỹ thuật của vi mạch loại TTL và CMOS
- Phân tích và thiết kế mạch tổ hợp bằng các vi mạch SSI
- Phân tích và thiết kế mạch tổ hợp bằng các vi mạch MSI

❖ Các Thuật Ngữ Tiếng Anh:

- | | |
|---|--|
| • Integrated Circuits (IC): | vi mạch |
| • Small-scale integration (SSI): | tích hợp cỡ nhỏ |
| • Medium-scale integration (MSI): | tích hợp cỡ vừa |
| • Large-scale integration (LSI): | tích hợp cỡ lớn |
| • Very large-scale integration (VLSI): | tích hợp cỡ cực lớn |
| • Ultra large-scale integration (ULSI): | tích hợp cỡ siêu cực lớn |
| • Giga-scale integration: | tích hợp cỡ giga |
| • Bipolar: | lưỡng cực |
| • Unipolar: | đơn cực |
| • Logic level: | tầm điện thế cho mức logic |
| • Propagation delay: | khoảng thời gian trễ để ngõ
xuất thay đổi khi ngõ nhập thay đổi |
| • Power: | công suất |
| • Noise immunity: | độ ổn định nhiễu |
| • Fan in, fan out: | hệ số chia tải |

1.1- Định Nghĩa Hệ Tổ Hợp

Mạch tổ hợp là mạch logic mà ngõ xuất chỉ phụ thuộc duy nhất vào các ngõ nhập.

1.2- Phân Loại Vi Mạch

Vi mạch là mạch điện tử phức tạp bao gồm điện trở (linh kiện thụ động), diod, transistor (linh kiện chủ động) được tích hợp trên một gốm thành một linh kiện, thường được gọi là **IC** hay **chip**.

Các vi mạch thường được đóng gói dưới hai dạng: dạng DIP (dual-in-line package) gồm hai hàng chân song song, và dạng hộp (flat pack).

Mỗi vi mạch được chế tạo bằng một công nghệ thích hợp và có chức năng riêng biệt.

Các vi mạch thường được phân loại theo một số tiêu chuẩn sau:

- Phân loại theo bản chất ngõ nhập và ngõ xuất.
- Phân loại theo mức độ tích hợp.
- Phân loại theo công nghệ chế tạo.
- Phân loại theo cách thiết kế ngõ xuất.

1.2.1- Phân loại theo bản chất ngõ nhập và ngõ xuất.

1.2.2- Phân loại theo mật độ tích hợp

Mật độ tích hợp là số transistor hay số cổng logic được chứa trên một đơn vị diện tích của tinh thể bán dẫn của vi mạch. Mức tích hợp là số số transistor hay số cổng logic được chứa trên tinh thể bán dẫn của vi mạch.

Mức tích hợp	Số cổng
Mức tích hợp cỡ nhỏ (SSI)	≤ 12
Mức tích hợp cỡ vừa (MSI)	≤ 99
Mức tích hợp cỡ lớn (LSI)	≤ 9999
Mức tích hợp cỡ cực lớn (VLSI)	≤ 99999
Mức tích hợp cỡ siêu cực lớn (ULSI)	≤ 999999
Mức tích hợp cỡ giga (GSI)	Từ 1000000 trở lên

Bảng 1. Phân loại vi mạch theo mức tích hợp

Loại vi mạch SSI thường thì chỉ chứa một loại cổng, còn các loại vi mạch cỡ từ MSI trở lên sẽ chứa nhiều loại cổng khác nhau.

Việc phân loại theo mức độ tích hợp có ý nghĩa về mặt thiết kế mạch. Tùy thuộc vào việc sử dụng vi mạch cỡ nào (SSI, MSI,...) thì phương pháp thiết kế phải thay đổi theo.

1.2.3- Phân loại theo công nghệ chế tạo

Về mặt lý thuyết, khi thiết kế một mạch logic, chúng ta chỉ tập trung đến việc rút gọn số cổng đến mức tối thiểu. Còn những vấn đề kỹ thuật khác thì không được quan tâm. Nhưng khi thi công mạch, chúng ta phải quan tâm đến một loạt thông số quan trọng như tầm điện thế của mức logic (logic level), thời gian trễ giữa ngõ xuất và ngõ nhập (propagation delay), công suất (power), độ ổn định nhiễu (noise immunity), khả năng mắc tải cho ngõ nhập và ngõ xuất (fan in, fan out), nhiệt độ làm việc ...

Việc phân loại theo công nghệ chế tạo có ý nghĩa về mặt thi công, tùy thuộc vào các yêu cầu về kỹ thuật ta sẽ chọn loại vi mạch thích hợp. Và cách kết hợp giữa các loại vi mạch khác loại khi phải dùng chung.

Hai loại công nghệ được dùng nhiều trong các vi mạch số là công nghệ **lưỡng cực** (bipolar) như ECL (emitter coupler logic – logic ghép cực phát), IIL (integrated injection logic – logic tích hợp phun) và TTL (transistor-transistor logic) mà chủ yếu là họ TTL, và công nghệ **đơn cực** (unipolar) như PMOS, NMOS và CMOS mà chủ yếu là họ CMOS

1.2.3.1- Tầm điện thế và dòng của mức logic

Với mỗi họ IC có một tầm điện thế cho mức logic 1 và mức logic 0, và quan trọng là giá trị lớn nhất và nhỏ nhất cho mức logic.

Về mặt kỹ thuật, ta phải đo điện thế của mức logic bằng Volt kế hay dao động ký để xem nó có bảo đảm là trong tầm điện thế của mức logic hay không.

$V_{IH}(\min)$: giá trị điện thế nhỏ nhất của ngõ nhập để bảo đảm mức logic của ngõ nhập là mức logic 1.

$V_{IL}(\max)$: giá trị điện thế lớn nhất của ngõ nhập để bảo đảm mức logic của ngõ nhập là mức logic 0.

$V_{OH}(\min)$: giá trị điện thế nhỏ nhất của ngõ xuất để bảo đảm mức logic của ngõ xuất là mức logic 1.

$V_{OL}(\max)$: giá trị điện thế lớn nhất của ngõ xuất để bảo đảm mức logic của ngõ xuất là mức logic 0.

$I_{IH}(\min)$: giá trị dòng nhỏ nhất của ngõ nhập khi mức logic của ngõ nhập là mức logic 1.

$I_{IL}(\max)$: giá trị dòng lớn nhất của ngõ nhập khi mức logic của ngõ nhập là mức logic 0.

$I_{OH}(\min)$: giá trị dòng nhỏ nhất của ngõ xuất khi mức logic của ngõ xuất là mức logic 1.

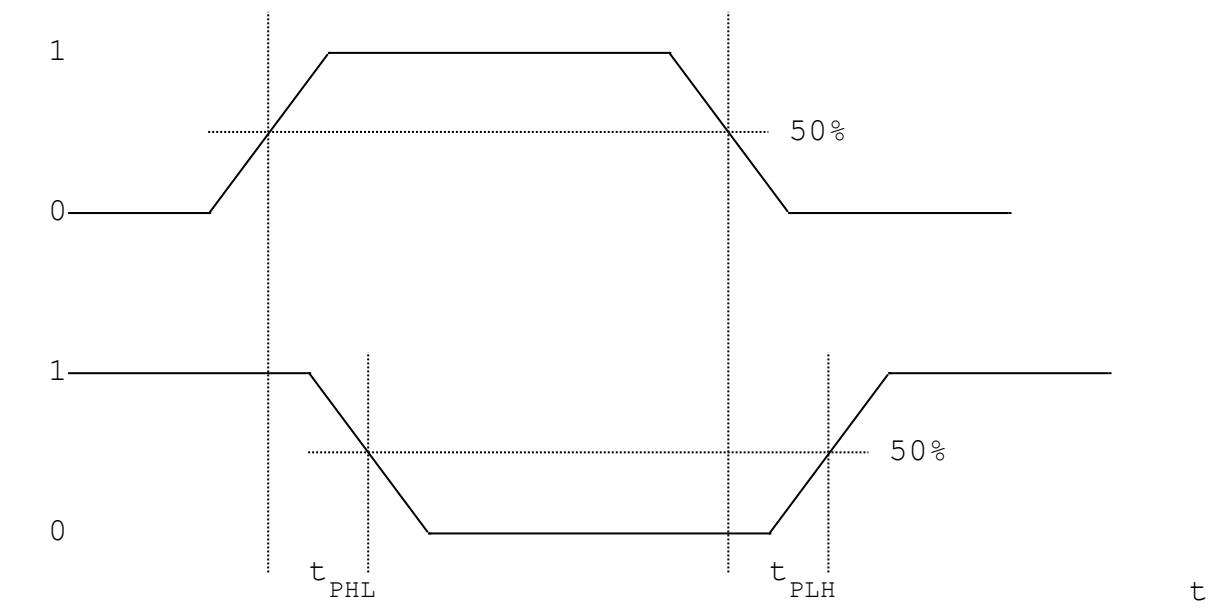
$I_{OL}(\max)$: giá trị dòng lớn nhất của ngõ xuất khi mức logic của ngõ xuất là mức logic 0.

1.2.3.2- Thời gian trễ giữa ngõ xuất và ngõ nhập

Thời gian trễ là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Thời gian trễ càng nhỏ thì mạch làm việc càng cao. Hay nói cách khác thời gian trễ ứng với tần số lớn nhất mà mạch vẫn hoạt động đúng theo thiết kế.

Thời gian trễ các vi mạch số hiện nay cỡ dưới nano giây đến vài trăm nano giây tùy theo công nghệ chế tạo.

Hình dưới minh họa cho thời gian trễ.



Hình 1. Tín hiệu ngõ xuất trễ so với tín hiệu ngõ nhập

Thời gian trễ thường được tính là 50% biên độ cạnh trước và cạnh sau tương ứng của ngõ xuất và ngõ nhập.

Thời gian trễ có hai loại: t_{PHL} là ngõ xuất thay đổi từ mức cao xuống mức thấp. t_{PLH} là ngõ xuất thay đổi từ mức thấp đến mức cao. Và thời gian trễ của hai loại này là khác nhau. Khi mắc nối tiếp nhiều mạch, thì thời gian trễ của toàn mạch là tổng thời gian trễ của từng mạch riêng lẻ.

1.2.3.3- Công suất

Có hai loại công suất cần quan tâm đó là công suất tiêu thụ và công suất điều khiển.

Công suất tiêu thụ là năng lượng bị tổn hao khi hoạt động, công suất tiêu thụ được lấy trung bình giữa năng lượng tiêu hao của mạch khi ngõ xuất bằng 0 và khi ngõ xuất bằng 1. Theo công thức $P_{AVG} = V \cdot I_{CC}$, với V là điện thế nguồn và $I_{CC} = (I_{CCH} + I_{CCL})/2$

Thường công suất tiêu thụ khoảng vài mW và công suất tiêu thụ càng nhỏ càng tốt.

Công suất điều khiển là công suất của tín hiệu ngõ nhập bảo đảm đủ dòng và thế cho mạch hoạt động đúng thiết kế.

1.2.3.4- Độ ổn định nhiễu

Độ ổn định nhiễu là giá trị điện thế lớn nhất của nhiễu tác động lên ngõ nhập của mạch mà không ảnh hưởng đến ngõ xuất. Độ ổn định nhiễu trên mức logic 0 và mức logic 1 là khác nhau \rightarrow nên được chia ra là độ ổn định nhiễu mức 0 và mức 1.

Độ ổn định nhiễu của mạch số thường vào khoảng 10% - 50% mức điện thế nguồn.

Một số nhiễu có mức điện thế vượt độ ổn định nhiễu, nhưng tần số cao hay thời gian tồn tại ngắn hay không đủ công suất sẽ không ảnh hưởng đến mạch.

1.2.3.5- Hệ số chia tải

Hệ số chia tải chia làm hai loại là hệ số tải ngõ xuất (fan out) là số tải lớn nhất có thể nối với ngõ xuất của mạch logic mà vẫn bảo đảm mạch hoạt động đúng thiết kế, và hệ số tải ngõ nhập là số ngõ xuất lớn nhất có thể nối với mạch mà mạch vẫn hoạt động đúng thiết kế.

Có hai cách mắc tải ngõ xuất: mắc theo kiểu đất chung, có nghĩa là tải được mắc giữa ngõ xuất và đất (ngõ xuất tích cực mức cao), và mắc theo kiểu nguồn chung, có nghĩa là tải được mắc giữa ngõ nhập và nguồn (ngõ xuất tích cực mức thấp).

1.2.3.6- Giới hạn nhiệt độ

Các vi mạch chỉ hoạt động đúng thiết kế trong một khoảng nhiệt độ nhất định. Các vi mạch có vỏ làm bằng plastic thì tầm nhiệt độ làm việc khoảng từ 0°C - 70°C , Các vi mạch có vỏ làm bằng gốm thì tầm nhiệt độ làm việc khoảng từ -55°C - 125°C . Còn các vi mạch được chế tạo với tầm nhiệt độ cao hơn thì giá thành rất cao.

1.2.4- Công nghệ lưỡng cực – họ TTL

Đây là họ logic được dùng rất rộng rãi với các tiêu chuẩn kỹ thuật sau:

- Ký hiệu vi mạch: 54xx, 74xx, 84xx với hai số đầu chỉ thị cho việc đóng gói, và hai số sau là chỉ thị cho loại cổng logic như 5404, 7404, 8404 đều là vi mạch 6 cổng NOT, như sơ đồ chân của mỗi loại vi mạch sẽ khác nhau.
- Mức logic 0 cho ngõ nhập: 0V-0.8V, mức logic 1 cho ngõ nhập: 2V-5V.
- Mức logic 0 cho ngõ xuất: 0.4V, mức logic 1 cho ngõ xuất: 3.6V.
- Thời gian trễ: khoảng 10 ns.
- Công suất tiêu thụ: khoảng 10mW.
- Fan out: 10.
- Nguồn cung cấp: $V_{CC}=5V\pm 10\%$
- Nhiệt độ làm việc: họ 74: 0°C-70°C, họ 84: -25°C-85°C. họ 54: -55°C-125°C.
Họ TTL chuẩn được cải tiến để áp ứng một số yêu cầu về kỹ thuật như tốc độ, công suất như các loại sau:
- Dùng diod Schottky để tăng tốc độ, và ký hiệu sẽ thêm chữ S như 74Sxx, 54Sxx, ... loại này thời gian trễ khoảng 3ns, nhưng công suất tiêu thụ lên khoảng 20mW. Hay loại AS, thì thời gian trễ khoảng 1-2ns và ký hiệu như 74ASxx, 54ASxx, ...
- Giảm công suất tiêu thụ còn 1mW/cổng nhưng thời gian trễ lại tăng lên đến khoảng 30ns. và ký hiệu thêm chữ L như 74Lxx, 54Lxx, ...
- Kết hợp cả hai loại trên thành LS (10ns, 2mW/cổng) như 74LSxx, ... hay ALS (3ns, 1.25mW) như 74ALSxx, ...

1.2.5- Công nghệ đơn cực – họ CMOS

Đây là họ logic được dùng rất khá nhiều với các tiêu chuẩn kỹ thuật sau:

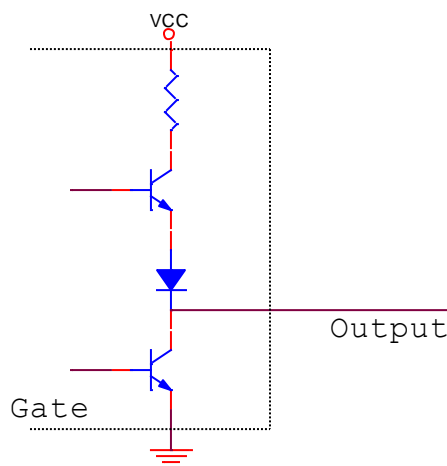
- Ký hiệu vi mạch: 14xxx, 4xxx với ...
- Mức logic 0 cho ngõ nhập: 0V-1.5V, mức logic 1 cho ngõ nhập: 3.5V- V_{DD} .
- Mức logic 0 cho ngõ xuất: 0V, mức logic 1 cho ngõ xuất: V_{DD}
- Thời gian trễ: khoảng 30ns – 100ns.
- Công suất tiêu thụ: khoảng 0.01mW.
- Fan out: 10.
- Nguồn cung cấp: $V_{DD}=5V\pm 10\%$
- Lưu ý khi làm việc với vi mạch loại CMOS, không bao giờ được phép thả nổi ngõ nhập (ngõ nhập để hở), tất cả ngõ nhập của CMOS luôn phải nối với V_{DD} hay GND.

1.2.6- Phân loại theo cách thiết kế ngõ xuất của họ TTL

Có thể phân loại vi mạch theo tiêu chuẩn thiết kế ngõ xuất như sau:

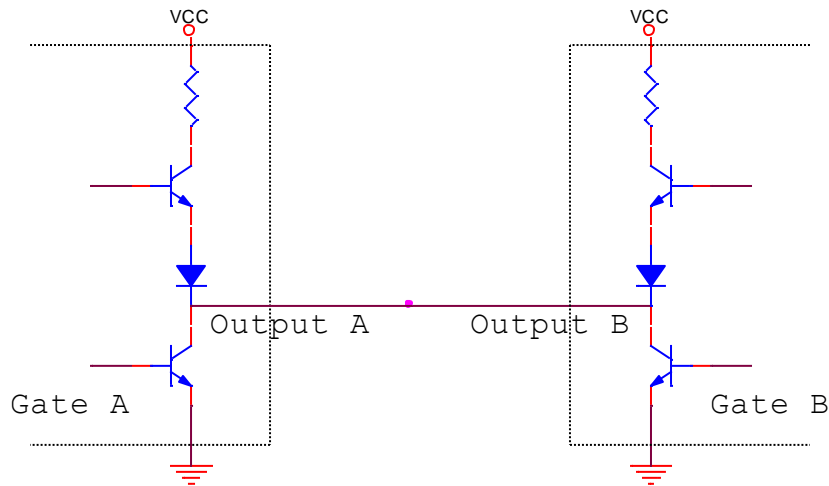
1.2.6.1- Mạch ngõ xuất kéo lên tích cực (totem pole hay active pull-up)

Sơ đồ mạch ngõ xuất kéo lên tích cực như hình dưới:



Hình 2. Sơ đồ mạch ngõ xuất kéo lên tích cực

Nguyên tắc hoạt động: mạch sẽ hư hỏng khi nối trực tiếp hai ngõ xuất với nhau. Càng nối nhiều ngõ xuất trực tiếp với nhau thì khả năng hư hỏng càng cao.

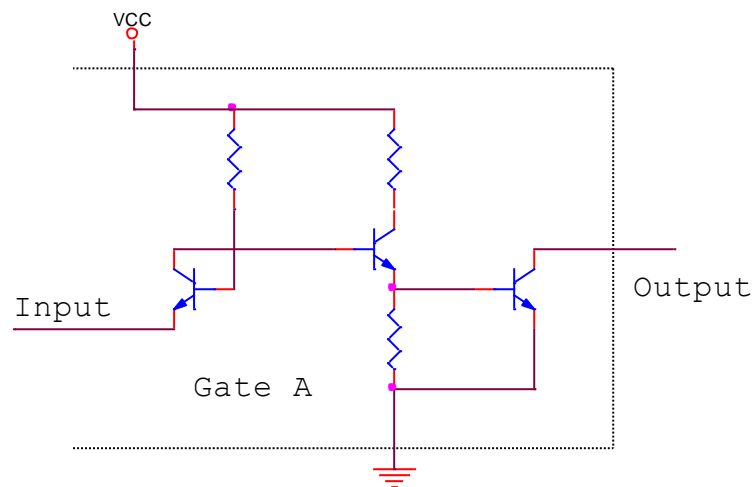


Hình 3. Hai cổng loại này nối trực tiếp sẽ làm hỏng IC

- Khi dùng các vi mạch thuộc loại ngõ xuất kéo lên tích cực, không bao giờ nối trực tiếp các ngõ xuất với nhau, mà phải thông qua cổng logic như cổng AND, OR, ...

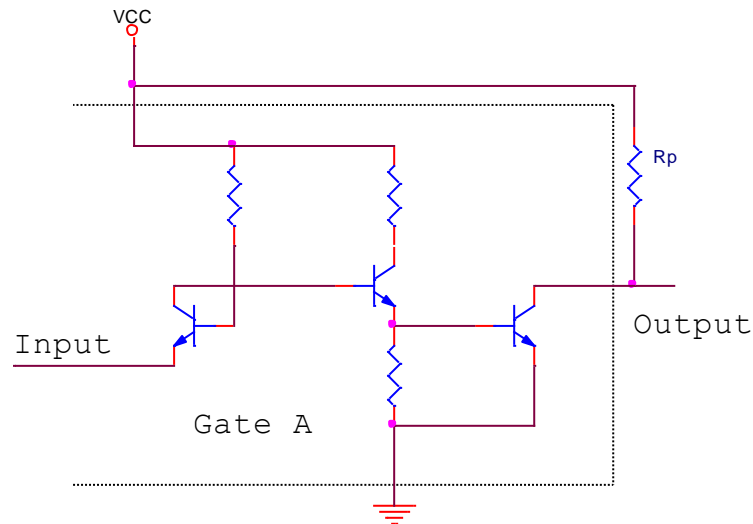
1.2.6.2- Mạch ngõ xuất cực thu hở (open collector)

Sơ đồ mạch ngõ xuất cực thu hở như hình dưới:



Hình 4. Sơ đồ mạch ngõ xuất cực thu hở

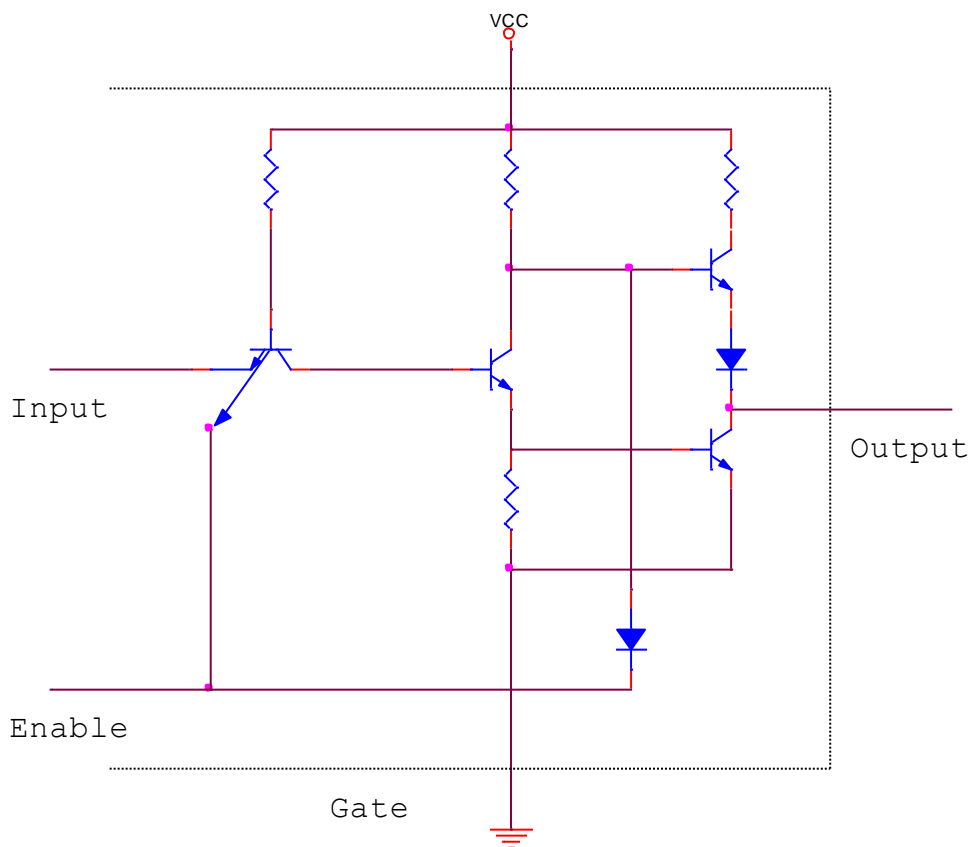
Nguyên tắc hoạt động: khi dùng các vi mạch thuộc loại ngõ xuất cực thu hở, phải nối ngõ xuất với tải R_C có trị số từ vài trăm Ohm đến vài KOhm. Khi nối trực tiếp các ngõ xuất với nhau, thì xem như là thực hiện phép toán AND N ngõ nhập, và có thể dùng chung một tải R_P .



Hình 5. Khi sử dụng phải dùng điện trở kéo lên R_P

1.2.6.3- Mạch ngõ xuất 3 trạng thái (tri-state)

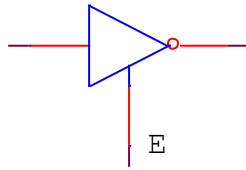
Sơ đồ mạch ngõ xuất 3 trạng thái như hình dưới:



Hình 6. Sơ đồ mạch ngõ xuất 3 trạng thái

Nguyên tắc hoạt động: vì mạch có ngõ xuất 3 trạng thái là hai trạng thái 0, 1 ứng với 2 mức logic 0, 1 và hoạt động tương tự như loại ngõ xuất kéo lên tích cực. Còn trạng thái

thứ ba là trạng thái trở kháng cao $R = \infty$, lúc này xem như ngõ xuất ở trạng thái cách ly, không nối với mạch.
Sơ đồ cổng ngõ xuất 3 trạng thái



Hình 7. Sơ đồ cổng NOT 3 trạng thái

Vì mạch thuộc loại ngõ xuất ba trạng thái cho phép nối trực tiếp các ngõ xuất với nhau, với điều kiện là tại mỗi thời điểm, chỉ có một ngõ xuất hoạt động, còn tất cả ngõ xuất khác đều ở trạng thái cách ly. Loại vi mạch này được sử dụng trong trường hợp nhiều ngõ xuất dùng chung một đường truyền hay còn gọi là BUS.

1.2.7- Phân loại theo cách thiết kế ngõ xuất của họ CMOS

1.2.7.1- Loại CMOS thông thường

Loại này giống như loại TTL ngõ xuất kéo lên tích cực, loại này không được phép nối trực tiếp các ngõ xuất với nhau.

1.2.7.2- Loại CMOS có cực thoát để hở

Loại này giống như loại TTL ngõ xuất cực thu hở, loại này cũng phải dùng điện trở kéo lên R_p như TTL.

1.2.7.3- Loại CMOS có ngõ xuất 3 trạng thái

Loại này giống như loại TTL có ngõ xuất 3 trạng thái.

1.2.8- Giao tiếp giữa hai loại vi mạch TTL và CMOS

- Giao tiếp giữa các vi mạch có nghĩa là ngõ xuất của vi mạch loại này nối ngõ nhập vi mạch loại khác mà các đặc tính điện không tương thích.
- Trong giao tiếp, vi mạch có ngõ xuất nối vào ngõ nhập của vi mạch khác thì vi mạch đó được gọi là khiển (hay lái), vi mạch kia được gọi là tải.
- Mạch giao tiếp là vi mạch thực hiện chức năng giao tiếp, được mắc xen giữa hai vi mạch khác loại để bảo đảm sự tương thích.

1.2.8.1- Vi mạch TTL khiển vi mạch CMOS

- Ta xem bảng thông số của hai loại vi mạch

CMOS					TTL				
Thông số	4000B	74HC/ HCT	74AC/ ACT	74AHC /AHCT	74	74LS	74AS	74ALS	74F
$I_{IH}(\text{max})$	1 μ A	1 μ A	1 μ A	1 μ A	40 μ A	20 μ A	200 μ A	20 μ A	20 μ A
$I_{IL}(\text{max})$	1 μ A	1 μ A	1 μ A	1 μ A	1.6mA	0.4mA	2 mA	100mA	0.6mA
$I_{OH}(\text{max})$	0.4mA	4mA	24mA	8mA	0.4mA	0.4 mA	2 mA	400mA	1.0mA
$I_{OL}(\text{max})$	0.4mA	4mA	24mA	8mA	16 mA	8 mA	20 mA	8 mA	20mA

Bảng 2. Bảng thông số giữa hai loại vi mạch

- Khi giao diện nhiều loại IC khác nhau, ta phải kiểm tra xem liệu linh kiện khiến có thoả mãn các yêu cầu về dòng và điện thế của linh kiện tải hay không. Bảng trên cho thấy giá trị dòng vào cho CMOS vô cùng bé so với dòng ra của loại TTL bất kỳ. Do đó, TTL dễ dàng đáp ứng các yêu cầu dòng vào của CMOS.
- Tuy nhiên, vấn đề nảy sinh khi ta so sánh điện thế đầu ra của TTL với yêu cầu điện thế đầu vào của CMOS. Bảng 10 cho thấy $V_{OH}(\text{min})$ của mỗi loại TTL quá thấp so với $V_{IH}(\text{min})$ cần có của loại 4000B, 74HC, và 74AC. Đối với tình huống này, phải tìm cách nâng điện thế đầu ra TTL đến mức chấp nhận được cho CMOS.
- Giải pháp chung nhất cho vấn đề giao diện nêu trên được mô tả trong hình 47, với đầu ra TTL nối đến +5V bằng điện trở kéo lên. Sự hiện diện của điện trở kéo lên sẽ là đầu ra TTL tăng xấp xỉ 5V ở trạng thái cao, nhờ đó đảm bảo mức điện thế đầu vào thoả đáng cho CMOS. Không cần mắc điện trở kéo lên nếu linh kiện CMOS thuộc loại 74HCT, vì các loại này được thiết kế để chấp nhận đầu ra TTL một cách trực tiếp, như trình bày ở bảng dưới

CMOS								TTL			
Thông số	4000B	74HC	74HCT	74AC	74AHC	74AHC	74AHCT	74	74LS	74AS	74ALS
$V_{IH}(\text{min})$	3.5	3.5	2.0	3.5	2.0	3.85	2.0	2.0	2.0	2.0	2.0
$V_{IL}(\text{max})$	1.5	1.0	0.8	1.5	0.8	1.65	0.8	0.8	0.8	0.8	0.8
$V_{OH}(\text{min})$	4.95	4.9	4.9	4.9	4.9	4.4	3.15	2.4	2.7	2.7	2.7
$V_{OL}(\text{max})$	0.05	0.1	0.1	0.1	0.1	0.44	0.1	0.4	0.5	0.5	0.4
VNH	1.45	1.4	2.9	1.4	2.9	0.55	1.15	0.4	0.7	0.7	0.7
VNL	1.45	0.9	0.7	1.4	0.7	1.21	0.7	0.4	0.3	0.3	0.4

Bảng 3. Thông số giữa hai loại vi mạch

1.2.8.2- Vi mạch TTL khiến vi mạch CMOS điện thế cao

- Nếu IC CMOS hoạt động với V_{DD} lớn hơn 5V, tình huống trở nên khó khăn hơn. Ví dụ, với $V_{DD} = 10V$, đầu vào CMOS đòi hỏi $V_{IH}(\text{min}) = 7V$. Đầu ra của nhiều linh kiện TTL không hoạt động được tại mức điện thế lớn hơn 5V, do vậy biện

pháp mắc điện trở kéo lên với +10V bị loại trừ. Loại LS-TTL của nhiều hãng có thể hoạt động với đầu ra kéo lên đến 10V. Nói chung, nên tra cứu bảng dữ liệu của linh kiện trước khi dùng điện thế kéo lên trên 5V.

- Khi không thể kéo đầu ra TTL lên đến V_{DD} , ta thử áp dụng biện pháp khác. Hình 48 giới thiệu một giải pháp phổ biến, sử dụng bộ đệm hở cực góp 7407 làm giao diện giữa đầu ra TTL có cấu trúc totem-pole và CMOS hoạt động tại $V_{DD} > 5V$. IC 7407 là đối tác không đảo của 7406 và có định mức điện thế đầu ra là 30V.
- Giải pháp tiếp theo là tận dụng mạch dịch chuyển mức điện thế, chẳng hạn 40104. Đây là chip CMOS được thiết kế để nhận tín hiệu đầu vào điện thế thấp (chẳng hạn từ TTL) và chuyển nó thành đầu ra điện thế cao cho CMOS.

1.2.8.3- Vi mạch CMOS khiển vi mạch TTL ở trạng thái cao

- Xem bảng 96, ta thấy đầu ra CMOS có thể dễ dàng cung cấp đủ điện thế (V_{OH}) để đáp ứng yêu cầu đầu vào TTL ở trạng thái cao (V_{IH}). Bảng 13 cho thấy đầu ra CMOS dư sức cung cấp đủ dòng (I_{OH}) để thoả mãn yêu cầu dòng đầu vào của TTL (I_{IH}).

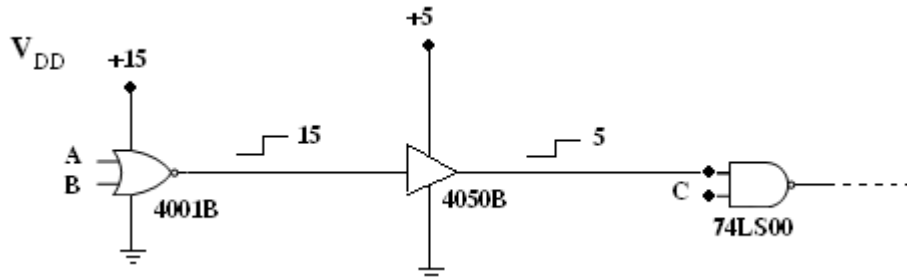
1.2.8.4- Vi mạch CMOS khiển vi mạch TTL ở trạng thái thấp

- Bảng 95 cho thấy đầu vào TTL có dòng vào tương đối cao ở trạng thái thấp, biến thiên từ 100 μ A đến 2mA. Loại 74HC và 74HCT có thể thu nhận tối đa 4mA, do vậy chúng dễ dàng khiển một tải TTL *đơn lẻ* thuộc loại bất kỳ. Tuy nhiên, loại 4000B bị hạn chế nhiều hơn. Cường độ I_{OL} thấp củ nó không đủ để khiển dù chỉ một đầu vào của loại 74 hoặc 74AS. Loại 74AHC có đầu ra khiển sánh bằng với loại 74LS.

1.2.8.5- Vi mạch CMOS điện thế cao khiển vi mạch TTL

- Một số hãng chế tạo IC đã chế tạo nhiều linh kiện TTL 74LS, có thể chịu được điện thế đầu vào cao đến 15V. Các linh kiện này được kích thích trực tiếp từ đầu ra CMOS vận hành tại $V_{DD}=15V$. Đa số đầu vào TTL không chịu nổi hơn 7V mà không bị hỏng, do vậy rất cần đến mạch giao diện

nếu phải kích thích chúng từ CMOS điện thế cao. Mạch giao diện vận hành như bộ chuyển đổi mức điện thế, biến đổi đầu vào điện thế cao thành đầu ra 5V để nối đến TTL. Hình 52 cho thấy cách thức 4050B thi hành chuyển đổi giữa 15V và 5V.

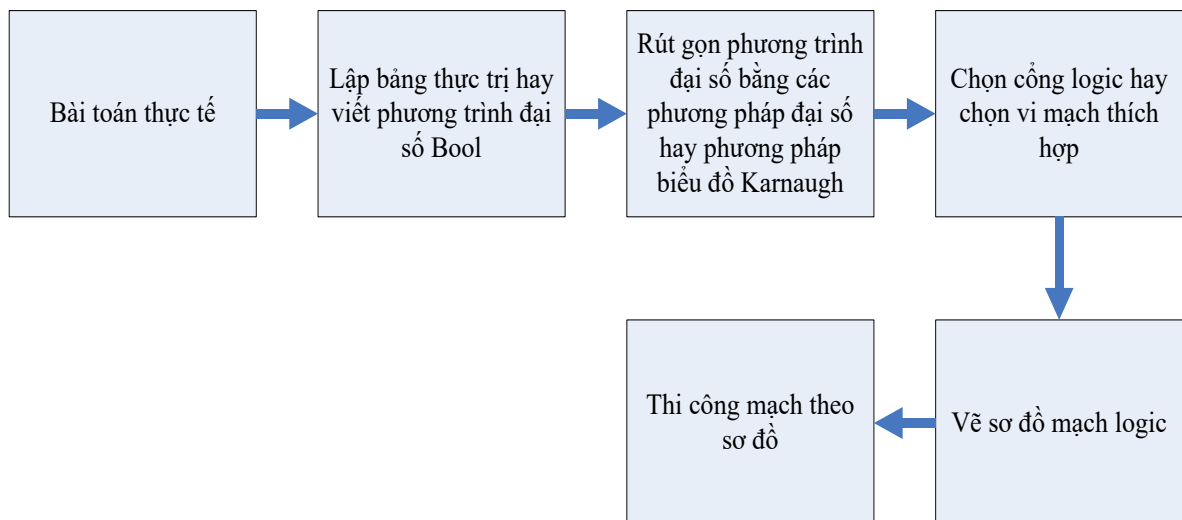


Hình 8. Bộ đệm 4050B còn đóng vai trò bộ chuyển đổi mức điện thế giữa CMOS điện thế cao và TTL

1.3- Thiết kế mạch tổ hợp bằng các vi mạch SSI

1.3.1- Nguyên tắc

Để thiết kế một mạch tổ hợp dùng các vi mạch SSI, ta tiến hành theo trình tự sau:



Hình 9. Lưu đồ quy trình thiết kế mạch tổ hợp bằng vi mạch SSI

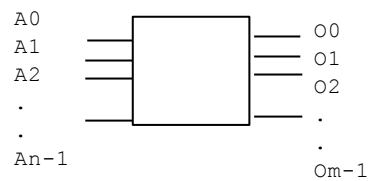
1.3.2- Một số ví dụ thiết kế mạch theo quy trình trên

1.3.2.1- Thiết kế mạch giải mã (Decoder)

- Mạch giải mã (decode) là mạch logic có N ngõ nhập và M ngõ xuất, với $M \leq 2^N$. Với một tổ hợp ngõ nhập sẽ tương ứng với một ngõ xuất hay nói cách khác, chỉ có một trong M ngõ

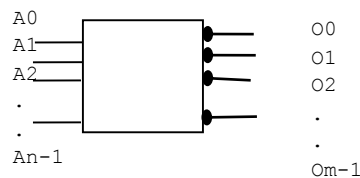
xuất sẽ tích cực mức cao (hay tích cực mức thấp), còn tất cả ngõ xuất còn lại đều ở mức không tích cực là mức thấp (hay ở mức không tích cực mức cao). Nhiều mạch giải mã được thiết kế để tạo ngõ xuất tích cực mức cao như trong hình dưới. Một số mạch giải mã khác được thiết kế để tạo ngõ xuất tích cực mức cao. Với loại mạch này, ngõ xuất có vòng tròn nhỏ hay ký hiệu \neg hay cả hai ký hiệu cùng lúc.

- Với mạch giải mã loại tạo ngõ xuất tích cực mức cao thì $O_0 = 1$ khi $A_{n-1}A_{n-2}...A_2A_1A_0 = 00...000$, còn các ngõ xuất khác đều là mức 0. $O_1 = 1$ khi $A_{n-1}A_{n-2}...A_2A_1A_0 = 00...001$ còn các ngõ xuất khác đều bằng 0...



Hình 10. Sơ đồ mạch giải mã có ngõ xuất tích cực mức cao

- Với mạch giải mã loại tạo ngõ xuất tích cực mức thấp thì $\overline{O_0} = 0$ khi $A_{n-1}A_{n-2}...A_2A_1A_0 = 00...000$, còn các ngõ xuất khác đều là mức 1. $\overline{O_1} = 0$ khi $A_{n-1}A_{n-2}...A_2A_1A_0 = 00...001$ còn các ngõ xuất khác đều bằng 1...



Hình 11. Sơ đồ mạch giải mã có ngõ xuất tích cực mức thấp

- Ví dụ ta thiết kế một mạch giải mã nhị phân 3 bit, với ngõ xuất tích cực mức cao.

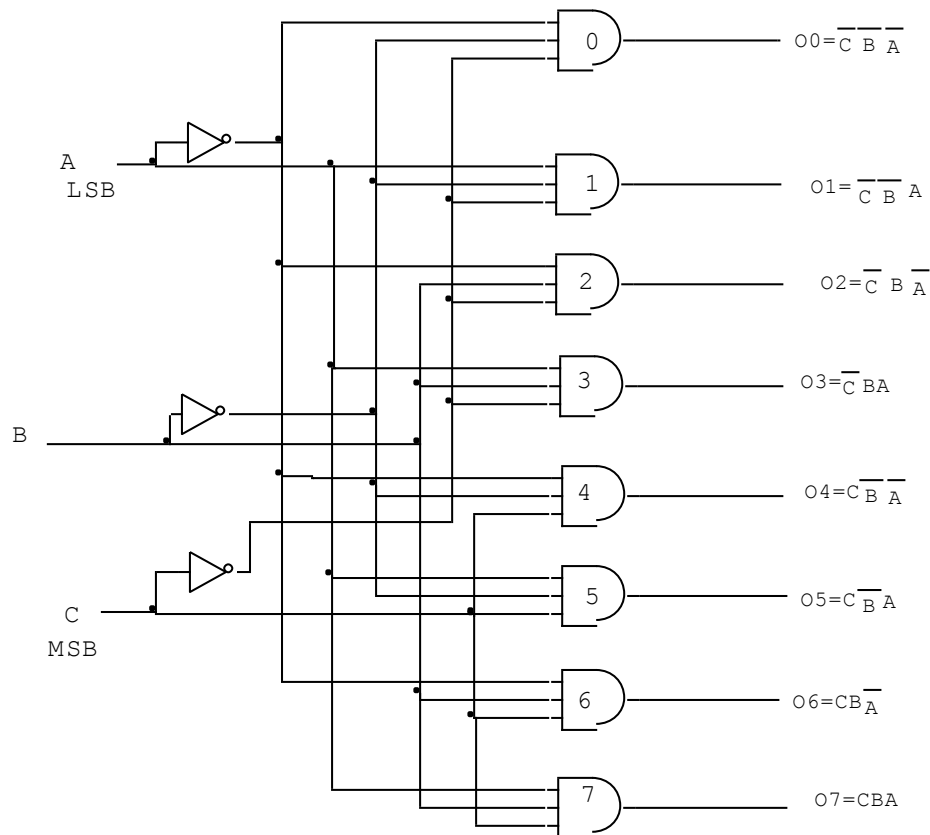
Một mạch logic có 3 ngõ nhập \Rightarrow có $2^3 = 8$ ngõ xuất để giải mã cho 8 tổ hợp của ngõ nhập, ta lập bảng thực trị sau:

C	B	A	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0

1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Bảng 4. Bảng thực trị cho mạch giải mã 3 ngõ nhập-8 ngõ xuất

- Từ bảng thực trị ta rút ra được công thức cho các ngõ xuất như sau: $O_0 = \bar{C} \cdot \bar{B} \cdot \bar{A}$, $O_1 = \bar{C} \cdot \bar{B} \cdot A$, $O_2 = \bar{C} \cdot B \cdot \bar{A}$, $O_3 = \bar{C} \cdot B \cdot A$, $O_4 = C \cdot \bar{B} \cdot \bar{A}$, $O_5 = C \cdot \bar{B} \cdot A$, $O_6 = C \cdot B \cdot \bar{A}$, $O_7 = C \cdot B \cdot A$
- Ta thiết kế mạch theo công thức trên

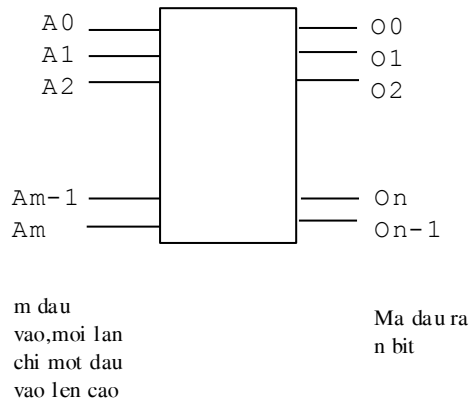


Hình 12. Sơ đồ mạch giải mã 3 ngõ nhập-8 ngõ xuất

1.3.2.2- Thiết kế mạch mã hóa (ENCODER)

- Hầu hết mạch giải mã đều chấp nhận một mã ngõ nhập tạo mức cao (hay mức thấp), mạch giải mã xác định, công nhận hay phát hiện một mã cụ thể. Đối lập với quy trình giải mã là qu trình mã hóa (encode), thực hiện bằng một mạch logic gọi là bộ mã hóa (encoder). bộ mã hóa có một số ngõ nhập và chỉ một trong số đó được kích hoạt tại một thời điểm nhất định, và tạo mã ngõ xuất N bit, tùy thuộc vào ngõ nhập nào được kích hoạt. Hình 12 là sơ đồ tổng quát cho mộ mã

hóa có M ngõ nhập và N ngõ xuất. Ở đây các ngõ nhập tích cực ở mức cao, nghĩa là bình thường chúng ở mức thấp.



Hình 13. Sơ đồ mạch mã hóa tổng quát

- Ta thấy mạch giải mã nhị phân thành bát phân (3 đường thành 8 đường) chấp nhận mã ngõ nhập 3 bit và kích hoạt 1 trong 8 ngõ xuất tương ứng mã đó. Ví dụ ta thiết kế mạch mã hóa bát phân thành nhị phân (8 đường thành 3 đường) thực hiện chức năng ngược lại: nó có 8 ngõ nhập và tạo thành mã ngõ xuất tương ứng với ngõ nhập tích cực. Hình dưới biểu diễn mạch logic và bảng chân trị cho bộ mã hóa bát phân thành nhị phân có ngõ nhập tích cực ở mức thấp. Ta có bảng thực trị sau

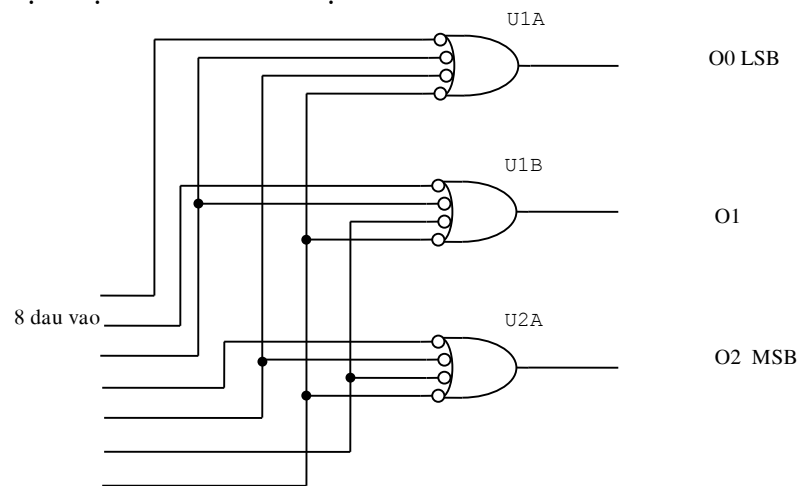
- Bảng thực trị

A ₀	A ₁	A ₂	A ₃	A ₄	A ₅	A ₆	A ₇	O ₂	O ₁	O ₀
X	1	1	1	1	1	1	1	0	0	0
X	0	1	1	1	1	1	1	0	0	1
X	1	0	1	1	1	1	1	0	1	0
X	1	1	0	1	1	1	1	0	1	1
X	1	1	1	0	1	1	1	1	0	0
X	1	1	1	1	0	1	1	1	0	1
X	1	1	1	1	1	0	1	1	1	0
X	1	1	1	1	1	1	0	1	1	1

Bảng 5. Bảng thực trị cho bộ mã hóa bát phân thành nhị phân

- Qua bảng thực trị, ta xác minh được rằng mức thấp tại ngõ nhập đơn lẻ bất kỳ sẽ tạo mã nhị phân ra tương ứng ngõ nhập đó. Chẳng hạn, mức thấp tại \bar{A}_3 (các ngõ nhập còn lại đều mức 0) sẽ tạo $\bar{O}_2=0$, $\bar{O}_1=1$, $\bar{O}_0=1$, tức là mã nhị phân cho 3. Lưu ý rằng \bar{A}_0 không được nối với cổng logic, vì các ngõ xuất của bộ mã hóa bình thường sẽ là 000 khi không có ngõ nhập nào từ \bar{A}_1 tới \bar{A}_9 ở mức thấp.

- Từ bảng thực trị ta có sơ đồ mạch



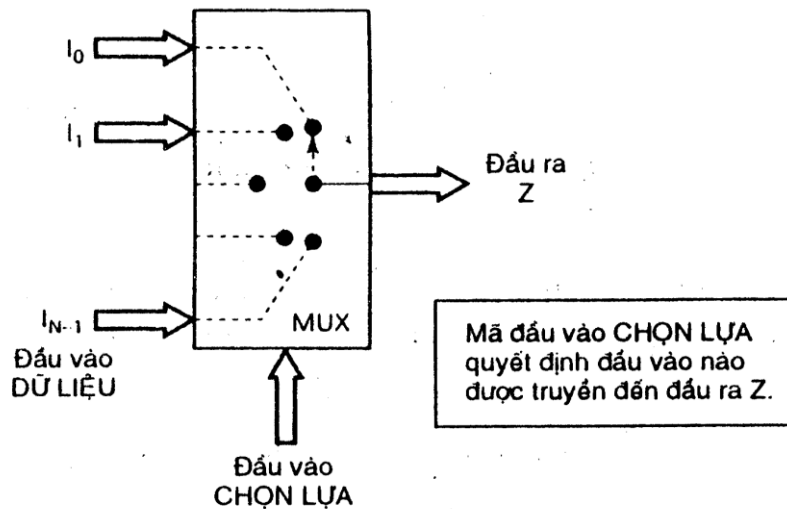
Mỗi lần chỉ có một ngõ nhập tích cực mức thấp

Hình 14. Sơ đồ mạch mã hoá

- Mạch này có nhược điểm là khi có hơn một ngõ nhập tích cực, thì sẽ dẫn đến ngõ xuất không mã hoá đúng với ngõ nhập.

1.3.2.3- Thiết kế mạch chọn kênh (hay mạch chọn dữ liệu)

- Mạch chọn kênh (MUX) là mạch số chọn một trong nhiều tín hiệu vào và chuyển đến ngõ xuất.
- Mạch chọn kênh (multiplexer) hoặc mạch chọn dữ liệu (data selector) là mạch logic có nhiều ngõ nhập, chọn ra một trong số ngõ nhập tại thời điểm xác định để chuyển đến ngõ xuất. Hoạt động chọn lộ trình từ ngõ nhập đến ngõ xuất do ngõ nhập chọn kênh (SELECT) hay còn gọi là ngõ nhập địa chỉ chỉ phối.
- Mạch chọn kênh hoạt động như chuyển mạch nhiều vị trí, trong đó mã dạng số (digital code) áp đến ngõ nhập chọn kênh sẽ cho phép ngõ nhập nào được chuyển đến ngõ xuất. Ví dụ ngõ xuất Z sẽ bằng ngõ nhập dữ liệu ngõ nhập I_0 ứng với mã cụ thể ở ngõ nhập chọn kênh; Z bằng ngõ nhập I_1 ứng với mã cụ thể ở ngõ nhập chọn kênh = 1, Nói cách khác mạch dồn kênh chọn 1 trong N ngõ nhập và truyền dữ liệu này đến chỉ một kênh ngõ xuất đơn lẻ



Hình 15. Sơ đồ chức năng của bộ chọn kênh.

1.3.2.4- Thiết kế mạch chọn kênh hai ngõ nhập

- Hình dưới minh họa sơ đồ mạch logic của bộ chọn kênh 2 ngõ nhập, với ngõ nhập dữ liệu I_0, I_1 cùng ngõ nhập chọn kênh (S). Mức logic áp vào ngõ nhập S quyết định cổng AND nào được cho phép, để ngõ nhập dữ liệu của nó truyền qua cổng OR đến ngõ xuất Z . Xét cách khác, ta có biểu thức Boole cho ngõ xuất là

$$Z = I_0 \bar{S} + I_1 S$$

Với $S = 0$ biểu thức này trở thành

$$Z = I_0 \cdot 1 + I_1 \cdot 0 = I_0.$$

Vậy Z sẽ trùng với tín hiệu ngõ nhập I_0 , có thể là mức logic cố định hoặc tín hiệu logic thay đổi theo thời gian. Với $S = 1$, biểu thức trở thành:

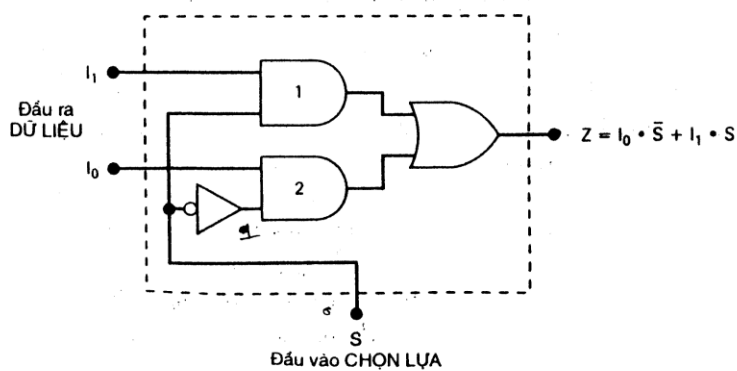
$$Z = I_0 \cdot 0 + I_1 \cdot 1 = I_1$$

cho thấy ngõ xuất Z sẽ trùng với tín hiệu ngõ nhập I_1 .

S	Ngõ xuất
0	$Z = I_0$
1	$Z = I_1$

Bảng 6.

Bảng thực trị của bộ chọn kênh 2 ngõ nhập



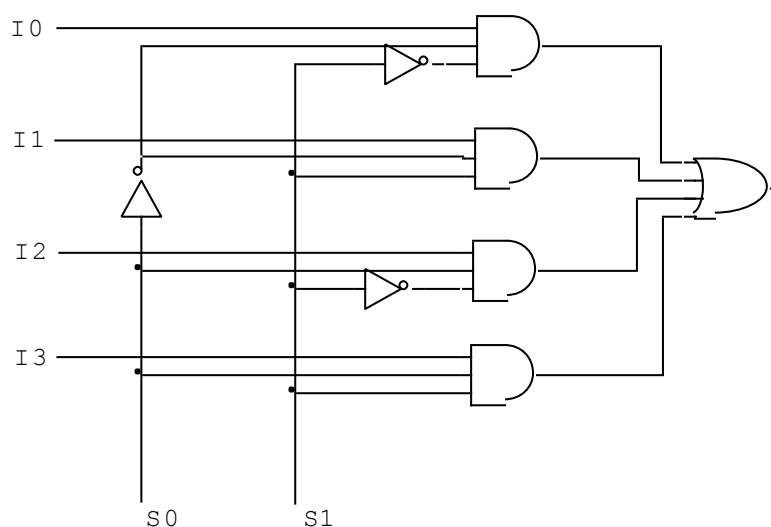
Hình 16. Bộ chọn kênh 2 ngõ nhập

1.3.2.5- Thiết kế mạch chọn kênh 4 ngõ nhập

- Bộ chọn kênh 4 ngõ nhập ở hình dưới cũng được thiết kế tương tự, 4 ngõ nhập được chọn lựa để truyền đến ngõ xuất, theo đúng 4 tổ hợp khả dĩ của hai ngõ nhập chọn kênh (S_0 S_1). Tùy theo tổ hợp khác nhau của các mức ở ngõ nhập ngõ nhập chọn kênh. I_0 là do $\bar{S}_1 \bar{S}_0$ chi phối, để I_0 truyền qua cổng AND đến ngõ xuất Z chỉ khi $S_0 = 0$, $S_1 = 0$. Bản gthực trị trong hình xác định ngõ xuất ứng với 3 mã chọn ngõ nhập còn lại.

S_1	S_0	Ngõ xuất
0	0	$Z = I_0$
0	1	$Z = I_1$
1	0	$Z = I_2$
1	1	$Z = I_3$

Bảng 7. Bảng hoạt động của bộ chọn kênh 4 ngõ nhập



Hình 17. Sơ đồ mạch của bộ chọn kênh 4 ngõ nhập

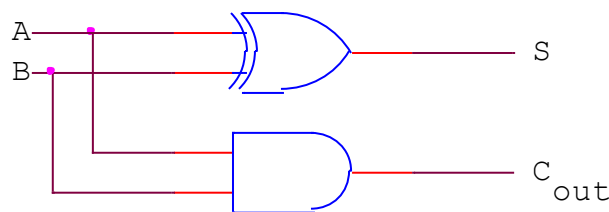
1.3.2.6- Thiết kế mạch cộng bán phần

- Mạch cộng bán phần (HA viết tắt là Half Adder) gồm có hai ngõ nhập là A, B và hai ngõ xuất là S (sum-tổng) và C_{out} (carry-nhớ)
- Ta lập bảng thực trị cho mạch cộng bán phần như sau:

A	B	S	C_{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Bảng 8. Bảng thực trị cho mạch cộng bán phần

- Ta rút công thức $S = A.\bar{B} + \bar{A}.B = A \oplus B$ và $C_{out} = A.B$
- Sơ đồ mạch



Hình 18. Sơ đồ mạch cho bộ cộng bán phần

1.3.2.7- Thiết kế mạch cộng toàn phần

- Mạch cộng toàn phần (FA viết tắt Full Adder) gồm có ba ngõ nhập là A, B, C_{in} và hai ngõ xuất là S (sum-tổng) và C_{out} (carry-nhớ)
- Ta lập bảng thực trị cho mạch cộng toàn phần như sau:

A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

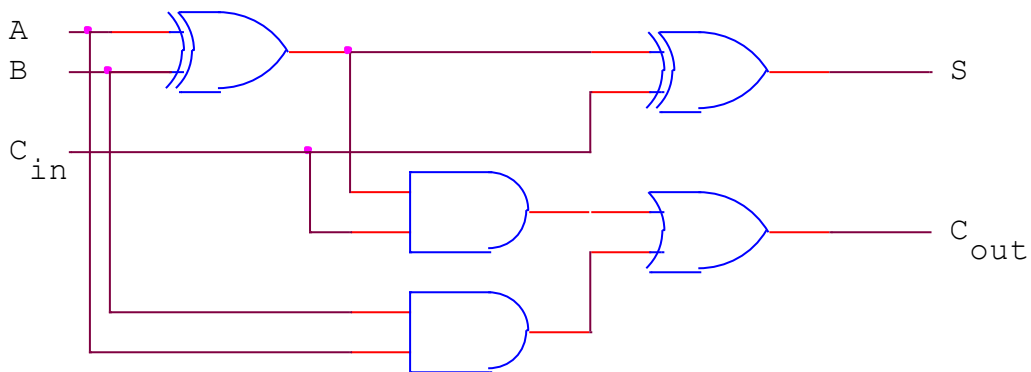
Bảng 9. Bảng thực trị cho mạch cộng toàn phần

- Ta rút ra công thức

$$S = \bar{A} \cdot \bar{B} \cdot C_{IN} + \bar{A} \cdot B \cdot \bar{C}_{IN} + A \cdot B \cdot C_{IN} + A \cdot \bar{B} \cdot \bar{C}_{IN} = C_{IN} \cdot (\bar{A} \cdot \bar{B} + A \cdot B) + \bar{C}_{IN} \cdot (\bar{A} \cdot B + A \cdot \bar{B}) = C_{IN} \cdot \overline{A \oplus B} + \bar{C}_{IN} \cdot A \oplus B = C_{IN} \oplus A \oplus B$$

$$C_{out} = B \cdot C_{IN} + A \cdot C_{IN} + A \cdot B = C_{IN} \cdot (A + B) + A \cdot B = C_{IN} \cdot (A \oplus B + A \cdot B) + A \cdot B = C_{IN} \cdot (A \oplus B) + A \cdot B$$

➤ Sơ đồ mạch

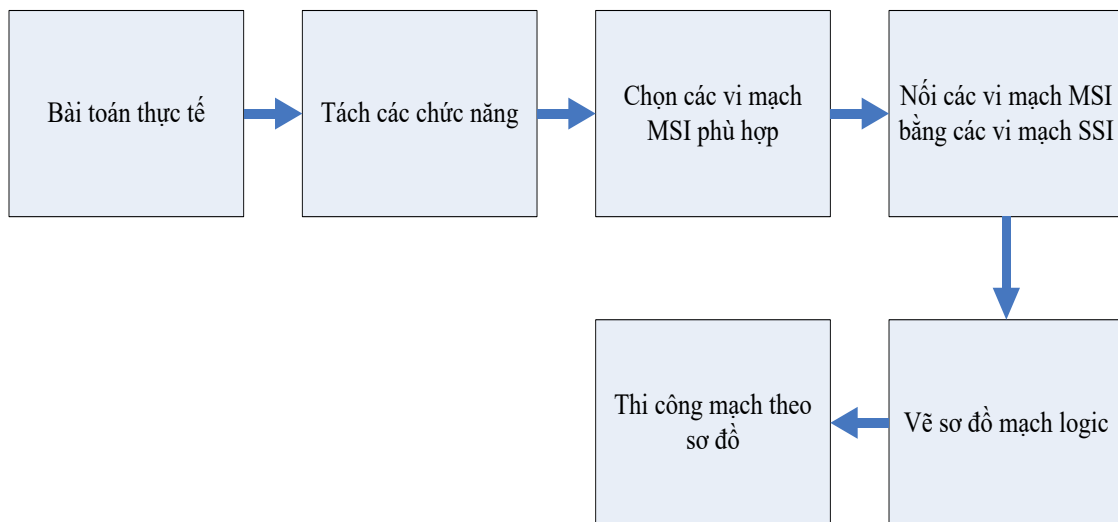


Hình 19. Sơ đồ mạch cộng toàn phần

1.4- Thiết kế mạch tổ hợp bằng các vi mạch MSI

1.4.1- Nguyên tắc

Để thiết kế một mạch tổ hợp dùng các vi mạch MSI, ta tiến hành theo trình tự sau



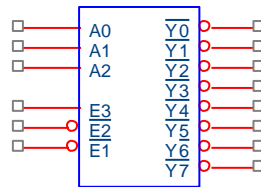
Hình 20. Lưu đồ quy trình thiết kế mạch tổ hợp bằng vi mạch MSI

1.4.2- Một số vi mạch MSI

1.4.2.1- Vi mạch giải mã 74138

- 74138 là vi mạch MSI thiết kế gồm 3 ngõ nhập là C, B, A (hay A_2, A_1, A_0) và 8 ngõ xuất, với các ngõ xuất là tích cực mức 0, được đánh số từ $\overline{Y}_0, \overline{Y}_1, \dots, \overline{Y}_7$ (hay còn được gọi $\overline{O}_0, \dots, \overline{O}_7$). Vi mạch này còn có thêm 3 ngõ nhập điều khiển, được gọi là chân cho phép (Enable), trong đó chân \overline{E}_1 và chân \overline{E}_2 là ngõ nhập tích cực mức thấp, chân E_3 là ngõ nhập tích cực mức cao. Ta lần lượt xét sơ đồ khối, bảng hoạt động theo các ngõ nhập điều khiển, bảng thực trị và sơ đồ mạch của 74138

- Sơ đồ khối



Hình 21. Sơ đồ khối của 74138

- Bảng hoạt động

\overline{E}_1	\overline{E}_2	E_3	Ngõ xuất
0	0	1	Đáp lại mã ngõ nhập C, B, A (hay $A_2 A_1 A_0$)
1	X	X	Bị cấm - tất cả đều cao
X	1	X	Bị cấm - tất cả đều cao
X	X	0	Bị cấm - tất cả đều cao

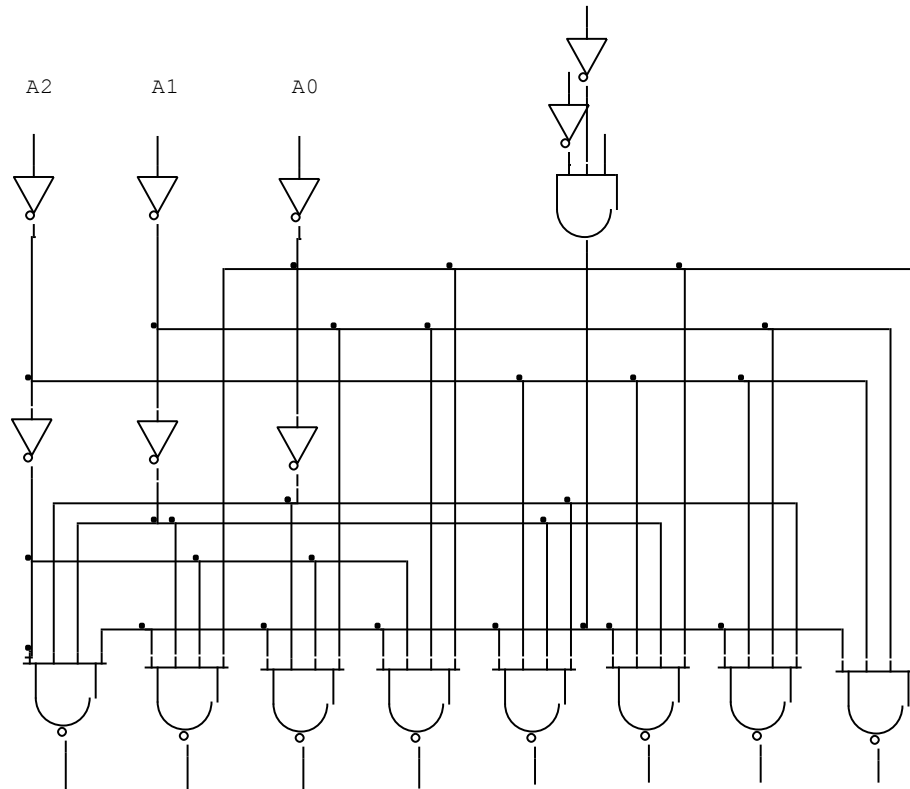
Bảng 10. Bảng hoạt động của 74138 theo 3 chân cho phép

- Bảng thực trị

A ₂	A ₁	A ₀	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Bảng 11. Bảng thực trị của 74138

- Sơ đồ mạch

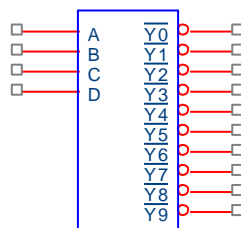


Hình 22. Sơ đồ mạch 74138

1.4.2.2- Vi mạch giải mã 7442

- 7442 là vi mạch MSI, được thiết kế gồm 4 ngõ nhập là D, C, B, A và 10 ngõ xuất, với các ngõ xuất là tích cực mức 0, được đánh số từ \overline{Y}_0 , \overline{Y}_1 , ..., \overline{Y}_9 (hay còn được gọi \overline{O}_0 , ..., \overline{O}_9). Ta lần lượt xét sơ đồ khối, bảng hoạt động theo các ngõ nhập điều khiển của 7442

- Sơ đồ khối



Hình 23. Sơ đồ khối của 7442

- Bảng thực trị

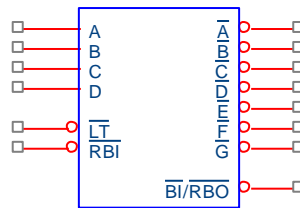
D	C	B	A	Ngõ xuất tích cực
0	0	0	0	\overline{Y}_0
0	0	0	1	\overline{Y}_1

0	0	1	0	$\overline{Y_2}$
0	0	1	1	$\overline{Y_3}$
0	1	0	0	$\overline{Y_4}$
0	1	0	1	$\overline{Y_5}$
0	1	1	0	$\overline{Y_6}$
0	1	1	1	$\overline{Y_7}$
1	0	0	0	$\overline{Y_8}$
1	0	0	1	$\overline{Y_9}$
1	0	1	0	Không có
1	0	1	1	Không có
1	1	0	0	Không có
1	1	0	1	Không có
1	1	1	0	Không có
1	1	1	1	Không có

Bảng 12. Bảng thực trị của 7442

1.4.2.3- Vi mạch 7447, bộ giải mã BCD thành mã LED 7 đoạn

- Hầu hết thiết bị số đều có phương tiện hiển thị thông tin theo dạng trực quan để người sử dụng có thể dễ dàng hiểu được. Thông tin này có thể là chữ và số. Một trong những phương pháp đơn giản và phổ biến nhất để hiển thị số là sử dụng cấu hình 7 đoạn (xem bảng mã 7 đoạn- mức 0, ở phần 2.5) tạo thành các ký số thập phân từ 0 đến 9 và đôi khi là 6 ký tự từ A đến F. Người ta dùng đèn LED cho mỗi đoạn. Bằng cách điều khiển dòng qua mỗi LED, một số đoạn sẽ được chiếu sáng và những đoạn còn lại tối, tạo thành mẫu ký tự mong muốn.
- Hầu hết các mạch số thì ngõ xuất đều là mã nhị phân, hay mã BCD, do đó phải dùng mạch giải mã chuyển từ mã nhị phân, hay mã BCD sang dạng mã 7 đoạn. Vi mạch 7447 là vi mạch MSI, gồm có 6 ngõ nhập là 4 ngõ nhập tương ứng với mã nhị phân D, C, B, A và 2 ngõ nhập điều khiển là \overline{LT} , \overline{RBI} , và 7 ngõ xuất tích cực mức thấp tương ứng với 7 đoạn a, b, c, d, e, f, g. và một chân nhập/xuất hai chiều là $\overline{BI}/\overline{RBO}$. Ta lần lượt xét sơ đồ khối, bảng hoạt động theo các ngõ nhập điều khiển của 7447
- Sơ đồ khối



Hình 24. Sơ đồ khối 7447

➤ Bảng hoạt động

Số thập phân	Ngõ nhập			$\overline{BI}/\overline{RBO}$	Ngõ xuất	Ghi chú
	\overline{LT}	\overline{RBI}	D C B A		$\overline{A} \rightarrow \overline{G}$	
0	1	1	0 0 0 0	1	Theo bảng mã 7 đoạn mức 0 - phần 2.5	*
1	1	x	0 0 0 1	1		*
2	1	x	0 0 1 0	1		
3	1	x	0 0 1 1	1		
4	1	x	0 1 0 0	1		
5	1	x	0 1 0 1	1		
6	1	x	0 1 1 0	1		
7	1	x	0 1 1 1	1		
8	1	x	1 0 0 0	1		
9	1	x	1 0 0 1	1		
10	1	x	1 0 1 0	1		
11	1	x	1 0 1 1	1		
12	1	x	1 1 0 0	1		
13	1	x	1 1 0 1	1		
14	1	x	1 1 1 0	1		
15	1	x	1 1 1 1	1		
\overline{BI}	x	x	x x x x	0	$1 \rightarrow 1$	**
\overline{RBI}	1	0	0 0 0 0	0	$1 \rightarrow 1$	
\overline{LT}	0	x	x x x x	1	$0 \rightarrow 0$	***

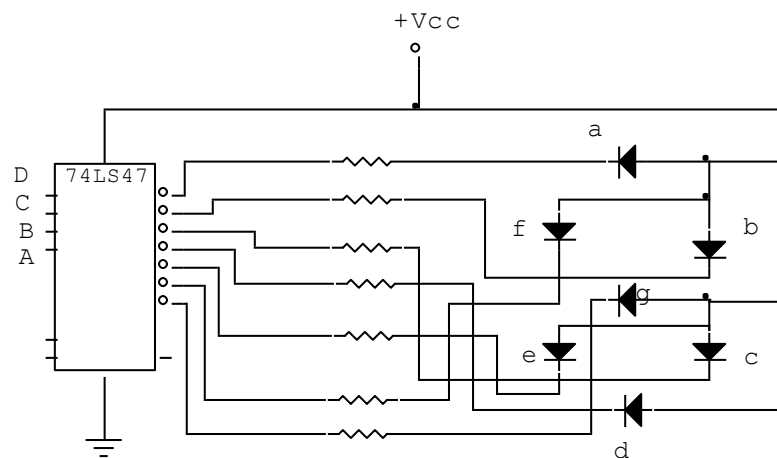
Bảng 13. Bảng hoạt động của 7447

* Chân \overline{BI} phải lên mức cao khi đổi mã nhị phân sang mã 7 đoạn, chân \overline{RBI} phải lên mức cao thì mã 7 đoạn của số 0 mới hiện ra, nếu chân \overline{RBI} ở mức thấp thì mã 7 đoạn của số 0 sẽ tắt, trường hợp này dùng để tắt số 0 vô nghĩa như 05 → 5

** Khi chân $\overline{BI}/\overline{RBO} = 0$ thì tất cả các đoạn đều tắt.

*** Khi chân $\overline{LT} = 0$ thì tất cả các đoạn đều sáng, dùng để thử đèn xem có đoạn nào bị hỏng hay không

➤ Kết nối 7447 với LED 7 đoạn có cực dương chung



Hình 25. Sơ đồ mạch dùng 7447 với LED 7 đoạn cực dương chung

➤ Mỗi đoạn của màn hình LED 7 đoạn hoạt động với dòng là 10 mA ở điện thế 2.7V để chiếu sáng bình thường. Ta thấy điện trở nối tiếp phải có một mức sụt điện thế tương đương với hiệu số giữa $V_{CC} = 5V$ và điện thế đoạn 2.7V. Hiệu điện thế 2.3V ngang qua điện trở này phải tạo dòng khoảng 10mA. Ta có:

$$R_s = 2.3V / 10mA = 230 \Omega$$

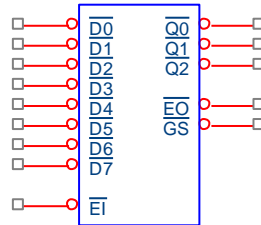
Vậy ta chọn điện trở chuẩn 220 Ω sát với mức này.

1.4.2.4- Vi mạch mã hoá bát phân thành nhị phân 74148, có ưu tiên

➤ 74148 là vi mạch MSI, được thiết kế gồm 9 ngõ nhập là $\overline{D_0} \rightarrow \overline{D_7}$, và 1 ngõ nhập điều khiển \overline{EI} , tất cả đều tích cực mức thấp, với độ ưu tiên cao nhất là $\overline{D_7}$ và thấp nhất là $\overline{D_0}$, 5 ngõ xuất, tất cả ngõ xuất đều tích cực mức thấp, được

đánh số từ $\overline{Q_0}$, $\overline{Q_1}$, $\overline{Q_2}$ và \overline{EO} , \overline{GS} . Ta lần lượt xét sơ đồ khối, bảng hoạt động của 74148. Khi dùng IC này, do ngõ xuất là dạng bù 1 của mã nhị phân, nên ngõ xuất phải nối với các cổng NOT để ra dạng mã hóa đúng.

➤ Sơ đồ khối



Hình 26. Sơ đồ khối của 74148

➤ Bảng hoạt động

Ngõ nhập									Ngõ xuất				
\overline{EI}	$\overline{D_0}$	$\overline{D_1}$	$\overline{D_2}$	$\overline{D_3}$	$\overline{D_4}$	$\overline{D_5}$	$\overline{D_6}$	$\overline{D_7}$	$\overline{Q_2}$	$\overline{Q_1}$	$\overline{Q_0}$	\overline{QS}	\overline{EO}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	1	0	1
0	x	x	x	x	x	0	1	1	0	1	0	0	1
0	x	x	x	x	0	1	1	1	0	1	1	0	1
0	x	x	x	0	1	1	1	1	1	0	0	0	1
0	x	x	0	1	1	1	1	1	1	0	1	0	1
0	x	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

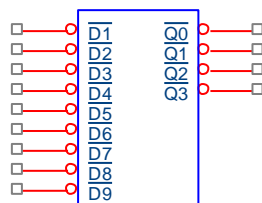
Bảng 14. Bảng hoạt động của 74148

1.4.2.5- Vi mạch mã hoá thập phân thành BCD 74147, có ưu tiên

➤ 74147 là vi mạch MSI, được thiết kế gồm 9 ngõ nhập là $\overline{D_0} \rightarrow \overline{D_9}$, tất cả đều tích cực mức thấp, với độ ưu tiên cao nhất là $\overline{D_9}$ và thấp nhất là $\overline{D_0}$, 4 ngõ xuất, tất cả ngõ xuất

đều tích cực mức thấp, được đánh số từ \overline{Q}_0 , \overline{Q}_1 , \overline{Q}_2 và \overline{Q}_3 . Ta lần lượt xét sơ đồ khối, bảng hoạt động của 74147. Khi dùng IC này, do ngõ xuất là dạng bù 1 của mã nhị phân, nên ngõ xuất phải nối với các cổng NOT để ra dạng mã hóa đúng.

➤ Sơ đồ khối



Hình 27. Sơ đồ khối của 74147

➤ Bảng hoạt động

Ngõ nhập									Ngõ xuất			
\overline{D}_1	\overline{D}_2	\overline{D}_3	\overline{D}_4	\overline{D}_5	\overline{D}_6	\overline{D}_7	\overline{D}_8	\overline{D}_9	\overline{Q}_0	\overline{Q}_1	\overline{Q}_2	\overline{Q}_3
1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	0	1	1	1	1	0	0	1
x	x	x	x	0	1	1	1	1	1	0	1	0
x	x	x	0	1	1	1	1	1	1	0	1	1
x	x	0	1	1	1	1	1	1	1	1	0	0
x	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

Bảng 15. Bảng hoạt động của 74147

1.4.2.6- Vi mạch 74151, bộ chọn kênh 8 ngõ nhập

➤ Vi mạch 74151 là vi mạch MSI, có 8 ngõ nhập từ $I_0 \rightarrow I_7$, và 3 ngõ nhập chọn kênh là C, B, A (hay S_2 , S_1 , S_0) và một ngõ nhập điều khiển \overline{E} dùng để kết nối với vi mạch 74151 khác để là bộ chọn kênh 16 ngõ nhập. Ta lần lượt xét sơ đồ khối, bảng hoạt động theo các ngõ nhập điều khiển của 74151.

- Sơ đồ khối

Hình 28. Sơ đồ khối của 74151

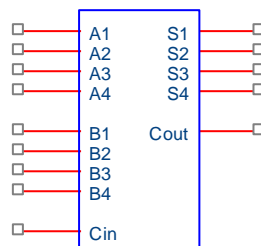
- Bảng hoạt động của 74151

\bar{E}	C	B	A	\bar{Z}	Z
1	x	x	x	0	1
0	0	0	0	\bar{I}_0	I_0
0	0	0	1	\bar{I}_1	I_1
0	0	1	0	\bar{I}_2	I_2
0	0	1	1	\bar{I}_3	I_3
0	1	0	0	\bar{I}_4	I_4
0	1	0	1	\bar{I}_5	I_5
0	1	1	0	\bar{I}_6	I_6
0	1	1	1	\bar{I}_7	I_7

Bảng 16. Bảng hoạt động của 74151

1.4.2.7- Vi mạch 7483, bộ cộng song song 4 bit

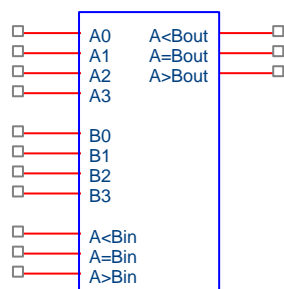
- Vi mạch 7483 là vi mạch MSI, gồm 4 bộ cộng toàn phần nối lại thành một bộ cộng song song 4 bit. Ta lần lượt xét sơ đồ khối
- Sơ đồ khối



Hình 29. Sơ đồ khối 7483

1.4.2.8- Vi mạch 7485, bộ so sánh độ lớn hai số 4 bit

- IC 7485 là vi mạch MSI, dùng để so sánh 2 số nhị phân 4 bit không dấu. Một trong hai số 4 bit là số A là $A_3A_2A_1A_0$, còn số B là $B_3B_2B_1B_0$. Nó có 3 ngõ nhập dùng để làm nối tầng cho việc so sánh các số lớn hơn 4 bit như 8 bit, 12 bit, 16 bit...đó là 3 chân $A < B_{IN}$, $A = B_{IN}$, $A > B_{IN}$ và 3 ngõ xuất là $A < B_{OUT}$, $A = B_{OUT}$, $A > B_{OUT}$
- Sơ đồ khối



Hình 30. Sơ đồ khối 7485

➤ Bảng hoạt động

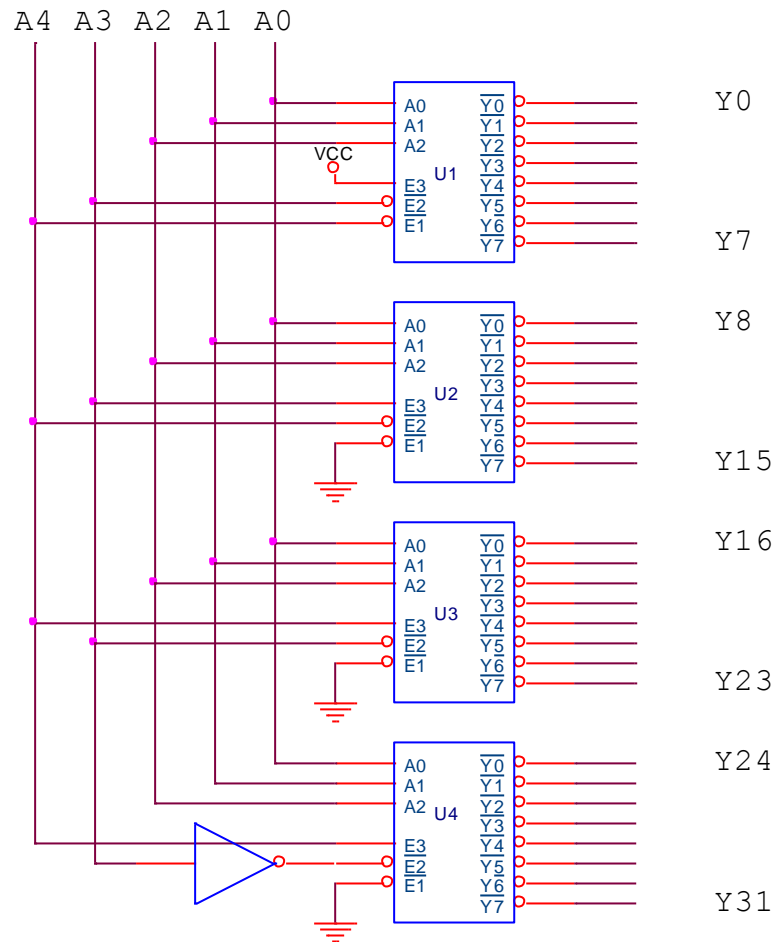
Ngõ nhập				Ngõ nhập nối tầng			Ngõ xuất		
A ₃ B ₃	A ₂ B ₂	A ₁ B ₁	A ₀ B ₀	A>B _{IN}	A=B _{IN}	A<B _{IN}	A>B _{OUT}	A=B _{OUT}	A<B _{OUT}
A ₃ >B ₃	x	x	x	x	x	x	1	0	0
A ₃ =B ₃	A ₂ >B ₂	x	x	x	x	x	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	x	x	x	x	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	x	x	x	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	x	x	x	0	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	x	x	x	x	0	0	1
A ₃ =B ₃	A ₂ <B ₂	x	x	x	x	x	0	0	1
A ₃ <B ₃	x	x	x	x	x	x	0	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	1	0	0	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	x	1	x	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	0	1	0	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	0	0	1	0	1
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	1	0	1	0	0	0

Bảng 17. Bảng hoạt động của 7485

1.4.3- Một số ví dụ thiết kế mạch theo quy trình MSI

1.4.3.1- Thiết kế mạch giải mã 5 ngõ nhập-32 ngõ xuất
Mạch giải mã này còn được gọi là mạch giải mã 1 trong 32, và ta chọn IC là 74138, và nhờ vào 3 chân cho phép E, ta có khả năng thiết kế được mạch 6 ngõ nhập- 64 ngõ xuất (mạch 1 trong 64).

➤ Sơ đồ mạch



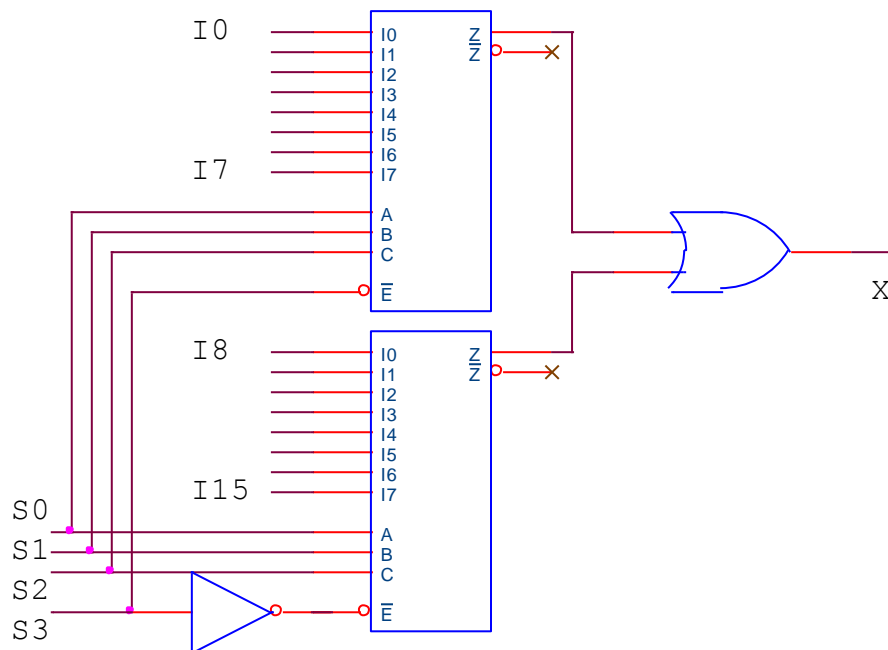
Hình 31. Sơ đồ mạch 1 trong 32 dùng 4 IC 74138 và cổng NOT

- Nhận xét: Hình 4 cho thấy 4 IC 74LS138 và một cổng NOT được sắp xếp để hoạt động như một bộ giải mã 1 trong 32. Các bộ giải mã lần lượt mang nhãn từ U_1 tới U_4 để dễ tham chiếu, và 8 ngõ xuất mỗi bộ giải mã được kế hợp thành 32 ngõ xuất. Các ngõ xuất của U_1 là \bar{Y}_0 tới \bar{Y}_7 , các ngõ xuất \bar{Y}_0 tới \bar{Y}_7 của U_2 được đổi tên thành \bar{Y}_8 tới \bar{Y}_{15} , tương tự các ngõ xuất của U_3 được đổi tên thành \bar{Y}_{16} tới \bar{Y}_{23} và các ngõ xuất của U_4 được đổi tên thành \bar{Y}_{24} tới \bar{Y}_{31} . một mã ngõ nhập 5 bits $A_4A_3A_2A_1A_0$ sẽ kích hoạt chỉ 1 trong 32 ngõ xuất này.
- Với năm ngõ nhập là $A_4A_3A_2A_1A_0 = 01101 \Rightarrow$ các bit A_4 và A_3 xác định xem chip nào trong 4 chip giải mã từ U_1 tới U_4 sẽ được cho phép, còn $A_2A_1A_0$ xác định ngõ xuất nào của chip đã cho phép sẽ được kích hoạt. Như vậy, U_2 đáp lại $A_2A_1A_0 =$ mã 101 và kích hoạt ngõ xuất \bar{Y}_5 của nó, ngõ xuất này đã được đổi tên thành \bar{Y}_{13} . Như vậy mã ngõ nhập 01101, tức mã nhị phân tương đương của mã thập phân 13,

sẽ làm cho ngõ xuất \bar{Y}_{13} xuống thấp, trong lúc tất cả ngõ xuất còn lại vẫn giữ mức cao.

1.4.3.2- Thiết kế mạch chọn kênh 16 ngõ nhập
Ta chọn 74151 để thiết kế mạch chọn kênh 16 ngõ nhập nhờ vào chân \bar{E}

➤ Sơ đồ mạch



Hình 32. Sơ đồ mạch chọn kênh 16 ngõ nhập

- Nhận xét: tương tự như mạch giải mã 1 trong 32 trên, nhờ vào chân \bar{E} , khi $S_3=0$, thì X sẽ xuất từ $I_0 \rightarrow I_7$, khi $S_3=1$, thì X sẽ xuất từ $I_8 \rightarrow I_{15}$.

1.4.3.3- Thiết kế mạch tổ hợp $Z = f(C, B, A)$

- Do ngõ xuất của 74151 có thể biểu diễn bằng công thức đại số như sau:

$$Z = \bar{C} \cdot \bar{B} \cdot \bar{A} \cdot I_0 + \bar{C} \cdot \bar{B} \cdot A \cdot I_1 + \bar{C} \cdot B \cdot \bar{A} \cdot I_2 + \bar{C} \cdot B \cdot A \cdot I_3 + C \cdot \bar{B} \cdot \bar{A} \cdot I_4 + C \cdot \bar{B} \cdot A \cdot I_5 + C \cdot B \cdot \bar{A} \cdot I_6 + C \cdot B \cdot A \cdot I_7$$

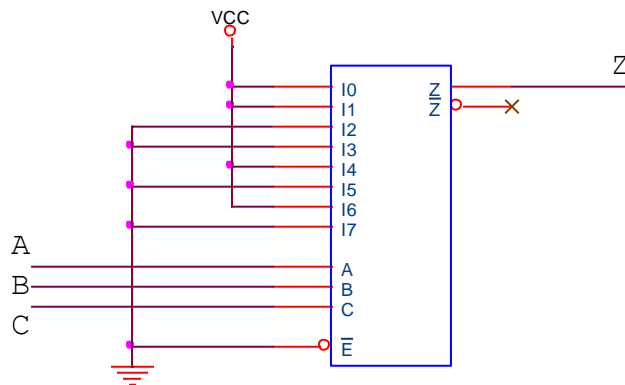
- Như vậy chỉ với một vi mạch 74151 duy nhất, ta có thể thiết kế mạch tổ hợp bất kỳ $Z = f(C, B, A)$ ví dụ cho bảng thực trị sau

C	B	A	Z
0	0	0	1
0	0	1	1
0	1	0	0

0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Bảng 18. Bảng thực trị của $Z = f(C, B, A)$

- Cách thiết kế như sau, ta nối biến C với chân C, biến B với chân B, biến A với chân A, chân \bar{E} nối đất, các chân I_k tương ứng với $Z = 0$ thì nối đất, chân I_k nào tương ứng với $Z = 1$ thì nối lên Vcc như sơ đồ mạch sau



Hình 33. Sơ đồ mạch tổ hợp 3 biến dùng 74151

1.4.3.4- Thiết kế mạch tổ hợp $Z = f(D, C, B, A)$

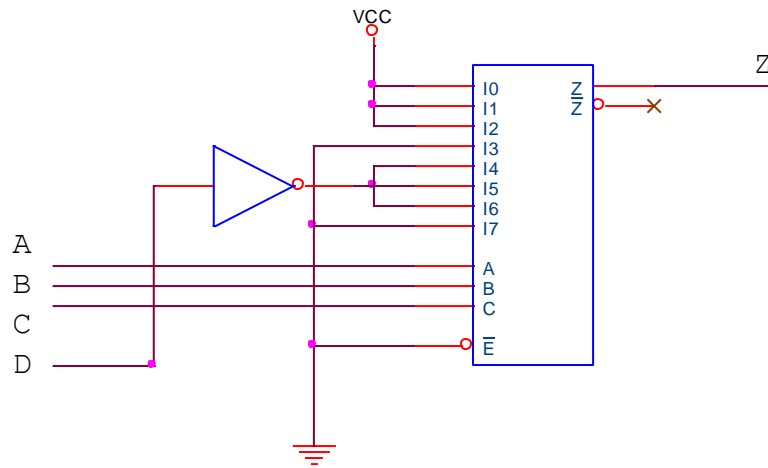
- 74151 chỉ có 3 chân C, B, A để thiết kế mạch tổ hợp 3 bit, muốn thiết kế mạch tổ hợp 4 bit $Z = f(D, C, B, A)$ ta phải nhờ thêm chân \bar{E} và cổng NOT.
- Bảng thực trị cho hàm $Z = f(D, C, B, A)$

D	C	B	A	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0

1	1	1	0	0
1	1	1	1	0

Bảng 19. Bảng thực trị cho một hàm 4 biến $Z = f(D, C, B, A)$

- Nhận xét 1: các chân I_k với $k \leq 7$ là $I_0, I_1, I_2, I_3, I_4, I_5, I_6, I_7$ tương ứng với $\overline{D}.x.x.x$
- Nhận xét 2: các chân I_l với $l = k+8$ là $I_8, I_9, I_{10}, I_{11}, I_{12}, I_{13}, I_{14}, I_{15}$ tương ứng với $D.x.x.x$
- Nhận xét 3: I_0 phản xứng với I_8, I_1 phản xứng với I_9, I_2 phản xứng với I_{10}, \dots, I_7 phản xứng với I_{15}
- Nhận xét 4: nếu từng cặp phản xứng đều là cho $Z=1$ thì chân I_k đó, với $k \leq 7$ sẽ nối V_{cc} .
- Nhận xét 5: nếu từng cặp phản xứng đều là cho $Z=0$ thì chân I_k đó, với $k \leq 7$ sẽ nối đất.
- Nhận xét 6: nếu chân I_k với $k \leq 7$ tương ứng với $Z=1$ mà chân phản xứng I_l với $l = k+8$ tương ứng với $Z=0$ thì chân I_k sẽ nối với biến D qua cổng NOT
- Nhận xét 7: nếu chân I_k với $k \leq 7$ tương ứng với $Z=0$ mà chân phản xứng I_l với $l = k+8$ tương ứng với $Z=1$ thì chân I_k sẽ nối trực tiếp với biến D
- Vậy từ bảng thực trị trên, ta có $I_0, I_8, I_1, I_9, I_2, I_{10}, I_4, I_5, I_6$ tương ứng với $Z=1 \Rightarrow$ **ba chân I_0, I_1, I_2 nối lên V_{cc}** , và I_4, I_5, I_6 không có phản xứng, thì **nối ba chân I_4, I_5, I_6 với biến D thông qua cổng NOT**, và I_3, I_{11}, I_7, I_{15} , tương ứng với $Z = 0 \Rightarrow$ **hai chân I_3, I_7 nối với đất**
- Sơ đồ mạch dùng 74151 để thiết kế hàm 4 biến $Z = f(D, C, B, A)$ theo bảng thực trị trên.



Hình 34. Sơ đồ mạch tổ hợp 4 biến dùng 74151

1.4.3.5- Thiết kế một mạch cộng hai số NBCD 4 bit

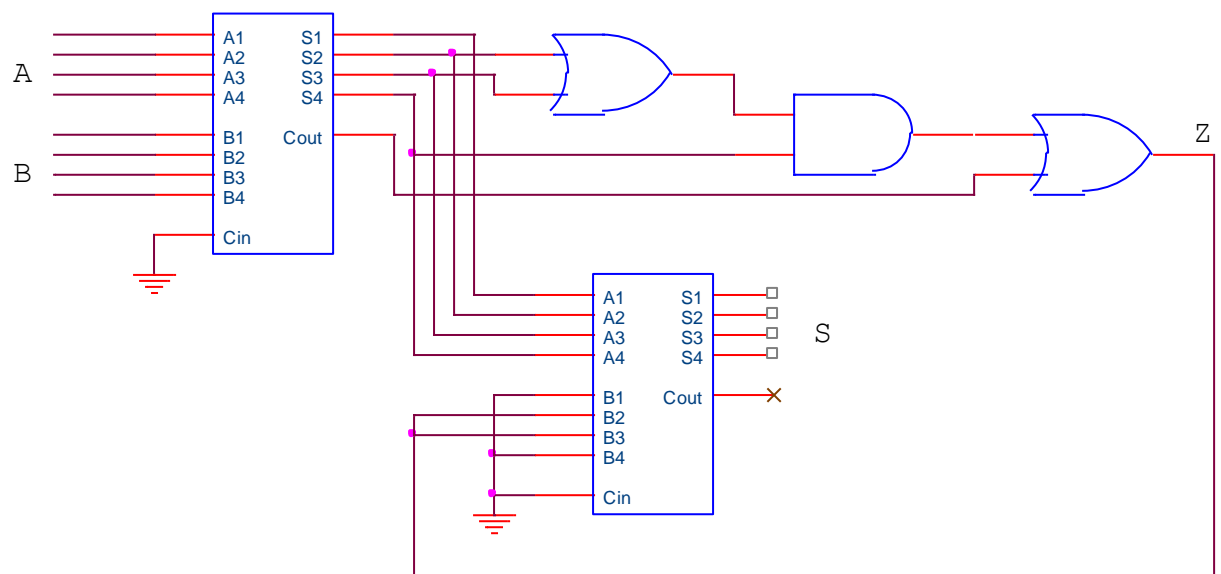
- Để cộng hai số NBCD 4 bit, ta dùng hai IC 7483 để thực hiện việc điều chỉnh cộng thêm 6 khi kết quả phép cộng nhị phân lớn hơn 10.
- Ta lập bảng thực trị

C_{out}	S_4	S_3	S_2	S_1	Z
0	0	0	0	0	0
...
0	1	0	0	1	0
0	1	0	1	0	1
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	x	x	x	x	1

Bảng 20. Bảng thực trị cho phép cộng BCD

- Từ bảng thực trị, những trường hợp mà kết quả cộng nhỏ hơn 10 thì ta không điều chỉnh, còn từ 10 trở lên ta phải cộng kết quả đó cho 6, ta rút ra công thức sau $Z = C_{out} + S_4.(S_3 + S_2)$

➤ Sơ đồ mạch



Hình 35. Sơ đồ mạch cộng hai số BCD 4 bit