

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH



BÁO CÁO THÍ NGHIỆM LAB 5

Môn: Hệ thống số

GVHD: Trần Hoàng Quốc Bảo

Lớp L07 Nhóm 02:

Thành viên	MSSV
Hoàng Thị Ngọc Anh	2210053
Lê Hoàng Ngọc Hân	2210935
Nguyễn Quốc Nhựt	2212481
Nguyễn Mạnh Tuấn	2213786

Hồ Chí Minh, 12/2022

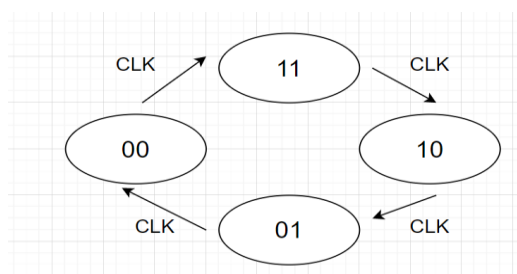
1. Thiết kế, mô phỏng và lắp mạch MOD-4 Synchronous DOWN Counter sử dụng D FlipFlop

1.1 Thiết kế:

Thiết kế mạch theo yêu cầu:

- **Step 1:** Xác định cơ chế hoạt động của mạch:
Synchronous Counter | DOWN Counter
- **Step 2:** Xác định FlipFlop:
D FlipFlop
Negative Edge Trigger
- **Step 3:** Xác định số FlipFlop cần hiện thực:
 - Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - Số State xảy ra của mạch yêu cầu: 4
 - Vậy mạch thiết kế cần có 2 FF để hoạt động.
- **Step 4:** Xác định State cần thể hiện và sự thay đổi của trạng thái:
001₂ (initial) \rightarrow 0010₂ \rightarrow 0001₂ \rightarrow 0000₂ \rightarrow 0011₂ (initial)

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5:** Bảng trạng thái của mạch yêu cầu.

Current State		Input		Next State	
QB	QA	DB	DA	QB	QA
0	0	1	1	1	1
0	1	0	0	0	0
1	0	0	1	0	1
1	1	1	0	1	0

Trong đó A là LSB và B là MSB.

- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

Bảng K-Map cho đầu vào D(A):

QB \ QA	0	1
0	1	0
1	1	0

Biểu thức cho D(A): $D(A) = QA'$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(A)

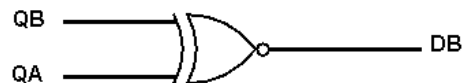


Bảng K-Map cho đầu vào D(B):

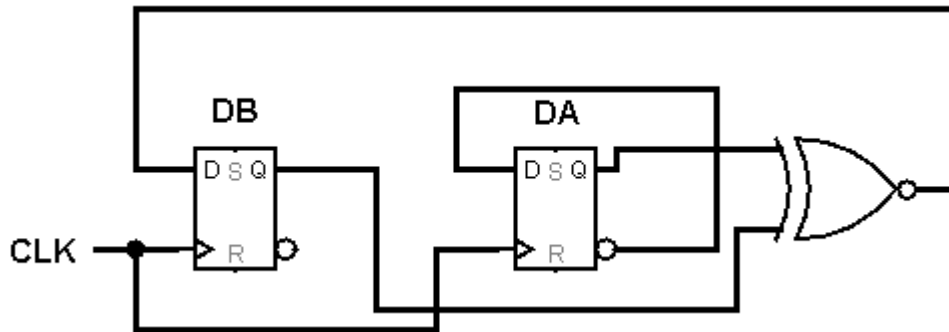
QB \ QA	0	1
0	1	0
1	0	1

Biểu thức cho D(B): $D(B) = QA'QB' + QAQB$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(B)

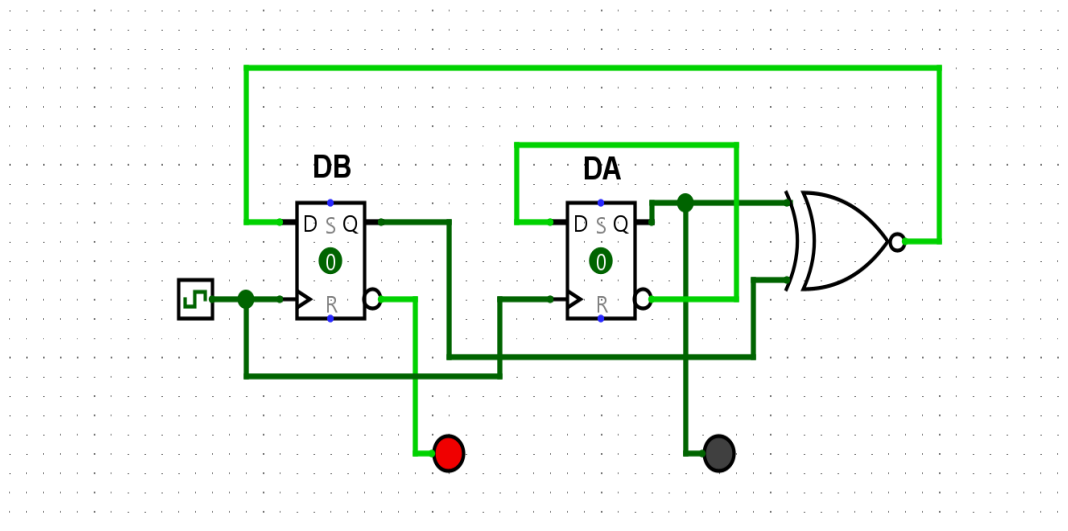


- **Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



1.2 Mô phỏng Logisim:

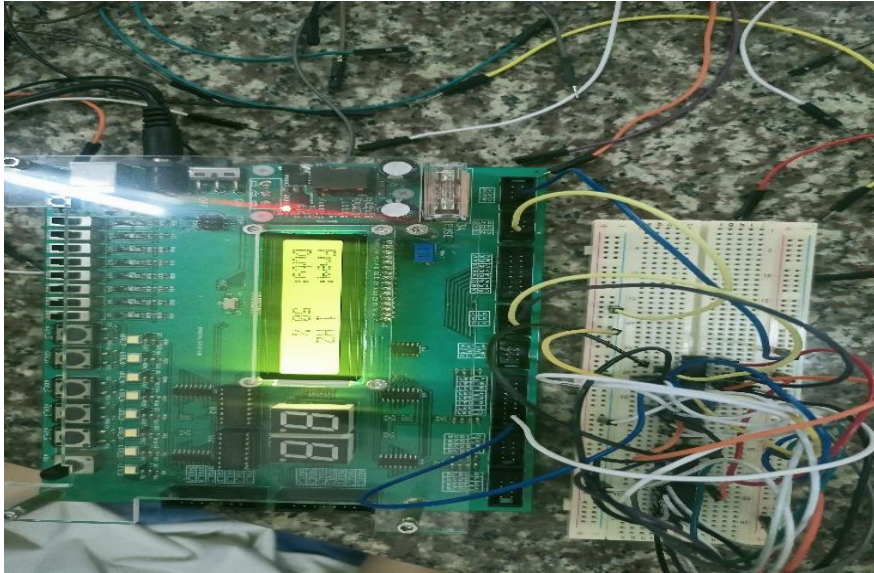
Hình mạch trên mô phỏng Logisim:



Link Video demo mạch hoạt động trên Logisim: [Bấm vào đây](#)

1.3 Lắp mạch:

Hình mạch lắp trên Tickit

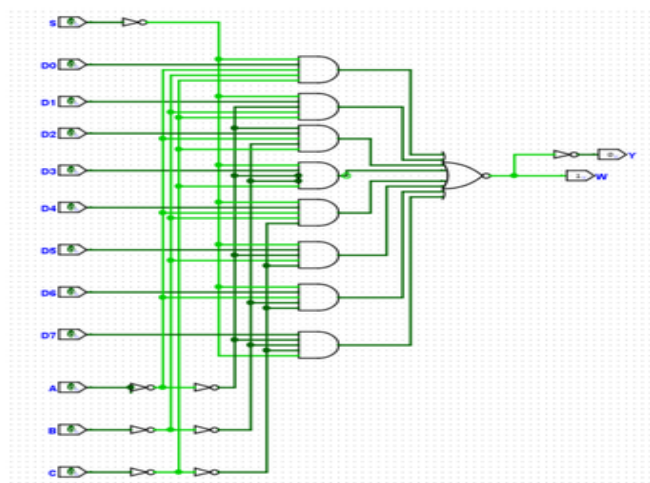


Link video demo nói về mạch hoạt động trên Tickit: [Bấm vào đây](#)

2. Thiết kế, mô phỏng, và lắp mạch 8-to-1 Multiplexer sử dụng IC 74151:

2.1 Thiết kế

Vẽ lại sơ đồ mạch nguyên lý 8-to-1 Multiplexer gồm các cổng luận lý dựa theo các chân của IC74151 thực tế:



Yêu cầu kết nối chân:

D2 → Clock

D5 → LSB ở bài 1

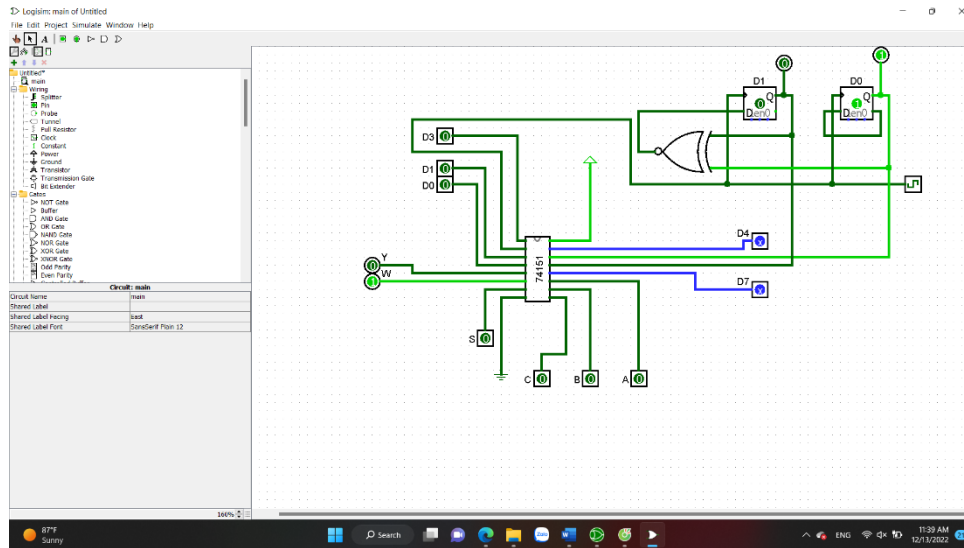
D6 → MSB ở bài 1

Bảng sự thật (Truth Table):

Input Select			Strobe	Output Y
A	B	C		
x	x	x	1	0
0	0	0	0	D0
0	0	1	0	D1
0	1	0	0	D2
0	1	1	0	D3
1	0	0	0	D4
1	0	1	0	D5
1	1	0	0	D6
1	1	1	0	D7

2.2 Mô phỏng

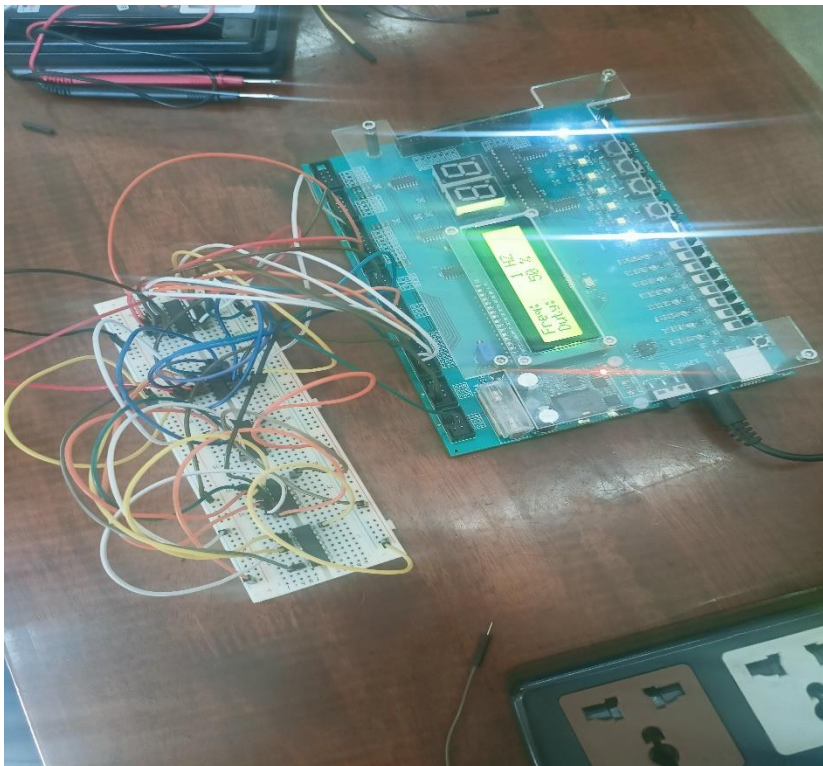
Hình thiết kế IC 74151 trên Logisim (kết nối với bài 1):



Link video demo hoạt động IC74151 trên Logisim: [Bấm vào đây](#)

2.3 Lắp mạch

Hình mạch lắp trên DS Kit:

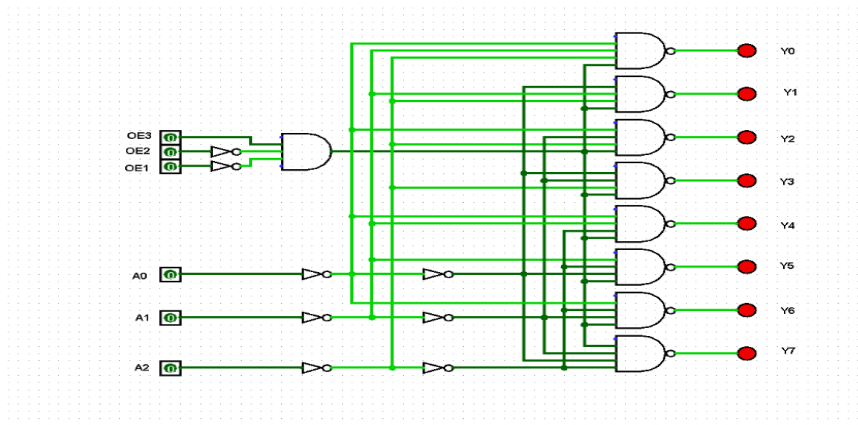


Link video demo nói về mạch lắp trên DS Kit: [Bấm vào đây](#)

3. Thiết kế và mô phỏng mạch 3-to-8 Decoder sử dụng IC74138:

3.1 Thiết kế

Vẽ lại sơ đồ mạch nguyên lý 3-to-8 Decoder gồm các cổng luận lý dựa theo các chân của IC74138 trong Logisim:

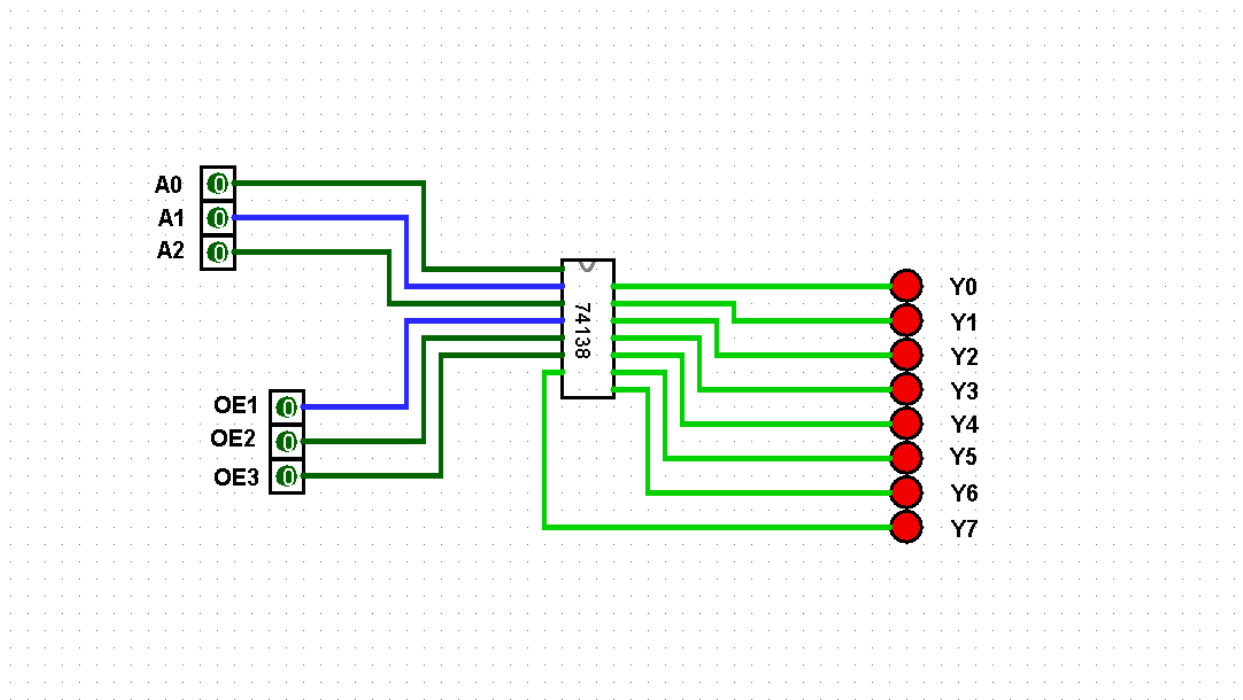


Bảng chân trị của mạch 3-to-8 Decoder IC74138 theo Logisim:

OE1	OE2	OE3	A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
1	0	0	0	1	0	1	1	1	1	1	1	1	1
0	0	1	1	0	0	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	0	1	1	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	0	1	1	1
0	1	0	0	0	0	1	1	1	1	1	1	1	1
0	0	1	1	1	0	1	0	1	1	1	1	1	1

3.2 Mô phỏng Logisim

Hình mạch mô phỏng trên Logisim



Video demo mạch hoạt động trên Logisim: [Bấm vào đây](#)

4. Thiết kế và mô phỏng mạch 8-bit magnitude comparator sử dụng IC7485:

4.1 Thiết kế

Cho các giá trị 8-bit sau:

- $A = 54_{10} = 00110110_2, B = 79_{10} = 01001111_2$
- $A = 88_{10} = 01011000_2, B = 200_{10} = 11001000_2$
- $A = 133_{10} = 10000101_2, B = 183_{10} = 10110111_2$
- $A = 22_{10} = 00010110_2, B = 22_{10} = 00010110_2$
- $A = 115_{10} = 01110011_2, B = 78_{10} = 01001110_2$
- $A = 35_{10} = 00100011_2, B = 253_{10} = 11111101_2$

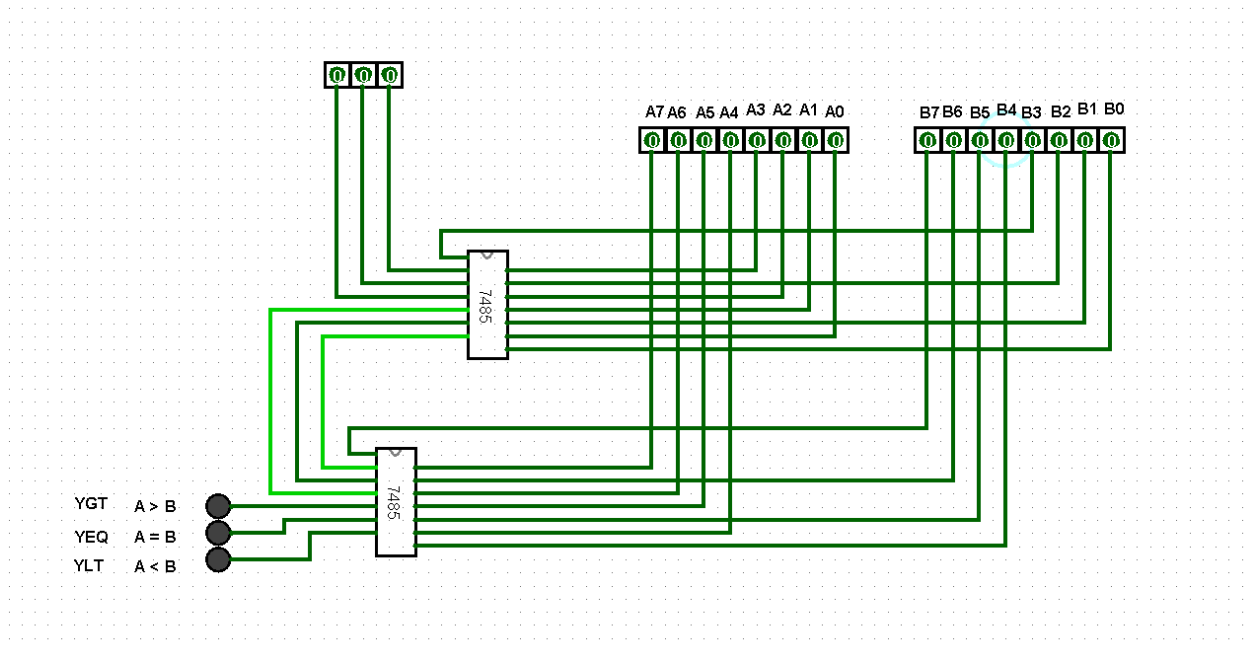
Hoàn thành bảng chân trị của mạch 8-bit magnitude comparator IC7485 theo Logisim

(Trong đó A0 và B0 là LSB):

A0	A1	A2	A3	A4	A5	A6	A7	B0	B1	B2	B3	B4	B5	B6	B7	YGT	YLT	YE Q
0	1	1	0	1	1	0	0	1	1	1	1	0	0	1	0	0	1	0
0	0	0	1	1	0	1	0	0	0	0	1	0	0	1	1	0	1	0
1	0	1	0	0	0	0	1	1	1	1	0	1	1	0	1	0	1	0
0	1	1	0	1	0	0	0	0	1	1	0	1	0	0	0	0	0	1
1	1	0	0	1	1	1	0	0	1	1	1	0	0	1	0	1	0	0
1	1	0	0	0	1	0	0	1	0	1	1	1	1	1	1	0	1	0

4.2 Mô phỏng Logisim

Hình mạch thiết kế trên Logisim



Link video demo mạch so sánh các số đã cho trên Logisim: [Bấm vào đây](#)

5. Thiết kế và mô phỏng MOD-5 Synchronous DOWN Counter sử dụng D FlipFlop

5.1 Thiết kế:

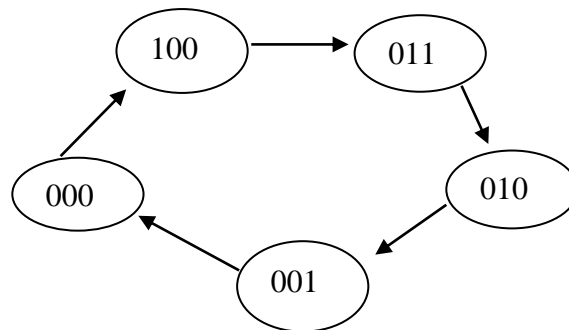
Thiết kế mạch theo yêu cầu:

- **Step 1:** Xác định cơ chế hoạt động của mạch:
Synchronous DOWN Counter
- **Step 2:** Xác định FlipFlop:
D Flip Flop
Positive Edge Trigger
- **Step 3:** Xác định số FlipFlop cần hiện thực:

- Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - Số State xảy ra của mạch yêu cầu: 5
 - Vậy mạch thiết kế cần có 3 FF để hoạt động.
- **Step 4**: Xác định State cần thể hiện và sự thay đổi của trạng thái:

100_2 (initial) $\rightarrow 011_2 \rightarrow 010_2 \rightarrow 001_2 \rightarrow 000_2 \rightarrow 100_2$ (initial)

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5**: Bảng trạng thái của mạch yêu cầu.

	Current state			Input			Next state		
CLK	QC	QB	QA	DC	DB	DA	QC	QB	QA
↑	0	0	0	1	0	0	1	0	0
↑	0	0	1	0	0	0	0	0	0
↑	0	1	0	0	0	1	0	0	1
↑	0	1	1	0	1	0	0	1	0
↑	1	0	0	0	1	1	0	1	1
↑	1	0	1	0	0	0	x	x	x
↑	1	1	0	0	0	0	x	x	x
↑	1	1	1	0	0	0	x	x	x

Trong đó A là LSB và C là MSB.

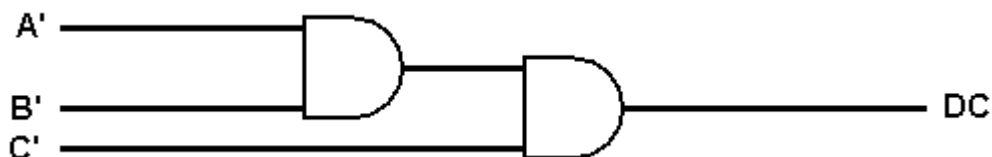
- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

- Bảng K-Map cho đầu vào D(C):

Table Template	B'A'	B'A	BA	BA'
C'	1	0	0	0
C	0	X	X	X

Biểu thức cho D(C): $D(C) = A'B'C'$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(C):

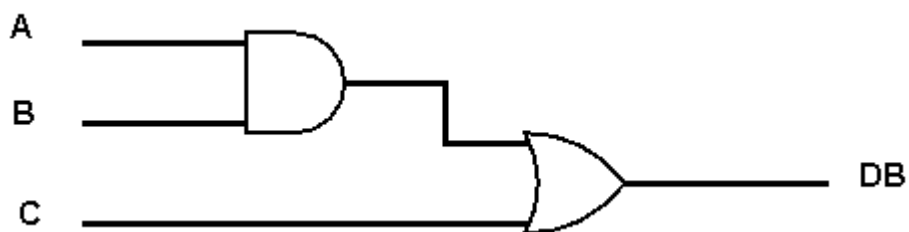


- Bảng K-Map cho đầu vào D(B):

Table Template	B'A'	B'A	BA	BA'
C'	0	0	1	0
C	1	X	X	X

Biểu thức cho D(B): $D(B) = C + AB$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(B):

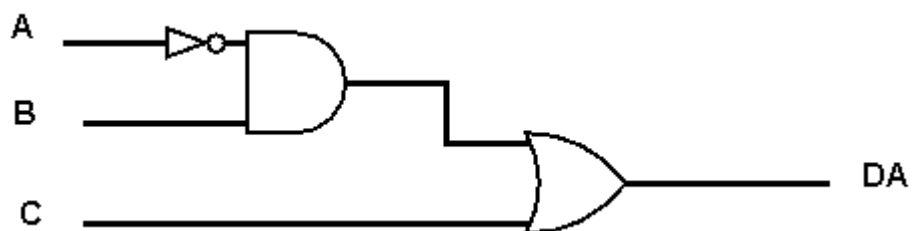


- Bảng K-Map cho đầu vào D(A):

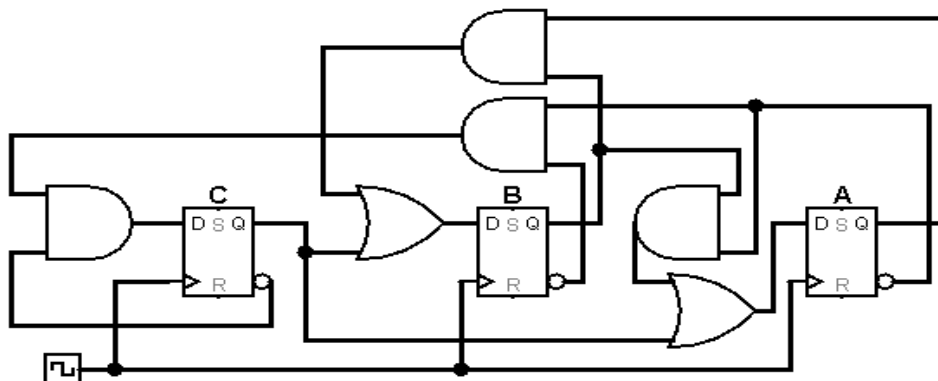
Table Template	B'A'	B'A	BA	BA'
C'	0	0	0	1
C	1	X	X	X

Biểu thức cho D(A): $D(A) = C + BA'$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(A):

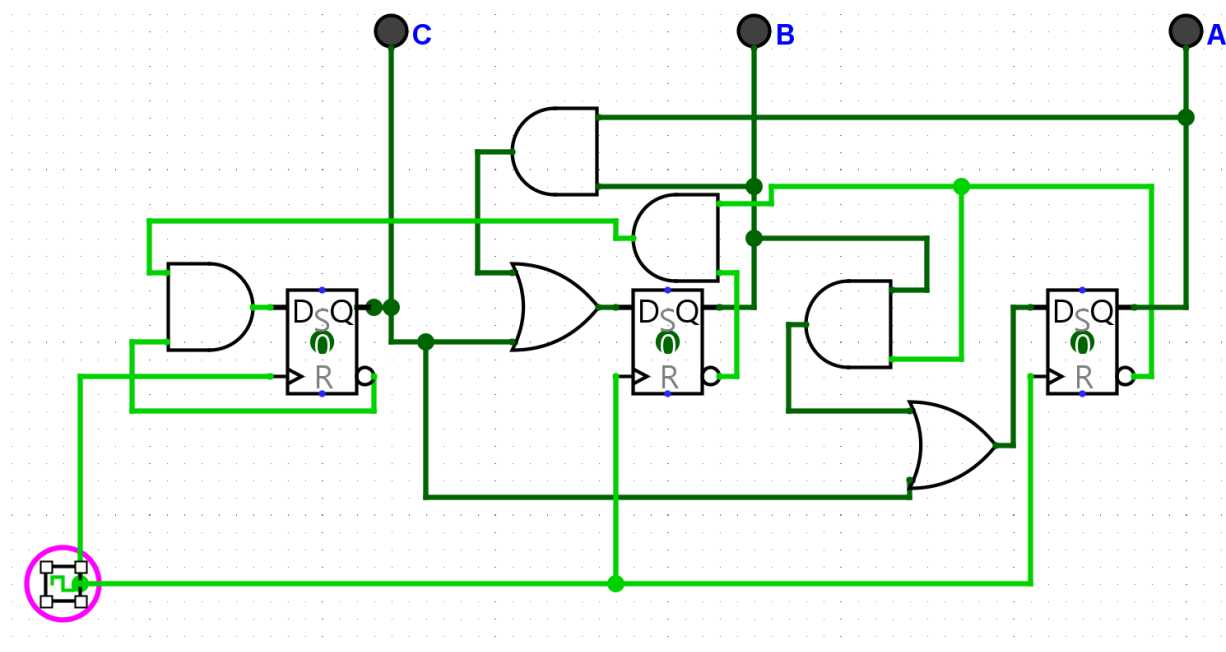


- **Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



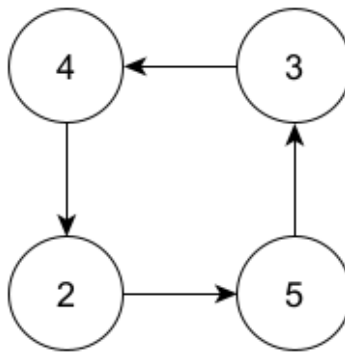
5.2 Mô phỏng Logisim:

Hình mạch trên mô phỏng Logisim:



Link Video demo mạch hoạt động trên Logisim: [Bấm vào đây](#)

6. Thiết kế, mô phỏng và lắp mạch Synchronous Counter sử dụng D FlipFlop dựa theo trạng thái sau:



6.1 Thiết kế:

Thiết kế mạch theo yêu cầu:

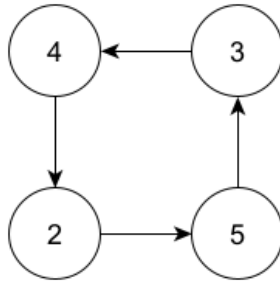
- **Step 1**: Xác định cơ chế hoạt động của mạch:
Synchronous Counter
- **Step 2**: Xác định FlipFlop:
D FlipFlop
Positive Edge Trigger
- **Step 3**: Xác định số FlipFlop cần hiện thực:
 - Gọi n là số FlipFlop cần thực hiện, như vậy ta có $2^n - 1$ số trạng thái có thể xảy ra mà FF đếm được.
 - Như vậy số trạng thái được yêu cầu $\leq 2^n - 1$
 - Số State xảy ra của mạch yêu cầu: 4

- Vậy mạch thiết kế cần có 3 FF để hoạt động.

- **Step 4:** Xác định State cần thể hiện và sự thay đổi của trạng thái:

010_2 (initial) $\rightarrow 101_2 \rightarrow 011_2 \rightarrow 100_2 \rightarrow 010_2$ (initial)

Sơ đồ thay đổi trạng thái của mạch hoạt động:



- **Step 5:** Bảng trạng thái của mạch yêu cầu.

Current state				Input			Next state		
CLK	QC	QB	QA	DC	DB	DA	QC	QB	QA
↑	0	0	0	x	x	x	x	x	x
↑	0	0	1	x	x	x	x	x	x
↑	0	1	0	1	0	1	1	0	1
↑	0	1	1	1	0	0	1	0	0
↑	1	0	0	0	1	0	0	1	0
↑	1	0	1	0	1	1	0	1	1
↑	1	1	0	x	x	x	x	x	x
↑	1	1	1	x	x	x	x	x	x

Trong đó A là LSB và C là MSB.

- **Step 6:** Lập bảng K-Map và thể hiện biểu thức rút gọn cho kết nối.

- Bảng K-Map cho đầu vào D(C):

	B'A'	B'A	BA	BA'
C'	X	X	1	1
C	0	0	X	X

Biểu thức cho D(C): $D(C)=B$

- Bảng K-Map cho đầu vào D(B):

	B'A'	B'A	BA	BA'
C'	X	X	0	0
C	1	1	x	x

Biểu thức cho D(B): $D(B)=B'$

Sơ đồ chân kết nối đầu ra Q và đầu vào D(B):

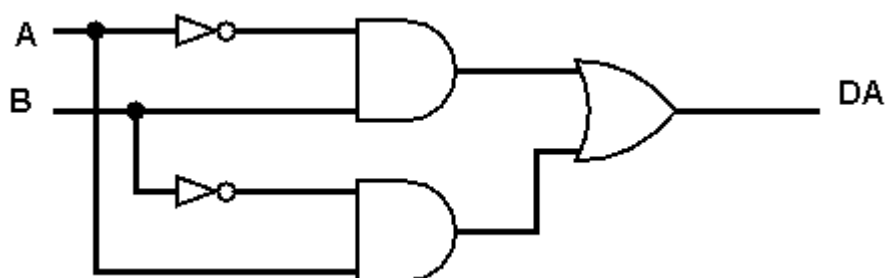


- Bảng K-Map cho đầu vào D(A):

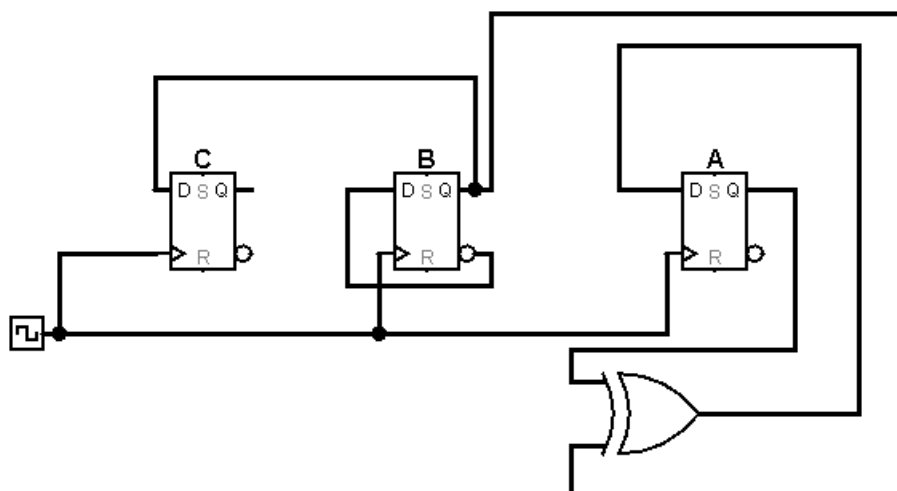
	$B'A'$	$B'A$	BA	BA'
C'	X	X	0	1
C	0	1	x	x

Biểu thức cho $D(A)$: $D(A) = B'A + A'B$

Sơ đồ chân kết nối đầu ra Q và đầu vào $D(A)$:

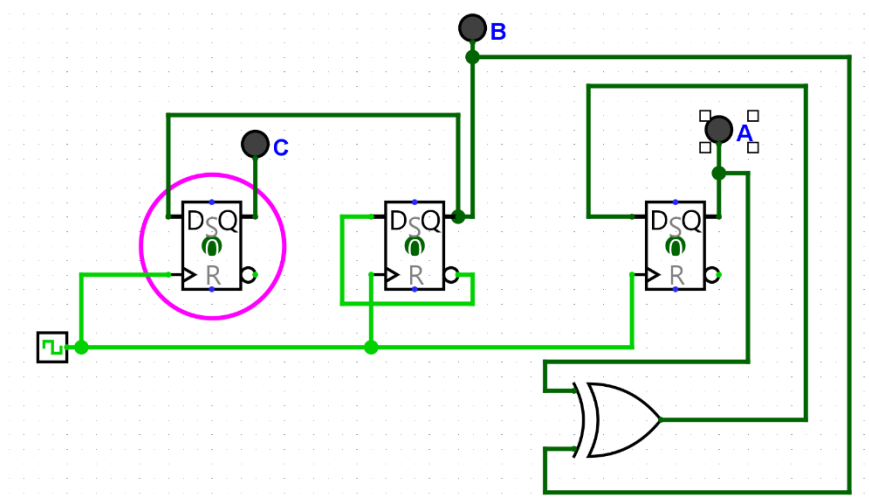


- Step 7:** Sơ đồ thiết kế toàn bộ mạch yêu cầu:



6.2 Mô phỏng Logisim:

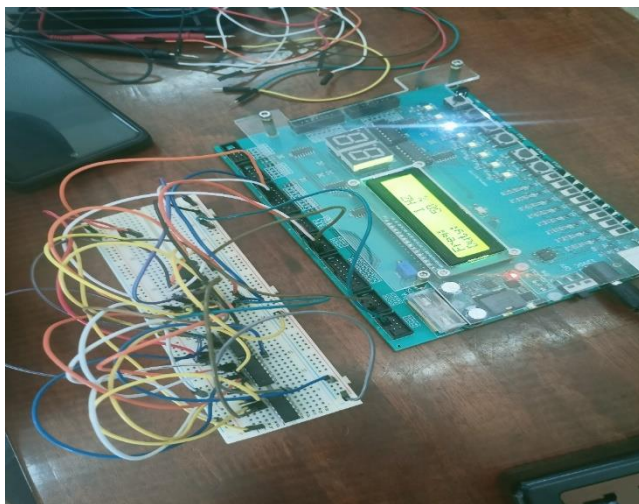
Hình mạch trên mô phỏng Logisim:



Link Video demo mạch hoạt động trên Logisim: [Bấm vào đây](#)

6.3 Lắp mạch:

Hình mạch lắp trên Tackit:



Link video demo nói về mạch hoạt động trên Tackit: [Bấm vào đây](#)

---HẾT---

