NAME PAGES SPEAKER/CLASS DATE-TIME Microcontrolodos 12/09/2024

Title: I mestigación sobre los arquitecturas de CPU (RISC-V)

Keyword	Topic: Introducción
Aplicacións hardware aptimización	Sa arguitectura que Source RISC-V en una ISA de cadigo que permite una revolución en el directo de chips, sa que se prever que tendro un lerguage universal y na estará en pasan manos a
	Esto re angeza a desanallarse a principios de la años 80 ru novior RVSC-1, era may limitado: 0.5 MIPS y 32 bit.
	La arquitectura RISC-V permite centrarse en madulas ano tento en aplicacione. Esto tiene una nentoja la que plecibilidad padaptabilidad a todo tipo de enternos.
	à conjunto de instruccione de RISC-V es relativa merte pequero y simple, lo que bacilita la aplimigación y la implementación en handware.

Summary: Su disero simple y existente permite a la desarrolladore personalizar conjuntos de instruccione, segur sus recuridade positionale la implementación en diversos dispositivos. Esta plendeidade ha inpulsado su adaptación en aplicaciones que son desde microconhaladores hasta super computadores. RISC-V promune la innovación y el desarrollo.

STRUCTURED NOTES 2022

Bu Carles Picharda Vinane

NAME PAGES SPEAKER/CLASS DATE-TIME Nicole Manday 3-2 miorocontralador 12/09/2024

Title: Investigación sobre los arquitectura de CPV (RISC-V)

Keyword	Topic: Funcionamienta
· Disaxo · Aphroción · Intrucción	RISC V signe el ciclo típico de quención de instruscione a procesadores que incluye la busqueda (petch) decadificación (decade), esecución (sescute) y escrituro (unite back) de los instruscions.
	So instruccione de RISC-V tiener in pormato uniforne la que simplifica el diseño del desadificador Esto permite que el proceso gente multiple instruccione or poralelo regionado el rendimiento. Capacialados
Questions	
	La arquitestura o escalable lo que se significa que puede implementarse en una amplia gama de dispativos
	RISC-V permite a los diseñaslors agregor intre- ccione specifica que se quister a resendade particula- re do la aplicación lo que aptimiza el rendimiento de la tarea.
	Ela discrado para ser exisiente en terminos de comsumo energe. Tico, lo que has ideal para dispositiva mariles o lat.

Summary: Es una organitectura de conjunto de instrucciones (ISA) abierta y madular que se conocteriza por su diseño simple y exiciente. RISC-V permite a las diseñados para crea procesadores parsonalizados ser somateo de immovación y la calaboración en el ambito del harunos

STRUCTURED NOTES 2022

Bu Carles Pichardo Vingue