



מערכות ספרתיות ומבנה המחשב (044252)

סמסטר אביב תש"פ

בחינה סופית – מועד א 2 באוגוסט 2020

טור 1

--	--	--	--	--	--	--	--	--

מספר סטודנט

משך המבחן: 3 שעות (180 דקות). **תכננו את זמנכם היטב.**

חומר עזר: אין להשתמש בכל חומר עזר בכתב, מודפס או אלקטרוני, פרט לדפי העזר שיחולקו במהלך הבחינה ולמחשבון.

הנחיות והוראות:

- הבחינה כתובה על גבי 22 עמודים כולל עמוד זה והעמוד הקודם (בדקו בתחילת הבחינה שלא חסרים לכם עמודים).
- בתחילת הבחינה תקבלו חוברת בחינה, מחברת טיוטה, דפי עזר וטופס תשובות ממוחשב. בסיום הבחינה, החזירו את חוברת הבחינה וטופס התשובות הממוחשב בלבד.
- יש לענות על כל השאלות בגוף המבחן ובנוסף להעתיק את תשובותיכם הסופיות אל דפי התשובות.
- אין לתלוש או להפריד דפים מחוברת הבחינה, ממחברות הטיוטה ומדפי העזר.
- יש לכתוב את התשובות באמצעות עט שחור או כחול בלבד. אין לכתוב או לצייר בעט אדום.
- רשמו את מספר הסטודנט שלכם על חוברת הבחינה (בראש עמוד זה), על דפי העזר, ועל כל מחברות הטיוטה. **ודאו כי על מחברת הבחינה ועל טופס התשובות האמריקאי מודבקת מדבקת הנבחן שלכם.**
- לא מורדות נקודות (אין "קנס") בגין תשובה שגויה. לכן, כדאי לסמן תשובה כלשהי לכל שאלה.
- ציון שאלות רב הברירה ייקבע על סמך סריקה ממוחשבת של טופס התשובות בלבד. **לא לשכוח לסמן בטופס התשובות הממוחשב את מספר הטור שלכם (מופיע בראש עמוד זה).**
- את התשובות לשאלות הפתוחות יש לכתוב בדף אשר מצורף בתחילת מחברת הבחינה. לנוחיותכם, בכל שאלה פתוחה ישנו איזור לכתיבת הפתרון, אך תשובות אשר ייכתבו באיזור זה לא יבדקו.
- אסור שימוש בכל חומר חיצוני מלבד מחשבון. אסורה העברת חומר כלשהו בין הנבחנים, ואסורה כל תקשורת עם אנשים אחרים או כל מקור מידע. האיסור חל על כל צורות התקשורת – מילולית, חזותית, כתובה, אלקטרונית, אלחוטית, טלפית, או אחרת. בפרט, אין להחזיק בטלפון סלולארי.

בהצלחה!



שאלה 13:

<i>Pcsource</i>	<i>PCwrite</i>	<i>Regwrite</i>	<i>PCCen</i>	<i>IntExcep</i>	<i>CauseWrite</i>	<i>SEPCWrite</i>	<i>IntCause</i>

א.

	6	7	8	10
<i>IntExcep</i>				

ב.

<i>t2</i>	
<i>t3</i>	

שאלה 14:

0x1AA0 000C	OuterLoop:	sub s3, s1, s0	// s3 = N-i-1
0x1AA0 0010		addi s3, s3, -1	
0x1AA0 0014	InternalLoop:	slli t0, s2, _____	
0x1AA0 0018		add t0, t0, _____	
0x1AA0 001C		addi t1, _____, 4	// access a[j]
0x1AA0 0020		lw a0, 0(t0)	// access a[j+1]
0x1AA0 0024		lw a1, 0(t1)	
0x1AA0 0028		bge _____, _____, _____	// swap cells
0x1AA0 002C		_____ a1, 0(_____)	
0x1AA0 0030		_____ a0, 0(_____)	
0x1AA0 0034	AfterSwap:	addi s2, s2, 1	
0x1AA0 0038		bne s3, s2, InternalLoop	
0x1AA0 003C		addi _____, x0, _____	// j = 0
0x1AA0 0040		addi s0, s0, 1	
0x1AA0 0044		bne s0, s7, OuterLoop	
0x1AA0 0048	Exit:		// done



שאלה 15:

א.	ב.	ג.	ד.

שאלה 16:

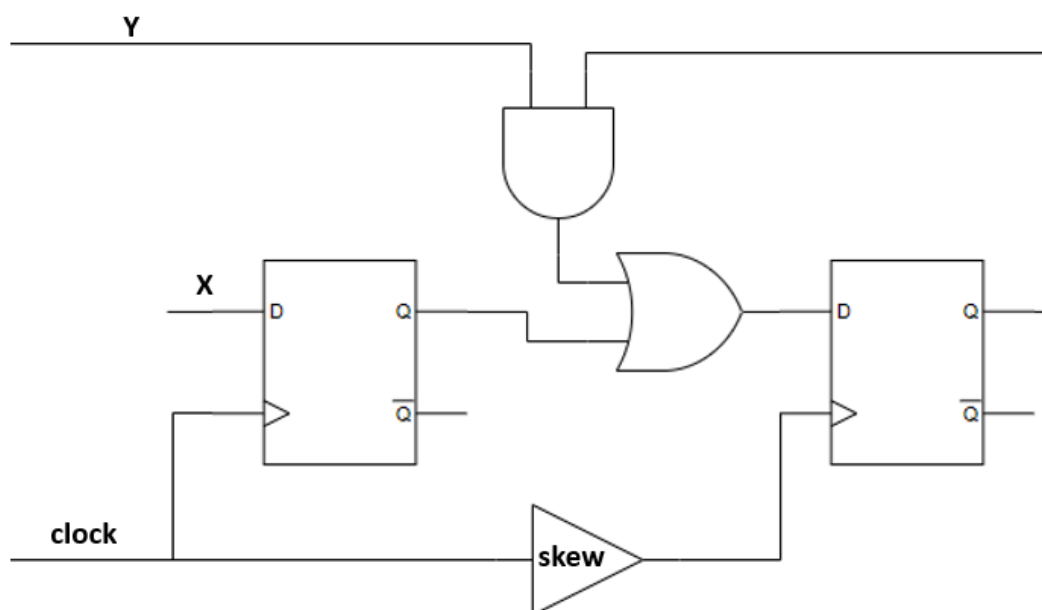
<div>XY</div> <div>ZW</div>					
		00	01	11	10
00					
01					
11					
10					

$f(x, y, z, w) =$



שאלה 17:

א. פועל בצורה תקינה	כן / לא
ב. מבין הערכים הבאים, מהו הערך של t_{skew} עבורו המעגל עומד במשטר הזמנים הדינאמי?	<p>1. $-2ns$</p> <p>2. $3ns$</p> <p>3. $0ns$</p> <p>4. אף ערך</p> <p>5. $1ns$</p>
ג.	$\leq t_{buffer} \leq$





שאלה 1 (5 נקודות)

נתון קוד ה-SystemVerilog הבא:

```
module my_module(  
    input logic clk,  
    input logic [1:0] a,  
    input logic b,  
    output logic o1,  
    output logic o2,  
    output logic o3,  
    output logic o4  
);  
  
    always_comb begin  
        casex(a)  
            2'b00: o1 = 1'b0;  
            2'b1?: o1 = 1'b1;  
        endcase  
    end  
  
    always_ff @(posedge clk) begin  
        o2 = b;  
        o3 <= a[0];  
        o4 = o3;  
    end  
endmodule
```

כמה רכיבי זיכרון ייווצרו בתהליך הסינתזה של קוד זה?

- א. 1
- ב. 2
- ג. 3
- ד. 4
- ה. 5



שאלה 2 (5 נקודות)

נתון אוסף מילים באורך 4 ביט מהצורה $abcd$. אוסף המילים מהווה קוד, כאשר a הוא ה- MSB ו- d הוא ה- LSB . בכדי לשפר את יכולת גילוי השגיאות, הוחלט להרחיב את מילות הקוד המקורי כך שכל מילה תהיה מהצורה $abcdxyz$, כאשר מתקיים:

x – סיבית הזוגיות של המילה $abcd$ אשר שייכת לקוד המקורי
 y – סיבית אי-הזוגיות של המילה $abcd$ אשר שייכת לקוד המקורי, כלומר סיבית אשר גורמת למספר ה-1-ים במילה להיות אי זוגי.
 z – סיביות הזוגיות של המילה $abcdxy$.

- הניחו כי הקוד מכיל לפחות שתי מילים, ובחרו את הטענה הנכונה:
- עבור כל קוד מהצורה $\{abcd\}$, הקוד המורחב, $\{abcdxyz\}$, מגדיל את מרחק הקוד ב-3
 - בהינתן כי מרחק הקוד של הקוד המקורי, $\{abcd\}$, הוא 2, מרחק הקוד של הקוד החדש, $\{abcdxyz\}$, הינו בהכרח 5
 - קיים קוד מקורי, $\{abcd\}$, בעל מרחק קוד השווה ל-1, אשר הקוד המורחב שנוצר על בסיסו, $\{abcdxyz\}$, הוא בעל מרחק קוד השווה ל-4
 - קיים קוד מקורי, $\{abcd\}$, בעל מרחק קוד השווה ל-1, אשר הקוד המורחב שנוצר על בסיסו, $\{abcdxyz\}$, הוא בעל מרחק קוד השווה ל-1
 - תשובות ב' ו-ג' נכונות



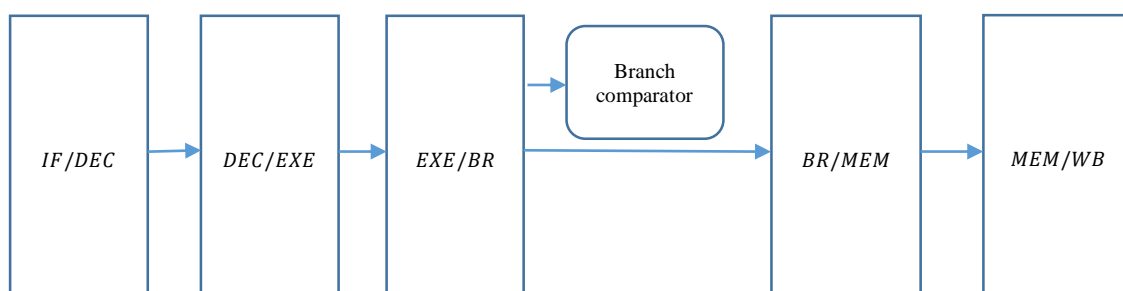
שאלה 3 (5 נקודות)

בשאלה זו התעלמו מקיום תנאי ה-hold במערכת. במהלך התכנון של מעבד Pipelined RISC-V, בעל מנגנון forwarding מלא (WB → DEC, MEM → EXE, WB → EXE) hazard detection unit-ו (WB → DEC, MEM → EXE, WB → EXE) קבלת ההחלטה על branch מתקבלת בשלב ה-execute. זמני ה-setup וה- t_{pcq} של רגיסטר PC זהים לאלו של הרגיסטרים אשר מפרידים בין השלבים. במעבד נפלה תקלה אשר גרמה להפרה של תנאי ה-setup של משטר הזמנים הדינאמי בשלב ה-execute. התקלה נגרמת מכיוון שזמן ה- t_{pd} של ה-Branch comparator הוא גדול מידי. בנוסף, התגלה כי תהליך הייצור גורם להיווצרותו של skew ברגיסטר mem/wb (ביחס לרגיסטרים האחרים אשר מפרידים בין השלבים השונים), וכי לא ניתן למנוע סטייה זו בשום צורה. בטבלה מתוארים פרמטרי המערכת. רכיבים אשר זמן ה- t_{pd} שלהם לא צוין הם בעלי זמן t_{pd} זניח.

Timing	
5ns	Memory access (data or instruction)
4ns	Read/write a value from/to the register file
5ns	ALU operation
7ns	branch comparator
10ns	T (זמן המחזור של המעבד המקורי)
3ns	Skew
3ns	$t_{pcq}(IF/DEC), (DEC/EXE), (EXE/MEM), (MEM/WB), (BR/MEM)$
2ns	$t_{su}(IF/DEC), (DEC/EXE), (EXE/MEM), (MEM/WB), (BR/MEM)$
1ns	$t_{pcq}(EXE/BR)$
1ns	$t_{su}(EXE/BR)$

- בכדי לפתור את הבעיה הוצעו שלושה רעיונות:
1. הגדלת זמן המחזור של המעבד: $T_{new} = 12ns$
 2. הוספת שלב חדש ל-Pipeline בין שלב ה-execute לשלב ה-memory, אשר יקרא br. רכיב ה-branch comparator יעבור לשלב זה. במידה וישנו צורך ב-forwarding, הוא מבוצע בשלב ה-execute והשלב החדש מקבל את הערכים העדכניים ביותר. התמיכה הרלוונטית לצורך תפקוד תקין של מנגנון ה-forwarding הכללי נוספת גם היא. הרגיסטר exe/br, יפריד בין שלב ה-exe לשלב ה-br ויהיה בעל הפרמטרים אשר צוינו בטבלה. פרמטרי הרגיסטר אשר יפריד בין שלב ה-br לשלב ה-mem, br/mem, זיהם לרגיסטרים המקוריים ומופיעים בטבלה. זמן המחזור של המעבד נקבע על פי השינויים. מצורף איור של הצעה זו.
 3. השארת המעבד המקורי ללא שינוי, למעט העברה של רכיב ה-branch comparator לשלב ה-memory.

הצעה 2:





העדיפות העיקרית של מתכנני המערכת הוא **latency קצר ורק לאחר מכן throughput גבוה (מקסימלי)**.

מבין מהמשפטים הבאים, מהו המשפט הנכון על בסיס שיקולי המתכננים?

- ההצעה הטובה ביותר היא הצעה 2, לאחריה הצעה 3 ולבסוף הצעה 1
- ההצעה הטובה ביותר היא הצעה 2, לאחריה הצעה 1 ולבסוף הצעה 3
- ההצעה הטובה ביותר היא הצעה 3, לאחריה הצעה 2 ולבסוף הצעה 1
- ההצעה הטובה ביותר היא הצעה 3, לאחריה הצעה 1 ולבסוף הצעה 2
- הצעות 1 ו-3 שקולות, וטובות יותר מהצעה 2

שאלה 4 (5 נקודות):

נתוני שאלה זו זהים לאלו של השאלה הקודמת. כל שלוש ההצעות עובדות תחת ההנחה שפקודות קפיצה אינן מתבצעות, ובמידה ומתגלה כי קפיצה כן צריכה להתבצע מבוצע שימוש במגנון flush בדומה לנלמד בכיתה.

מהו מספר הפקודות אשר עליהן מתבצע ה-flush במידה ויש בו צורך?

- הצעה 1 – 2 פקודות, הצעה 2 – 2 פקודות, הצעה 3 – 2 פקודות
- הצעה 1 – 2 פקודות, הצעה 2 – 2 פקודות, הצעה 3 – 3 פקודות
- הצעה 1 – 2 פקודות, הצעה 2 – 3 פקודות, הצעה 3 – 3 פקודות
- הצעה 1 – 3 פקודות, הצעה 2 – 3 פקודות, הצעה 3 – 3 פקודות

שאלה 5 (5 נקודות)

נתונות שתי פונקציות: f ו- g המקבלות כקלט מספר בינארי בן 4 סיביות $wxyz$. הפונקציה f מוציאה 1 אם ורק אם המספר מתחלק ב-3' ללא שארית. הפונקציה g מוציאה 1 אם ורק אם המספר מתחלק ב-2' ללא שארית. שימו לב: המספר 0 אינו יכול להתקבל כקלט.

הפונקציה h ממומשת באופן הבא:

$$h(w, x, y, z) = (f(w, x, y, z) \oplus g(w, x, y, z)) \cdot \overline{wxyz}$$

כאשר הסימן \oplus מציין את הפונקציה XOR.

כאשר מצמצמים את h כסכום מכפלות, אילו מהביטויים הבאים מתאר את הפונקציה המצומצמת ביותר?

- $h(w, x, y, z) = w'y'z' + wx'y' + wyz' + w'x'y$
- $h(w, x, y, z) = w'y'z' + wx'y' + wyz' + w'x'y + x'z'$
- $h(w, x, y, z) = x'z'$
- $h(w, x, y, z) = x'z' + wxyz$
- התשובות א' – ד' אינן נכונות



שאלה 6 (5 נקודות)

נתונה הפונקציה הבאה: $f(w, x, y, z) = \sum(3, 4, 5, 11, 12, 13) + \sum_{\phi}(6, 7, 15)$ במעבדה ישנם בוררים (סלקטורים) בגדלים שונים, ושערי AND ו-OR (לא ניתן להשתמש ב-NOT).

מהנדס מעוניין לממש את הפונקציה בעזרת מספר מינימלי של בוררים בעדיפות ראשונה, ובוררים קטנים ככל האפשר בעדיפות שניה. ניתן להשתמש בשערים הלוגיים הנתונים באופן חופשי.

איך ניתן לממש את הפונקציה באופן המיטבית על פי סדר העדיפויות אשר הוגדר?

- א. אין צורך בבוררים במימוש הפונקציה.
- ב. בעזרת בורר $1 \rightarrow 2$ יחיד.
- ג. בעזרת בורר $1 \rightarrow 4$ יחיד.
- ד. בעזרת בורר $1 \rightarrow 8$ יחיד.
- ה. בעזרת שני בוררים בגודל $1 \rightarrow 4$.

שאלה 7 (5 נקודות)

עבור הפקודות הבאות, איזו פקודה לא ניתן לממש כפקודה אמיתית (לא פסאודו-פקודה) במעבד ה-Multicycle RISC-V? ניתן לבצע שינויים בבקר והוספת בוררים וחיוטים במסלול הנתונים של המעבד, אך אסור לבצע שינויים ביחידות ה-Register file, Memory, ALU.

א. פקודת `swap rd, rs1, rs2` אשר מחליפה בין התוכן של שלושת הרגיסטרים כך שמתקיים:

`rs1->rs2, rs2->rd, rd->rs1`

ב. פקודת `mv rd, rs1, rs2` אשר טוענת את הערך השמור ברגיסטר `rd` לרגיסטרים `rs1` ו-`rs2`.

ג. פקודת `addi24 rd, rs, imm` אשר מוסיפה ערך `imm` בגודל 24 ביט לערך אשר שמור ברגיסטר `rs` ושומרת את התוצאה ברגיסטר `rd`.

ד. פקודת `add3 rd, rs1, rs2` אשר מבצעת את הפעולה `rd=rd+rs1+rs2` (שומרת את התוצאה לרגיסטר `rd`).

ה. ניתן לממש את כל הפקודות הנ"ל.



שאלה 8 (5 נקודות)

נתונה טבלת המעברים של מערכת עקיבה בעלת כניסה אחת, X , ויציאה אחת, Z :

	$X=0$		$X=1$	
Present State	Next state	Z	Next state	Z
A	A	0	B	0
B	E	0	C	0
C	A	0	D	0
D	A	0	D	1
E	E	0	F	0
F	E	0	C	0

מהן מחלקות השקילות אשר מתקבלות מצמצום מכונת המצבים הנתונה?

- א. (ABCDEF)
- ב. (AB)(CD)(EF)
- ג. (AE)(BF)(CD)
- ד. (A)(B)(C)(D)(E)(F)
- ה. (AE)(BF)(C)(D)

שאלה 9 (5 נקודות)

התקשורת בין חיפה לתל אביב מתבססת על פרוטוקול ה-UART הבסיסי כפי שנלמד בכיתה (בכל שידור נשלחות 8 סיביות מידע, סיבית start וסיבית stop). על הקו נשלחות מילים (words) **באורך 64 סיביות**. קצב שידור המילים הוא

$$f_{word} = 2000 \left[\frac{words}{sec} \right]$$

לאור השיבושים הרבים בקו התקשורת, החליטו מתכנני הקו לשלוח, בנוסף למילה המקורית, סיבית זוגיות עבור כל בית במילה, ללא ביצוע שינויים בפרוטוקול ה-UART הבסיסי כפי שנלמד בכיתה. השינוי היחיד אשר ניתן לבצע הוא שינוי משך השידור של ביט בודד (T_{bit}).

מהו משך השידור $T_{bit-new}$ אשר יאפשר שמירה על קצב שידור המילים המקורי?

- א. $5.56 \mu sec$
- ב. $5.68 \mu sec$
- ג. $6.25 \mu sec$
- ד. $6.94 \mu sec$
- ה. $7.81 \mu sec$



שאלה 10 (5 נקודות)

במפעל לייצור מעבדים התגלתה תקלה במעבדי ה-Multicycle RISC-V (מכונת המצבים זהה לזו אשר נתונה בדף העזר). התקלה מתרחשת בעת ביצוע הכתיבה ל-register file. בכל כתיבה שנייה אל ה-register file הכתיבה נכשלת. על מנת לפתור את התקלה, הוצע לבצע את שלב ה-Write Back פעמיים בכל פעם שבה נדרש לבצע כתיבה אל ה-register file.

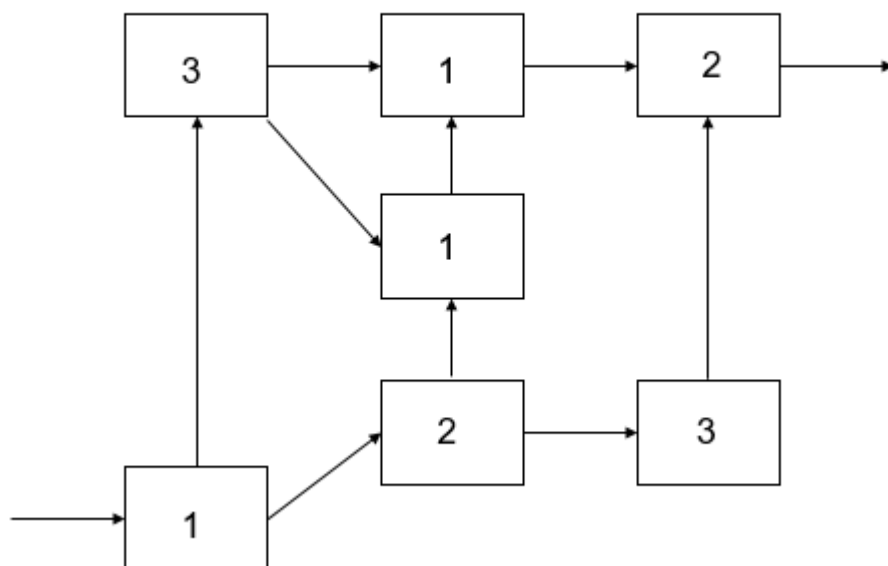
בהנתן כי ניתן לבצע שינויים במכונת המצבים בבקר, אך לא ניתן לשנות את מסלול הנתונים, מהו מספר המצבים המינימלי שיש להוסיף למכונת המצבים בבקר, על מנת לתמוך בפתרון זה?

- א. אין צורך בהוספת מצבים חדשים
- ב. הוספת מצב חדש אחד
- ג. הוספת שני מצבים חדשים
- ד. הוספת שלושה מצבים חדשים
- ה. הוספת ארבעה מצבים חדשים
- ו. אין אפשרות לתמוך בפתרון זה



שאלה 11 (5 נקודות)

נתונה המערכת הבאה:



זמן ההשהייה של כל רכיב כתוב בתוכו ונתון ב- ns .

נרצה לצנר את המערכת בעזרת רגיסטרים אידיאליים על מנת לקבל $throughput$ מקסימלי בעדיפות ראשונה, ומספר רגיסטרים מינימלי בעדיפות שניה.

מהו מספר הרגיסטרים המינימלי אשר דרוש לצורך צינור המערכת על פי סדר עדיפויות זה?

- א. 5
- ב. 8
- ג. 9
- ד. 10
- ה. 12



שאלה 12 (5 נקודות)

נתון מעבד Multicycle RISC-V התומך בטיפול בחריגות, כך שהוא מפסיק את ריצת התוכנית במידה והתקבלה חריגה. אחד הסטודנטים בקורס "מערכות ספרתיות ומבנה המחשב" כתב את הקוד הבא:

```
0x1AA0 0000      Main: addi x2, x0, 4
0x1AA0 0004      addi x4, x0, 1
0x1AA0 0008      mult x1, x2, x2
0x1AA0 000C      add x1, x1, x1
0x1AA0 0010      add x0, x1, x2

0x1AA0 0014      Loop: addi x1, x1, -1
0x1AA0 0018      beq x1, x0, EXIT
0x1AA0 001C      add x4, x4, x4
0x1AA0 0020      div x0, x1, x1
0x1AA0 0024      j Loop
0x1AA0 0028      EXIT:
0x1AA0 002C      sw x4, 0(x4)
```

שימו לב:

הפקודה $mult\ rd, rs1, rs2$ מבצעת כפל בין שני הרגיסטרים $rs1, rs2$ כך שמתקיים:

$$rd = rs1 \cdot rs2$$

באופן דומה הפקודה $div\ rd, rs1, rs2$ מבצעת חלוקה כך שמתקיים:

$$rd = rs1/rs2$$

הסטודנט בדק את רכיב הזיכרון וגילה כי נפחו הוא $1GB$ ($1G = 2^{30}B$). שותפו של הסטודנט בחן את הקוד וקבע בהחלטיות כי הרצת הקוד תגרום לחריגה. עזרו לסטודנט להבין מה היא החריגה אשר שותפו זיהה. סמנו את התשובה הנכונה ביותר:

- תרחש חריגה מסוג "כתיבה לרגיסטר x0"
- תרחש חריגה מסוג "חלוקה ב 0"
- התוכנית תקינה ותרופץ כהלכה (ללא חריגות)
- תרחש חריגה מסוג גישה לכתובת לא חוקית
- תרחש חריגה מסוג גלישה (Overflow)



שאלה 13 (8 נקודות)

נתון מעבד מסוג Multicycle RISC-V שיכול לטפל בחריגות (Exceptions). בשאלה זו נתמקד בחריגות אשר נגרמו ע"י חלוקה ב-0 (על ידי הפרדה למצבים שונים במכונת המצבים – `DIVIDE_0` ו-`NO_DIVIDE_0`). בסיום הטיפול בחריגה, הפקודה בה התרחשה החריגה מתבצעת מחדש.

מהנדס מעוניין להוסיף למעבד אפשרות לטפל גם בחריגות הנגרמות ע"י אות חיצוני (פסיקות – Interrupts). כאשר מגיעה פסיקה חיצונית, הבקר מקבל אות `Interrupt=1` מאות חיצוני (ונשאר '1' עד לסיום הטיפול בפסיקה). המהנדס מעוניין שהמעבד יסיים את ביצוע שלבי הפקודה הנוכחית, ורק לאחר מכן יעביר את השליטה למערכת ההפעלה. לאחר סיום הטיפול בפסיקה, מערכת ההפעלה תחזור לפקודה הבאה בתכנית המקורית ולא תריץ שוב את הפקודה שבמהלכה התקבלה הפסיקה.

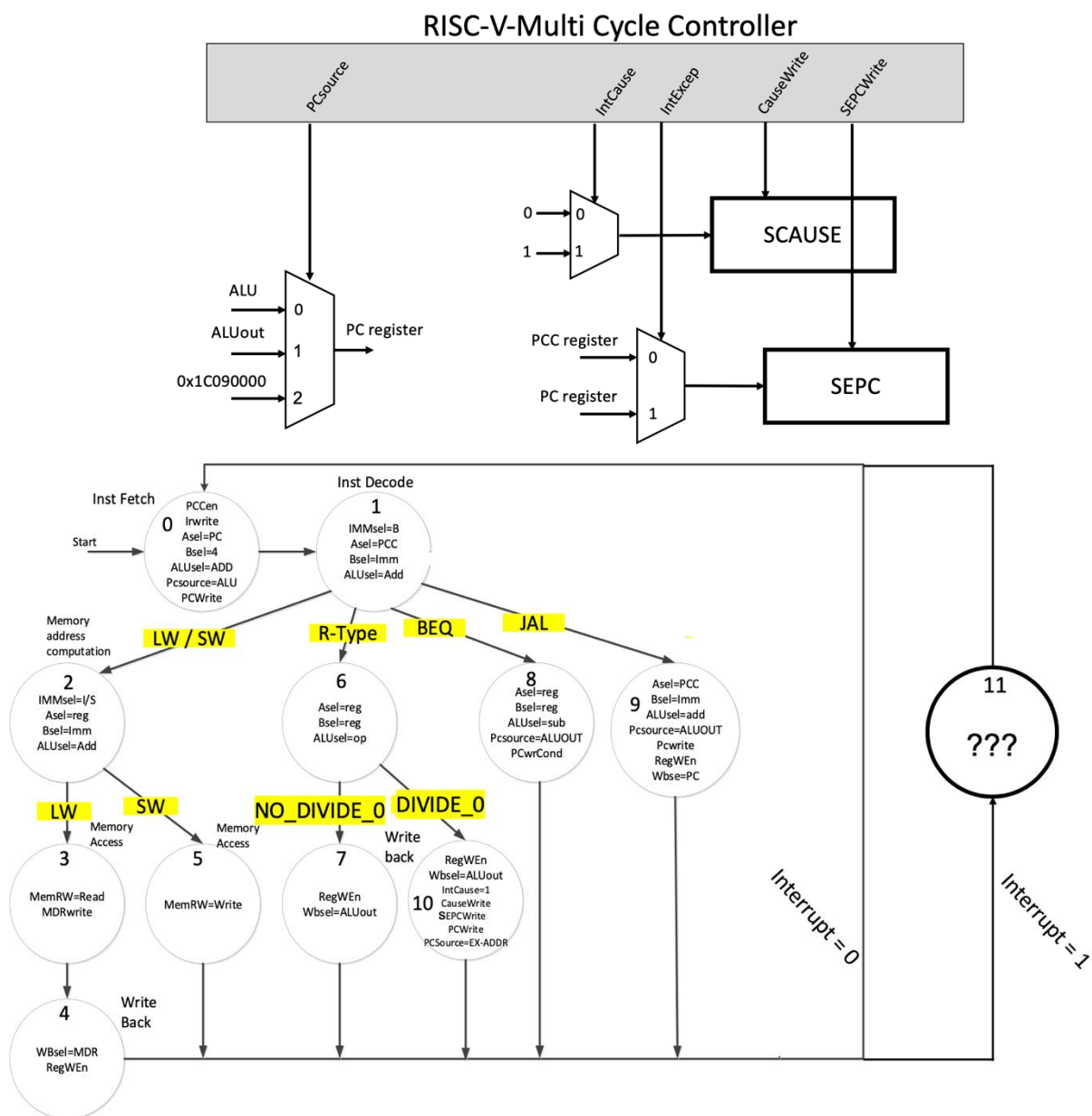
בנוסף, המהנדס החליט שעבור Interrupt חיצוני ישמר ב-`SCAUSE` הערך '0', ועבור חלוקה ב-0, ישמר ב-`SCAUSE` הערך '1'.

למשל, אם המעבד נמצא במהלך שלב ה-`Decode` של `LW`, אז רק לאחר ביצוע שלב ה-`WriteBack` של הפקודה, השליטה תעבור למערכת ההפעלה. לאחר סיום הטיפול, המעבד יחזיר את השליטה לפקודה שלאחר ה-`LW`.

להלן השינויים במסלול הנתונים עבור טיפול בחריגות ופסיקות, ודיאגרמת המצבים של הבקר (שאר מסלול הנתונים של המעבד ללא שינוי כפי שנתון בדפי העזר).

שימו לב שנוספה כניסה חדשה בשם Interrupt לבקר, ויציאה חדשה בשם `IntExcep` הקובעת האם החריגה היא בעקבות אות חיצוני או לא.

הערה: ניתן להניח כי בכל רגע נתון קיימת לכל היותר חריגה אחת או פסיקה אחת (לא יכולות להתקבל חריגה ופסיקה בו זמנית).



א.

מלאו את קווי הבקרה עבור מצב 11 המטפל בפסיקה בטבלה להלן (אין צורך למלא קווי הבקרה שלא נמצאים בטבלה). במידה וקו בקרה יכול להיות ערך שרירותי כלשהו יש לסמן ϕ עבור Don't Care.

PCsource	PCwrite	Regwrite	PCCen	IntExcep	CauseWrite	SEPCWrite	IntCause

מלאו בטבלה הבאה את ערך הסיגנל IntExcep, עבור המצבים הנתונים (כל מספר מייצג מצב מתאים במכונת המצבים):

	6	7	8	10
IntExcep				



ב. המהנדס הוסיף את המימוש הדרוש והוא כעת תומך בחריגות עבור "חלוקה ב-0" ובפסיקות חיצוניות ע"י קו הבקרה *Interrupt*.
מהנדס אחר מעוניין לבדוק את תקינות המעבד ע"י הרצת הקוד להלן.
הרגיסטרים t_0, t_2, t_3 מאותחלים לערך 0, והרגיסטר t_1 מאותחל לערך 10.

שימו לב שלצורך השאלה, נתון הקוד שמערכת ההפעלה מריצה עבור כל טיפול בפסיקה / חריגה החל מכתובת $0x1c090000$, כפי שניתן לראות להלן.

	0x10000000	div	t2, t1, t0
	0x10000004	addi	t3, t2, 5
	0x10000008	add	t3, t3, t3
		...	
Interrupt/exception handler:	0x1c090000	addi	t0, x0, 2
	0x1c090004	add	t3, t3, t3
	0x1c090008	jr	SEPC

כדי לבדוק את תקינות הקוד, המהנדס יזם סיגנל Interrupt חיצוני במהלך שלב ה- **Decode** של הפקודה בכתובת $0x10000004$.
מה יהיו ערכי הרגיסטרים t_2 ו- t_3 לאחר סיום ביצוע הפקודה שבכתובת $0x10000008$?



שאלה 14 (8 נקודות)

סטודנט חרוץ החליט לממש את אלגוריתם המיון *bubble sort* בעזרת קוד אסמבלי. האלגוריתם יבצע מיון על מערך של מספרים, כאשר כל מספר הוא בגודל של 4 בתים. עקב תקלה, חלקים מן המימוש נמחקו. עליכם להשלים את חלקי הקוד החסרים (מסומנים בקו תחתון) בכדי שהמימוש יפעל כנדרש. לנוחיותכם מצורף מימוש אלגוריתם המיון בקוד C:

```
void bubbleSort(int arr[], int N)
{
    int i, j;
    for (i = 0; i < N-1; i++)

        // Last i elements are already in place
        for (j = 0; j < N-i-1; j++)
            if (arr[j] > arr[j+1])
                swap(&arr[j], &arr[j+1]);
}
```

הפונקציה *swap* מבצעת החלפה במיקומם של שני איברים במערך. במהלך המימוש הניחו כי המיפוי בין רגיסטרים למשתנים הוא:

$s0 \rightarrow i, s1 \rightarrow N, s2 \rightarrow j, s10 \rightarrow arr$

שימו לב כי רגיסטר *s1* מכיל את גודל המערך (*N*).

יש להשלים את הקוד אשר נתון להלן במקומות הנדרשים:

0x1AA0 0000	Main:	addi s0, x0, 0	// s0 = i = 0
0x1AA0 0004		addi s7, s1, -1	// s7 = N-1
0x1AA0 0008		addi s2, x0, 0	// s2 = j = 0
0x1AA0 000C	OuterLoop:	sub s3, s1, s0	
0x1AA0 0010		addi s3, s3, -1	// s3 = N-i-1
0x1AA0 0014	InternalLoop:	slli t0, s2, _____	
0x1AA0 0018		add t0, t0, _____	
0x1AA0 001C		addi t1, _____, 4	
0x1AA0 0020		lw a0, 0(t0)	// access a[j]
0x1AA0 0024		lw a1, 0(t1)	// access a[j+1]
0x1AA0 0028		bge _____, _____, _____	
0x1AA0 002C		_____ a1, 0(_____)	// swap cells
0x1AA0 0030		_____ a0, 0(_____)	
0x1AA0 0034	AfterSwap:	addi s2, s2, 1	
0x1AA0 0038		bne s3, s2, InternalLoop	
0x1AA0 003C		addi _____, x0, _____	// j = 0
0x1AA0 0040		addi s0, s0, 1	
0x1AA0 0044		bne s0, s7, OuterLoop	
0x1AA0 0048	Exit:		// done



שאלה 15 (8 נקודות)

מעוניינים להוסיף מימוש של הפקודה `dlw` **כפסאודו פקודה** תוך שימוש בפקודות קיימות. פקודה זו מביאה מילה מהזיכרון לפי כתובת המחושבת באופן הבא: כתובת המילה מובאת מהזיכרון מהכתובת ששמורה ברגיסטר `rs` ועוד ערך ה-`imm`, ושומרת את המילה שהובאה מהזכרון ברגיסטר `rd`. פקודה זו בעלת הפורמט:

`dlw rd, rs, imm`

המבצעת את הפעולה הבאה:

$\text{reg}[\text{rd}] \leftarrow \text{Mem}[\text{Mem}[\text{reg}[\text{rs}] + \text{imm}]]$

א. כתבו את המימוש המינימלי של הפקודה כרצף של פקודות אמתיות (ניתן להשתמש ברגיסטרים t_0, t_1 במידת הצורך).

ב. מה מספר המחזורים המינימלי הנדרש לביצוע פסאודו פקודה זו במעבד `single cycle RISC-V`?

--

ג. מה מספר המחזורים המינימלי הנדרש לביצוע פסאודו פקודה זו במעבד `Multicycle RISC-V`?

--



ד. כעת ניתן לבצע שינויים במעבד הכוללים הוספת/הרחבת בוררים, והוספת חיוטים. מה מספר המחזורים המינימלי הנדרש לביצוע פקודה זו כפקודה אמיתית במעבד Multicycle RISC-V?

שאלה 16 (8 נקודות):

שירי אוהבת לאפות ולכן החליטה להגשים את חלומה ולפתוח קונדיטוריה. לרוע מזלה, דווקא בתקופה ההצלחה, התפרצה הקורונה וכעת עליה להישמע להנחיות משרד הבריאות. הקונדיטוריה פועלת משעה 02:00 לפנות בוקר ועד 15:00. לפי ההנחיות, על שירי לחטא את הקונדיטוריה בשעת הפתיחה ומידי 4 שעות החל מרגע זה. בנוסף, עליה לחטא גם בשעת העומס, 08:00. שירי פנתה אליכם בבקשה לעזרה. בנו מערכת צירופית בעלת 4 כניסות $f(x, y, z, w)$ המפיקה '1' כאשר על שירי לחטא את המטבח.

רשמו את הפונקציה המצומצמת ביותר אשר מתארת את התנהגות המערכת והשלימו את מפת הקרנו הבאה:

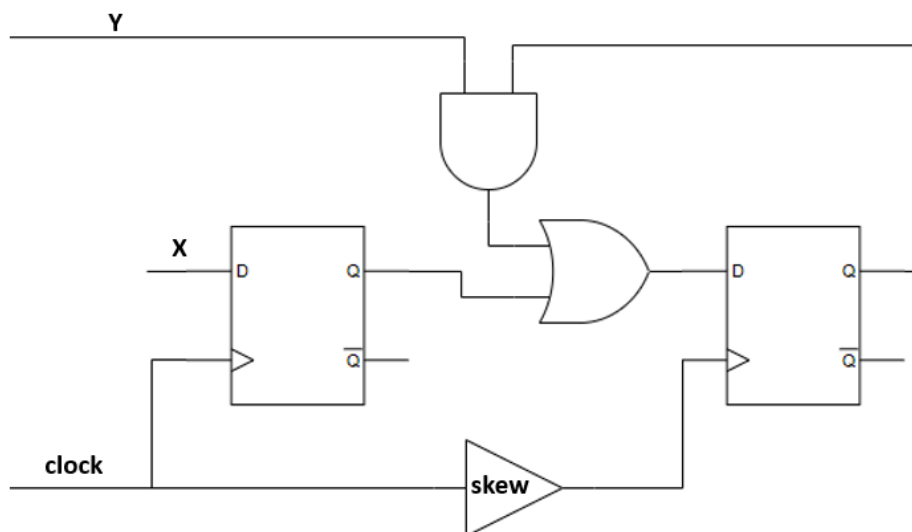
<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">ZY</div> <div style="margin-right: 5px;">XY</div> </div>					
		00	01	11	10
00					
01					
11					
10					

$f(x, y, z, w) =$



תרגיל 17 (8 נקודות)

נתון המעגל הבא:



זמן המחזור של השעון הוא:

$$T_{cycle} = 25ns$$

בנוסף נתונים זמני ההשהיה הבאים:

	FF	OR	AND
T_{ccQ}/T_{cd}	1ns	1ns	1ns
T_{pcQ}/T_{pd}	4ns	3ns	5ns
T_{su}	7ns		
T_{hold}	4ns		

נתון כי הכניסות עומדות בתנאי $hold$ ו- $setup$.

בין שני ה-FF קיים $SKEW$ בשעון שערכו הוא t_{skew} .

א. עבור $t_{skew} = 0$, האם המעגל עומד במשטר הזמנים הדינמי?

ב. מבין הערכים הבאים, מהו הערך של t_{skew} עבורו המעגל עומד במשטר

הזמנים הדינמי?

1. $-2ns$

2. $3ns$

3. $0ns$

4. אף ערך

5. $1ns$



ג. כעת נתון כי $t_{skew} = 1ns$.

על מנת לאפשר פעילות תקינה של המעגל, הוחלט לבצע שימוש בחוצץ
(buffer) בעל הפרמטרים הבאים:

$$t_{buffer} = t_{cd}(buffer) = t_{pd}(buffer)$$

הוסיפו את החוצץ במקום המתאים בשרטוט וקבעו את זמן ההשהיה
המינימלי והמקסימלי של החוצץ, המאפשרים עמידה במשטר הזמנים
הדינאמי?

א. פועל בצורה תקינה	כן / לא
ב. מבין הערכים הבאים, מהו הערך של t_{skew} עבורו המעגל עומד במשטר הזמנים הדינאמי?	<p>1. $-2ns$</p> <p>2. $3ns$</p> <p>3. $0ns$</p> <p>4. אף ערך</p> <p>5. $1ns$</p>
ג.	$\leq t_{buffer} \leq$