

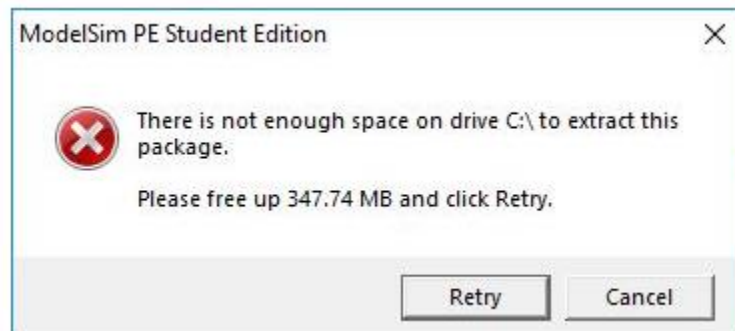
SystemVerilog FAQ

בקובץ זה תוכלו למצוא בעיות נפוצות בהתקנת ModelSim, בקמפול קבצים באמצעות ModelSim ושאלות כלליות על SystemVerilog. במידה ונתקלתם בבעיה שלא מופיעה בקובץ זה, ניתן לחפש את השגיאה ופתרונה ב-Google. שימו לב כי בכל מקרה של קושי בהתקנת התוכנה, ניתן לעבוד בחוות המחשבים של הפקולטה, שם התוכנה מותקנת.

בעיות בהתקנה

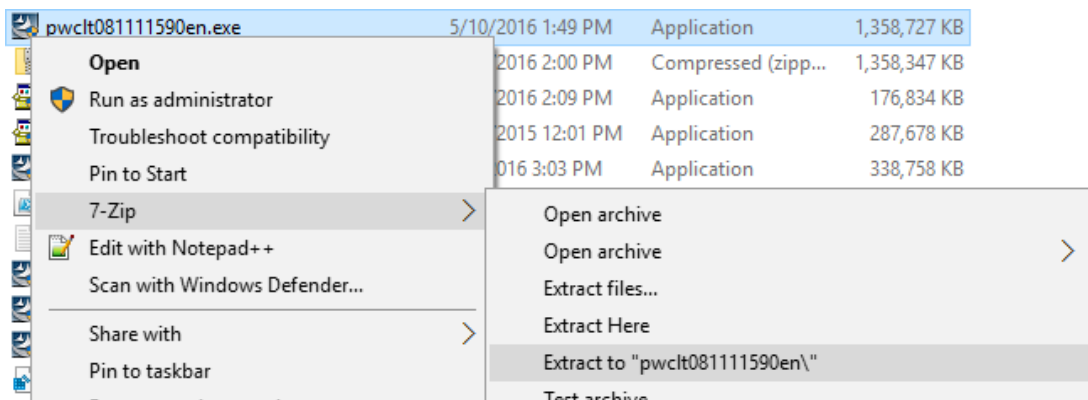
לפני קריאת כל השגיאות ופתרון, יש לוודא שהרצת ההתקנה מתבצעת מ-administrator!

1. מה צריך למלא בטופס הפרטים האישיים שמופיע כחלק מתהליך ההתקנה?
2. מופיעה השגיאה הבאה בעת ההתקנה:



במקרה זה יש לנסות את הצעדים הבאים:

1. לוודא שיש מספיק מקום על הדיסק על-מנת לבצע את ההתקנה.
2. לבצע אתחול למחשב ולהריץ שוב את ה-installer.
3. להעביר את קובץ ההתקנה לתיקייה אחרת.
4. לבצע extract לקובץ ההתקנה:



לאחר שהקבצים יוצאו, יש לנווט לתיקייה בה נמצאים הקבצים ולהריץ את setup.exe (מ-administrator, כמובן).

5. לנסות לבצע את תהליך ההתקנה מחדש ולהוריד שוב את קובץ ההתקנה (ולחזור לשלב 1 במידה והבעיה חוזרת).

3. מתקבלת השגיאה הבאה (ModelSim לא מוצא את הרישיון):

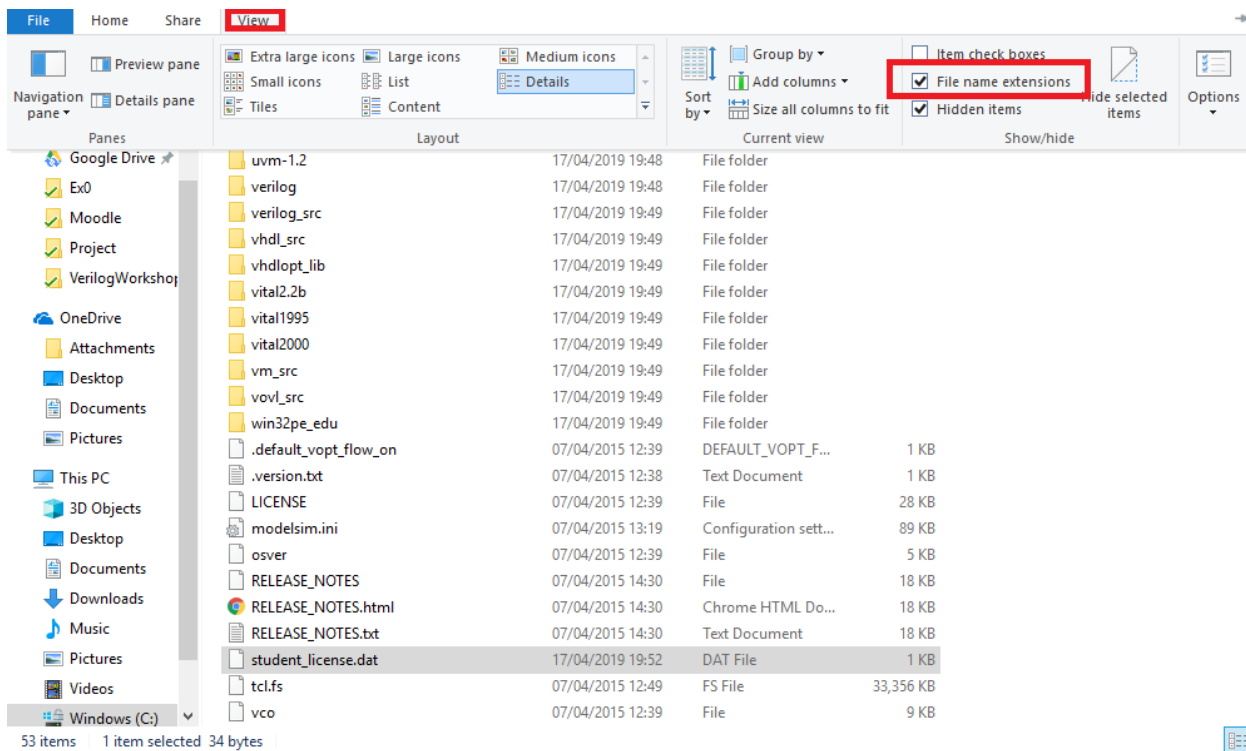
```

# ** Error: ModelSim PE Student Edition license key file not found at C:\Modeltech_pe_edu_10.4a\win32pe_edu\..\student_license.dat.
# ** FATAL ERROR: ModelSim PE Student Edition licensing failure due to one or more problems with the license key such as:
# - it is not found
# - it has expired
# - it is not for this user
# - it is not for this computer
# - it is not for this version of ModelSim PE Student Edition.
#
# Please go to http://www.model.com and download an updated copy of the ModelSim PE Student Edition.
# Error loading design

```

כפי שכתוב בשגיאה, ישנם מספר גורמים אפשריים לשגיאה:

- רישיון שפג תוקפו: תוקף הרישיון הוא כחצי שנה. במקרה שפג תוקפו, ניתן לבצע הורדה מחדש של התוכנה ושל הרישיון.
- רישיון לא מתאים: לא ניתן להשתמש ברישיון שאינו מתאים למחשב שממנו התבצעה ההתקנה (לכן, לא ניתן להשתמש ברישיון שחבר שלח או רישיון שהורד ממחשב אחר). ניתן לבצע הורדה מחדש של התוכנה ושל הרישיון.
- התוכנה לא מזהה את הרישיון: את הרישיון שנשלח במייל כחלק מתהליך ההתקנה יש לשמור את הרישיון בנתיב C:\Modeltech_pe_edu_10.4a\student_license.dat (במידה והתוכנה הותקנה בנתיב ברירת המחדל ולא הוגדר נתיב אחר). במידה ולא התקבל רישיון במייל, יש לבצע את תהליך ההתקנה מחדש ולוודא שכתובת המייל שמולאה תיקנה. במידה ואתם סבורים כי הקובץ נשמר בהתאם להוראות ועדיין מתקבלת השגיאה, סימן שיש בעיה בשם הקובץ ויתכן ויש לו סיומת נוספת. יש לפתוח את התיקייה C:\Modeltech_pe_edu_10.4a , ללחוץ על view ולסמן את התיבה file name extensions:



יש לוודא שהקובץ בעל סיומת dat בלבד.
4. מתקבלת השגיאה הבאה (CloseFile failed):



יש לנסות להגדיר דפדפן ברירת-מחדל שהוא לא internet explorer, כמו-כן יש לנסות לכבות את ה-firewall.

בעיות בקמפול קבצים

1. Failed to open design unit

```
# ** Error: (vlog-7) Failed to open design unit file "H.sv" in read mode.
#
# No such file or directory. (errno = ENOENT)
# End time: 14:36:07 on May 15,2019, Elapsed time: 0:00:00
# Errors: 1, Warnings: 0
# C:/Modeltech_pe_edu_10.4a/win32pe_edu/vlog failed.
```

הסיבה לכך היא ש-ModelSim לא מזהה את הקובץ שברצונכם לקמפל. יתכן שלא ניווטתם לתיקייה בה הקובץ נמצא (ע"י הפקודה cd, כפי שמוסבר בסימולציה 0), או שיש טעות בשם הקובץ.

2. Error: (vlog-66) Execution of vlib failed. Please check the error log for more details

```
# ** Error: (vlog-66) Execution of vlib failed. Please check the error log for more details.
#
# End time: 14:44:32 on May 15,2019, Elapsed time: 0:00:00
# Errors: 1, Warnings: 0
# C:/Modeltech_pe_edu_10.4a/win32pe_edu/vlog failed.
```

יש לבצע את הפקודה vlib work לפני שמקמפלים את הקבצים. אין לשנות את שם הספרייה !work

3. vsim-3033: Instantiation of '...' failed. The design unit was not found

```
ModelSim> vsim mux4_test
# vsim
# Start time: 20:21:26 on Apr 23,2019
# Loading sv_std.std
# Loading work.mux4_test
# ** Error: (vsim-3033) mux4_test.sv(13): Instantiation of 'mux' failed. The design unit was not found.
# Time: 0 ns Iteration: 0 Instance: /mux4_test File: mux4_test.sv
# Searched libraries:
# C:/technion/semester_2/siml/work
# Error loading design
```

קיימות שתי סיבות אפשריות לשגיאה זו:

- לא כל הקבצים קומפלו (ע"י הפקודה vlog) לפני התחלת הסימולציה (הרצת vsim). יש לוודא שכל הקבצים קומפלו, למשל, בסימולציה 1 יש לקמפל את ספריית השערים, את mux2, את mux4 ואז את mux4_tb, בסדר זה. מומלץ לעבור שוב על הפקודות המוצגות בסימולציה 0.
- טעות בשם ה-module ב-module instantiation: יש לוודא שאין טעות בשם ה-module כפי שמצהירים עליו בקובץ התכן הרלוונטי.

4. Error (suppressible): (vsim-12027): Array connection type 'reg\$[1:0]' is incompatible with 'wire[1:0]' for port (...): Can't mix packed and unpacked types.

```
*** Error (suppressible): (vsim-12027) mux4_test.sv(12): Array connection type 'reg$[1:0]' is incompatible with 'wire[1:0]' for port (sel): Can't mix packed and unpacked types.
Time: 0 ns Iteration: 0 Instance: /mux4_test/inst1 File: mux4.sv
# Error loading design
```

הגורם לבעיה הוא בד"כ הגדרה שגויה של וקטור. השגיאה נובעת מהגדרת וקטור בצורה הבאה:

```
logic SEL [1:0];
```

בעוד שבסדנה למדנו בסדנה שה-syntax להגדרת וקטור הוא:

```
logic [1:0] SEL;
```

ב-SV, שניהם תקינים אך כל אחד מהם מייצג וקטור מסוג שונה. אנחנו לא משתמשים בקורס שלנו בסוג הראשון, לכן היצמדו להגדרה השנייה. כל ה-syntax נמצא בסדנאות, ומומלץ לעבור עליהן ולהיזכר.

5. (vsim-3037): missing instance name in instantiation

```
# Loading work.mux2
# *** Error: (vsim-3037) mux4.sv(20): Missing instance name in instantiation of 'mux2'.
# Time: 0 ns Iteration: 0 Instance: /mux4_tb/uut File: mux4.sv
# *** Error: (vsim-3037) mux4.sv(21): Missing instance name in instantiation of 'mux2'.
# Time: 0 ns Iteration: 0 Instance: /mux4_tb/uut File: mux4.sv
```

השגיאה נובעת מכך שחסר שם ל-instance ב-module instantiation. יש לכתוב:

```
Module_name instance_name (...);
```

6. The generate if condition must be a constant expression

```
*** Error: bla.sv(8): The generate if condition must be a constant expression.
End time: 12:08:09 on Jul 06,2019, Elapsed time: 0:00:00
Errors: 1, Warnings: 0
C:/Modeltech_pe_edu_10.4a/win32pe_edu/vlog failed.
```

השגיאה עשויה להיגרם ממימוש של משפט if מחוץ ל-procedural block, למשל:

```
module bla(
    input logic a,
    input logic b,
    output logic out
);

    if (a == b) begin
        assign out = 1'b0;
    end
endmodule
```

```

end
else begin
    assign out = 1'b1;
end
endmodule

```

יש לממש conditional statements בתוך procedural blocks (כלומר, בתוך משפט initial, always_ff, always_comb) בלבד! (וכמובן, ללא assign).

שאלות כלליות על SystemVerilog

1. ברצוני להציב את הערך 2 בבסיס דצימלי בסיגנל כלשהו. האם צריך לכתוב:

```

logic [3:0] sig;
assign sig = 2;

```

או:

```

logic [3:0] sig;
assign sig = 4'd2;

```

שתי הדרכים קבילות, אבל מומלץ להשתמש תמיד בדרך השנייה, ולציין את מספר הביטים, הבסיס הדצימלי וכו'. כאשר לא מציינים אותם, לכל פרמטר נבחר הערך הדיפולטי: למשל, כאשר לא מציינים את הבסיס, מוגדר אוטומטית הבסיס הדצימלי, וכאשר לא מציינים את מספר הביטים, מוגדר אוטומטית להשתמש ב-32 ביט. כאשר הסיגנל קצר מ-32 ביט, למשל, עשויות להיווצר בעיות (הקשורות לייצוג signed/unsigned), ולכן ההנחיה היא להשתמש בדרך השנייה.

2. למדנו מספר דרכים לממש שער AND: באמצעות instantiation של שער AND של

SystemVerilog (natives), באמצעות משפט always_comb ובאמצעות משפט assign. מתי צריך להשתמש בכל אחד מהם?

כל אחת מהשיטות טובה, ניתן לבחור בהתאם לנוחות המימוש. כאשר רוצים לממש לוגיקה פשוטה כמו AND או לוגיקה קומבינטורית לא מסובכת, נבחר לרוב להשתמש במשפט assign או ב-natives של השפה. לעומת זאת, היתרון של משפט always_comb הוא בכך שניתן לממש באמצעותו לוגיקות אסינכרוניות יותר מסובכות.

3. האם מותר לבצע בתוך משפט assign או משפט always השמה של סיגנל כלשהו לעצמו? כלומר:

```

sig <= sig + 1;

```

ניתן לבצע השמה של סיגנל לעצמו בתוך משפט `always_ff` בלבד. אסור לעשות זאת במשפט `always_comb` או במשפט `assign` משום שתיווצר לולאה של לוגיקה קומבינטורית, וזה אסור לפי כללי המשטר הדינמי שנלמדים בקורס.

4. מתי משתמשים ב-`&` ומתי ב-`&&`?

משתמשים ב-`&` על מנת לחשב פעולת `bit-wise AND`. למשל, כאשר רוצים לחשב את תוצאת הפעולה `AND` בין הסיגנלים `a` ו-`b`, ניתן לכתוב:

```
assign sig = a & b;
```

משתמשים ב-`&&` כדי לבצע `AND` לוגי בין שני תנאים. למשל, אם רוצים לבדוק אם שני תנאים מתקיימים ולבצע לוגיקה מסוימת בתנאי הזה (כלומר, לממש `mux`):

```
if (cond1 && cond2) begin
```

```
    sig = 1'b1;
```

```
end
```

```
else begin
```

```
    sig = 1'b0;
```

```
end
```

5. אחד מהסיגנלים בסימולציה שהרצתי קיבל את הערך `x`. האם זה תקין?

תלוי. ל-`x` יש שתי משמעויות אפשריות: סיגנל לא מאותחל, והתנגשות. יש מקרים בהם נצפה שסיגנלים יכולו את הערך `x` וזהו מצב תקין. למשל, לפני שמתחילים את הסימולציה לכל הסיגנלים ערך `x` משום שכל הסיגנלים טרם אותחלו. מקרה נוסף: בתרגיל הרטוב, כאשר משתמשים בספריית שערים שיש להם השהייה, ל-`output` של שער יהיה ערך `x` עד שתסתיים ההשהיה. עם זאת, יש מקרים שבהם הופעת ערך `x` בסיגנל כלשהו מצביעה על מצב שאינו תקין. אם אחד מה-`input`-ים של ה-`module` הנבדק בעל ערך `x` לאחר התחלת הסימולציה, יתכן ששכחתם לאתחל אותו ב-`test bench`. בנוסף, אם לדוגמה, ל-`input` של רכיב מסוים נחבר שני חוטים שונים, גם אז נקבל `x` בשל התנגשות (`collision`) וזה מצביע על מצב לא תקין.

6. אחד מהסיגנלים בסימולציה שהרצתי קיבל את הערך `z`. האם זה תקין?

לא. בקורס שלנו אין שימוש בערך `z` ולכן ככל הנראה המצב הנ"ל מצביע על כך שאחד מהחוטים לא חובר כמו שצריך.

7. ראינו שימוש במשפט initial כדי לממש test bench. האם ניתן להשתמש במשפט initial כדי לממש לוגיקה ספרתית?

במקרים מיוחדים (שלא נעסוק בהם בקורס) יש שימוש במשפט initial לתכן ספרתי, אך ככלל, בקורס זה, אין להשתמש בו מלבד במימוש של test bench! על-מנת לאתחל רגיסטרים ב-design, יש להשתמש ב-reset.

8. מצאתי קוד לדוגמה שמשתמש בטיפוסי נתונים reg, wire ולא ב-logic שלמדנו בסדנה. האם ניתן להשתמש בו?

השימוש ב-reg/wire יותר מסובך, לא למדנו את ההבדלים ביניהם ולכן ההנחיה היא לא להשתמש בהם ולהשתמש אך ורק ב-logic.

9. מה תפקידו של המצב Idle במכונת מצבים?

מצב Idle הוא מצב ה"מנוחה" של מכונת המצבים. זהו מצב שבו מכונת המצבים תחכה מרגע אתחולה (קבלת reset בתחילת הסימולציה) ועד תחילת פעולת מכונת המצבים (למשל, קבלת סיגנל start). לרוב, במצב זה נקבעים גם ערכי האתחול של כל יציאות מכונת המצבים. למשל, אם נרצה לממש counter, נרצה שהוא יאותחל ל-0 ולא יתחיל לספור מערך אקראי כלשהו.

10. מהם אופרטורים מסוג reduction?

אופרטורים אלו הם אופרטורים אונאריים, כלומר מקבלים אופרנד אחד. הם מקבלים וקטור ביטים, מבצעים את האופרציה המבוקשת בין כל הביטים שלו ומחזירים תוצאה של ביט אחד. למשל עבור וקטור A השורה הבאה:

$Y1 = \&A;$

תבצע פעולת AND בין כל הביטים בוקטור A ותשים את התוצאה ב-Y1.