



מערכות ספרתיות ומבנה המחשב (044252)

סמסטר חורף תשע"ט

בחינה סופית – מועד ב 4 במרץ 2019

טור 1

--	--	--	--	--	--	--	--	--	--

מספר סטודנט

משך המבחן: 3 שעות (180 דקות). **תכננו את זמנכם היטב.**

חומר עזר: אין להשתמש בכל חומר עזר בכתב, מודפס או אלקטרוני, פרט לדפי העזר שיחולקו במהלך הבחינה.

הנחיות והוראות:

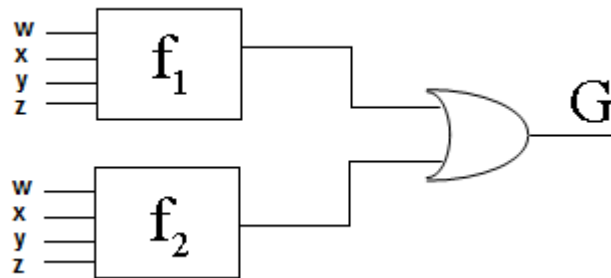
- הבחינה כתובה על גבי 20 עמודים כולל עמוד זה (בדקו בתחילת הבחינה שלא חסרים לכם עמודים).
- בתחילת הבחינה תקבלו חוברת בחינה, מחברת טיוטה, דפי עזר וטופס תשובות ממוחשב. בסיום הבחינה, החזירו את חוברת הבחינה וטופס התשובות הממוחשב בלבד.
- יש לענות על כל השאלות בגוף המבחן.
- אין לתלוש או להפריד דפים מחוברת הבחינה, ממחברות הטיוטה ומדפי העזר.
- רשמו את מספר הסטודנט שלכם על חוברת הבחינה (בראש עמוד זה), על דפי העזר, ועל כל מחברות הטיוטה.
- לא מורדות נקודות (אין "קנס") בגין תשובה שגויה. לכן, כדאי לסמן תשובה כלשהי לכל שאלה.
- ציון השאלות רב הברירה ייקבע על סמך סריקה ממוחשבת של טופס התשובות בלבד. **לא לשכוח לסמן בטופס התשובות הממוחשב את מספר הטור שלכם (מופיע בראש עמוד זה).**
- אסור שימוש בכל חומר חיצוני. אסורה העברת חומר כלשהו בין הנבחנים, ואסורה כל תקשורת עם אנשים אחרים או כל מקור מידע. האיסור חל על כל צורות התקשורת – מילולית, חזותית, כתובה, אלקטרונית, אלחוטית, טלפנית, או אחרת. בפרט, אין להחזיק בטלפון סלולארי וגם לא במחשבון בזמן הבחינה.

בהצלחה!



שאלה 1 – הבהוב סטטי (5 נקודות)

נתון המעגל הבא



נתונות הפונקציות

$$f_1(w, x, y, z) = (w + z) \cdot (w' + x' + z) \cdot (x' + y' + z)$$

$$f_2(w, x, y, z) = w'xy + wy + wx' + xyz$$

הפונקציה f_1 ממומשת כמכפלת סכומים, בעזרת 3 שערי OR חלקם עם 3 כניסות, שער AND אחד בעל 3 כניסות ושערי NOT.
הפונקציה f_2 ממומשת כסכום מכפלות, בעזרת 4 שערי AND חלקם עם 3 כניסות, שער OR אחד בעל 4 כניסות ושערי NOT.

הבהוב סטטי מסוג LL קורה כאשר משנים כניסה אחת, היציאה אמורה להיות סטטית ב-0 אבל היא משתנה ל-1 באופן רגעי.
הבהוב סטטי מסוג HH קורה כאשר משנים כניסה אחת, היציאה אמורה להיות סטטית ב-1 אבל היא משתנה ל-0 באופן רגעי.

מבין הטענות הבאות שמתייחסות לנקודה G, בחרו את הטענה הנכונה החזקה ביותר

- א- ייתכן הבהוב סטטי מסוג LL אך לא ייתכן הבהוב סטטי מסוג HH
- ב- לא ייתכן הבהוב סטטי מסוג LL אך ייתכן הבהוב סטטי מסוג HH
- ג- ייתכן הבהוב סטטי מסוג LL וייתכן הבהוב סטטי מסוג HH
- ד- לא ייתכן הבהוב סטטי במעגל הנתון מכל סוג
- ה- מנתוני השאלה, לא ניתן לדעת אם ייתכן הבהוב סטטי



שאלה 2 – SC-RISCV (5 נקודות)

לאחר ייצור מעבד *Single Cycle RISCV*, התומך בפקודות *ble*, *beq*, *bne*, התגלתה תקלה ברכיב ה- *Branch Comparator*. עובד חרוץ גילה שכאשר מחליפים את הכניסות לרכיב, כלומר מכניסים לכניסה *A* של ה- *Branch comparator* את רגיסטר *rs2* ולכניסה *B* את רגיסטר *rs1*, הרכיב עובד בצורה תקינה בכל הפקודות הנתמכות מסוג *branch*. שימו לב - פקודת *ble* הינה פקודת *branch lower equal*. איזה מהשינויים הבאים יפתור בוודאות את הבעיה עבור כל פקודות ה- *branch* הנתמכות, בהנחה שלא מחליפים את הכניסות של ה- *Branch Comparator* כפי שהציע העובד? נדרשת התשובה החזקה ביותר מבין הנכונות (לדוגמה, ה' גוברת על ג' אם שתיהן נכונות).

- א- הפיכת המוצא *BrEq* בלבד.
- ב- הפיכת סיבית הבקרה של ה- *PCselector* בלבד.
- ג- הפיכת סיבית המוצא *BrEq* וסיבית המוצא *BrLt*.
- ד- הפיכת המוצא *BrLt* בלבד.
- ה- גם אופציה ג' וגם אופציה ד' יפתרו את התקלה.



שאלה 3 - MC-RISCV (5 נקודות)

למעבד *Multi Cycle RISCV* כפי שנלמד בכיתה, רוצים לכתוב פקודה חדשה, *add3ri*, שתעשה שימוש ב-3 רגיסטרים ו-*immediate* בגודל 12 סיביות. הפקודה תבצע חיבור של 2 רגיסטרים + *immediate* ותשמור את התוצאה ברגיסטר שלישי. הפקודה נראית כך:

add3ri rd, rs1, rs2, imm : R[rd] = R[rs1] + R[rs2] + imm

מכיוון שיש רק 32 סיביות לייצוג הפקודה, לא היה מקום לציון מספרי שלושת הרגיסטרים ולכן הוחלט שבכל שימוש בפקודה יתקיים - *rd = rs1*. כלומר שהרגיסטר *rs1* שמכיל מידע הוא גם הרגיסטר שרושמים אליו את התוצאה. הדוגמא הקודמת תיראה כך:
add3ri rs1, rs2, imm : R[rs1] = R[rs1] + R[rs2] + imm

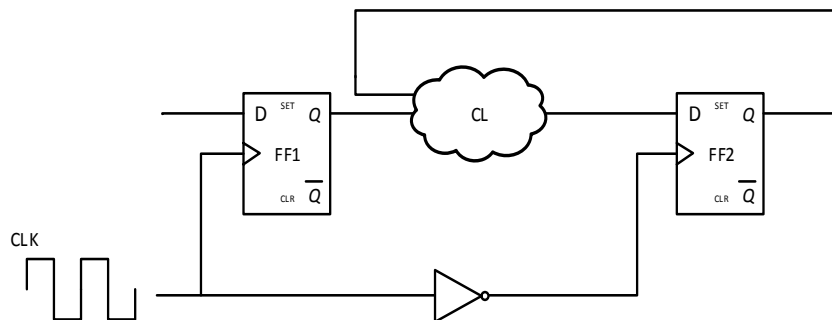
האם ניתן לממש פקודה זו במעבד תוך המשך תמיכה בשאר הפקודות?

- א- לא. מכיוון שלא ניתן לחבר 3 גורמים בבת אחת בעזרת *ALU* בודד, לא ניתן לממש את הפקודה במעבד הנתון.
- ב- כן. ניתן ע"י הוספת בוררים ואותות בקרה ושינוי מכונת המצבים בלבד.
- ג- כן. אין צורך בהוספת בוררים ואותות בקרה אך יהיה צורך בהגדלת אחד הבוררים הקיימים ובהוספת מצבים למכונת המצבים.
- ד- כן, אך נהיה חייבים לבצע שינוי ברכיב ה-*RegFile*.
- ה- לא. אין שינויים ב-*datapath* או בבקר שיאפשרו תמיכה בפקודה, אך ניתן לממש אם גודל ה-*immediate* בפקודה יהיה מוגבל להיות עד 7 ביטים.



שאלה 4 – זמני ההשהיה (5 נקודות)

נתון המעגל הבא



נתון כי הדלגלים דוגמים בעליית שעון. בנוסף, נתון כי כניסת המערכת מתוזמנת כך שהיא עומדת בדרישות ה-*hold* וה-*setup* של הדלגלג *FF1*, וכן כי השעון סימטרי.

להלן זמני ההשהיה:

$t_{pd}(CL) = 5 \text{ ns}$	$t_{cd}(CL) = 2 \text{ ns}$
$t_{pd}(not) = 2 \text{ ns}$	$t_{cd}(not) = 1 \text{ ns}$
$t_{pcQ}(FF) = 7 \text{ ns}$	$t_{cd}(FF) = 2 \text{ ns}$
$t_{hold}(FF) = 5 \text{ ns}$	$t_{setup}(FF) = 3 \text{ ns}$

מבין האפשרויות הבאות, מהו אורך מחזור השעון המינימלי שיאפשר למעגל לפעול בצורה

תקינה?

א- 28 ns

ב- 29 ns

ג- 31 ns

ד- 33 ns

ה- המעגל לא יעבוד בצורה תקינה עם כל זמן מחזור שנבחר.



שאלה 5 – צמצום מכונת מצבים (5 נקודות)

בתהליך הצמצום של טבלת המצבים של מערכת עקיבה סינכרונית שיש לה כניסה אחת

ויציאה אחת, התקבלה התמונה הבאה בתום השלב **השלישי**:

$$P_3 = (A)(BC)(D)(EF)$$

מבין התשובות הבאות, בחרו את התשובה הנכונה החזקה ביותר:

- א- אם המערכת היא מסוג **Mealy** אז ב- P_1 יש **בדיוק 2** מחלקות שקילות
- ב- אם המערכת היא מסוג **Mealy** וב- P_1 יש **יותר מ-2** מחלקות שקילות אזי במכונה המצומצמת יש **לכל היותר 4** מצבים
- ג- אם המערכת היא מסוג **Moore** אז ב- P_1 יש **בדיוק 2** מחלקות שקילות
- ד- תשובות א' ו- ג' נכונות
- ה- תשובות ב' ו- ג' נכונות



שאלה 6 – Verilog (5 נקודות)

נתון כי הסיגנל a הכיל את הערך $0x1234$ לפני עליית השעון. עבור אילו מקטעי הקוד הבאים יכיל הסיגנל a בהכרח את הערך $0x3412$ לאחר עליית השעון? בחרו את התשובה הנכונה:

א-

```
always @(posedge clk) begin
    a2 <= a;
    a[7:0] <= a[15:8];
    a[15:8] <= a2[7:0];
end
```

ב-

```
always @(posedge clk) begin
    a[7:0] <= a[15:8];
    a[15:8] <= a[7:0];
end
```

ג-

```
always @(posedge clk) begin
    a2 = a;
    a[7:0] = a[15:8];
    a[15:8] = a2[7:0];
end
```

ד- תשובות א', ב' נכונות
ה- תשובות ב', ג' נכונות



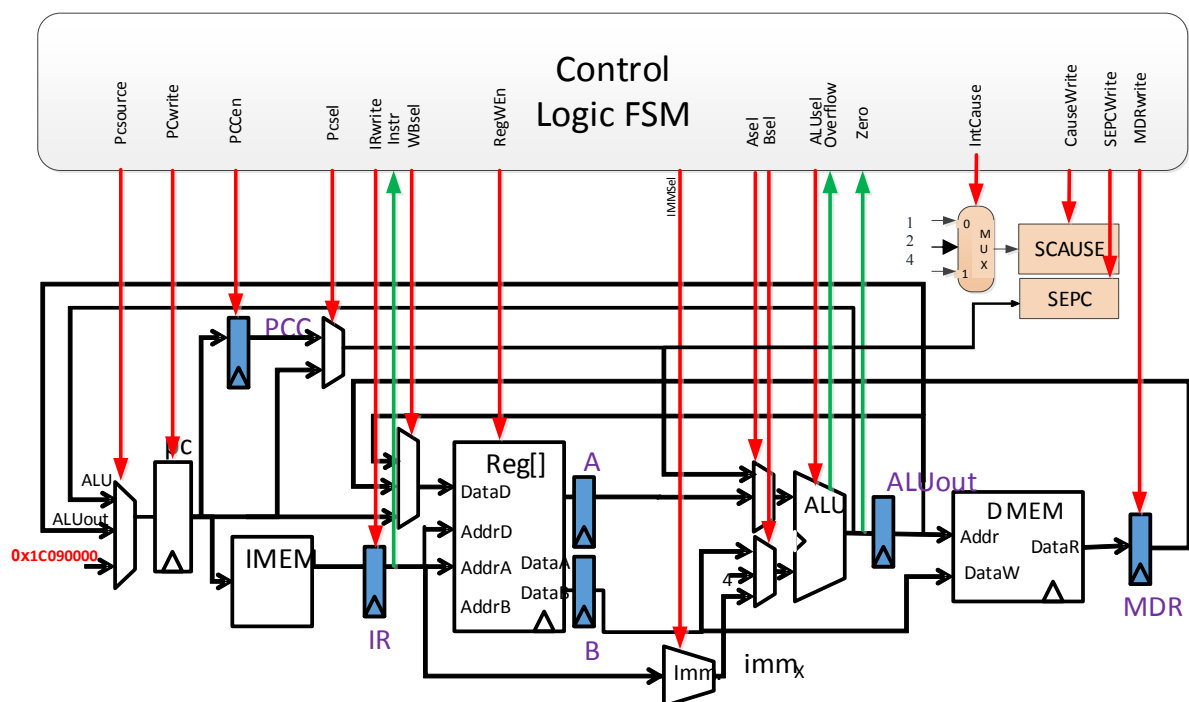
שאלות 7-8 – פסיקות

במעבד Multi Cycle RISC-V הוחלט לטפל ב-3 סוגים של חריגות בלבד, לפי שיטת "קוד הגורם לחריגה": גלישה, חילוק באפס, חילוק לא חוקית.

שיטת קידוד קוד החריגות שמשתמשים בה היא "חזקות של 2", באופן הבא:

קידוד	סוג החריגה
1	גלישה
2	חילוק באפס
4	חילוק לא חוקית

להלן המימוש של Multi-Cycle RISC-V עם תמיכה בפסיקות



תזכורת הערך הנטען לרגיסטר SEPC לפני הקריאה לפונקציית הטיפול בחריגה הוא PCC



הניחו שכל הרגיסטרים מאותחלים ל-0 ושהגישה לרגיסטרים SCAUSE ו- SEPC היא גישה לרגיסטר רגיל. התוכנית רצה החל מהפונקציה main:

```

0x10000000    main:      addi t0, x0, 8
0x10000004                addi s1, x0, 1
0x10000008                div t2, t0, t3
0x1000000C                add t2, t2, t2
0x10000010    exit:

0x1C090000    interrupt handler: addi sp, sp, -4
0x1C090004                sw s0, 0(sp)
0x1C090008                addi s0, x0, 1
0x1C09000C                addi s1, x0, 2
0x1C090010                beq SCAUSE, s0, label1
0x1C090014                beq SCAUSE, s1, label2
0x1C090018                beq SCAUSE, s1, label3
0x1C09001C    done:      lw s0, 0(sp)
0x1C090020                addi sp, sp, 4
0x1C090024                jr SEPC

0x1C091000    label1:    addi t3, t3, 1
0x1C091004                j ret
0x1C091008    label2:    add t3, t3, s1
0x1C09100C                j ret
0x1C091010    label3:    add t3, t3, s0
0x1C091014    ret:      j done

```

שאלות 7 (5 נקודות)

מהו הערך שיתקבל ברגיסטר s1 אחרי ביצוע הפקודה div בכתובת 0x10000008 ?

- א- 0
- ב- 1
- ג- 2
- ד- 4

ה- לעולם לא תתבצע הפקודה בכתובת 0x10000008

שאלה 8 (5 נקודות)

מהו הערך שיתקבל ברגיסטר t2 אחרי ביצוע הפקודה add בכתובת 0x1000000C ?

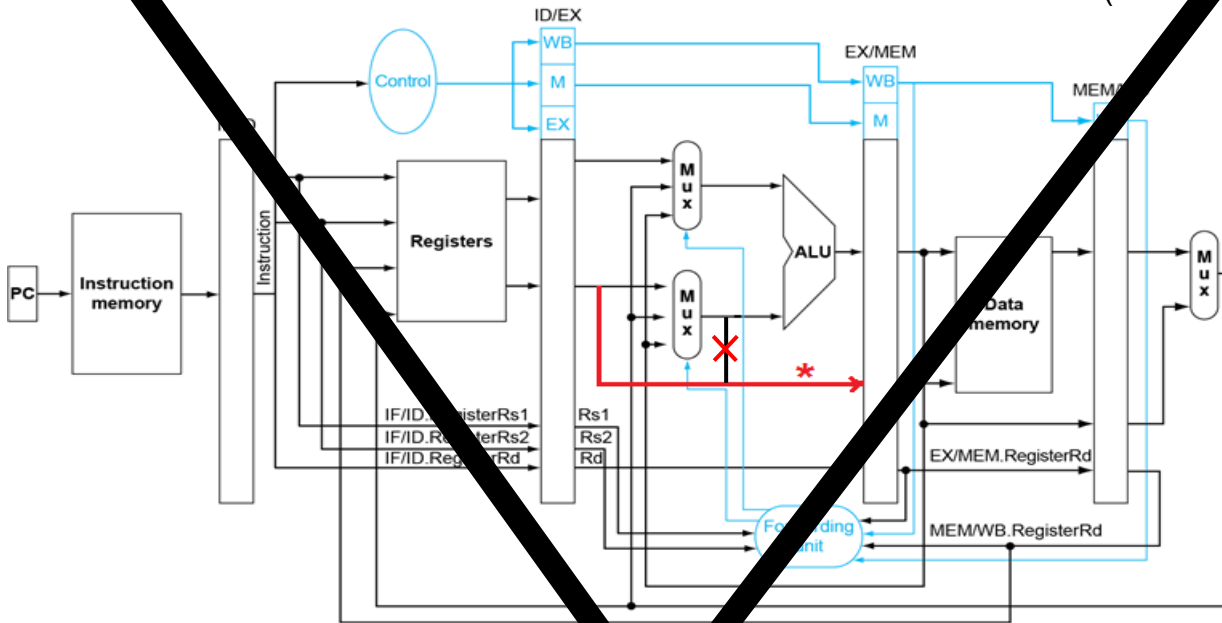
- א- 8
- ב- 7
- ג- 6
- ד- 5

ה- לעולם לא תתבצע הפקודה בכתובת 0x1000000C



שאלה 9 – Pipelined RISCv (5 נקודות)

שאלה זו מתייחסת ל- *Pipelined RISCv* הבא (המכיל חלקים רלבנטיים מזה שנלמד בפרצאות):



נתונים:

- **קיים Forwarding מלא**, אך **לא קיים Forwarding** בתוך ה- *Register File* (כלומר – לא קיים Forwarding בין שלב ה- *Decode*).
- **לא קיימת Hazard Detection** יחידת
- המעבד מניח תמיד שפקודות *branch* לא נלקוחות, ומכיל מנגנון *Flushing* במקרה שכן. ההחלטה הסופית על קצוות מתבצעת בתום שלב ה- *EXE*.

הערה: שימו לב לחוט המסומן ב-1. במימוש המקורי של ה- *Pipeline RISCv*. במעבד כפי שנלמד, החוט הזה היה מחובר מוצא של ה- *MUX* (מסומן ב-2) במימוש החדש ניתקנו אותו מהמוצא של ה- *MUX* וזכרנו אותו למקום אחר כמו שמתואר בציר.

נתון קטע הקוד הבא:

```
lw t1, 0(s1)
sw t1, 0(s0)
```

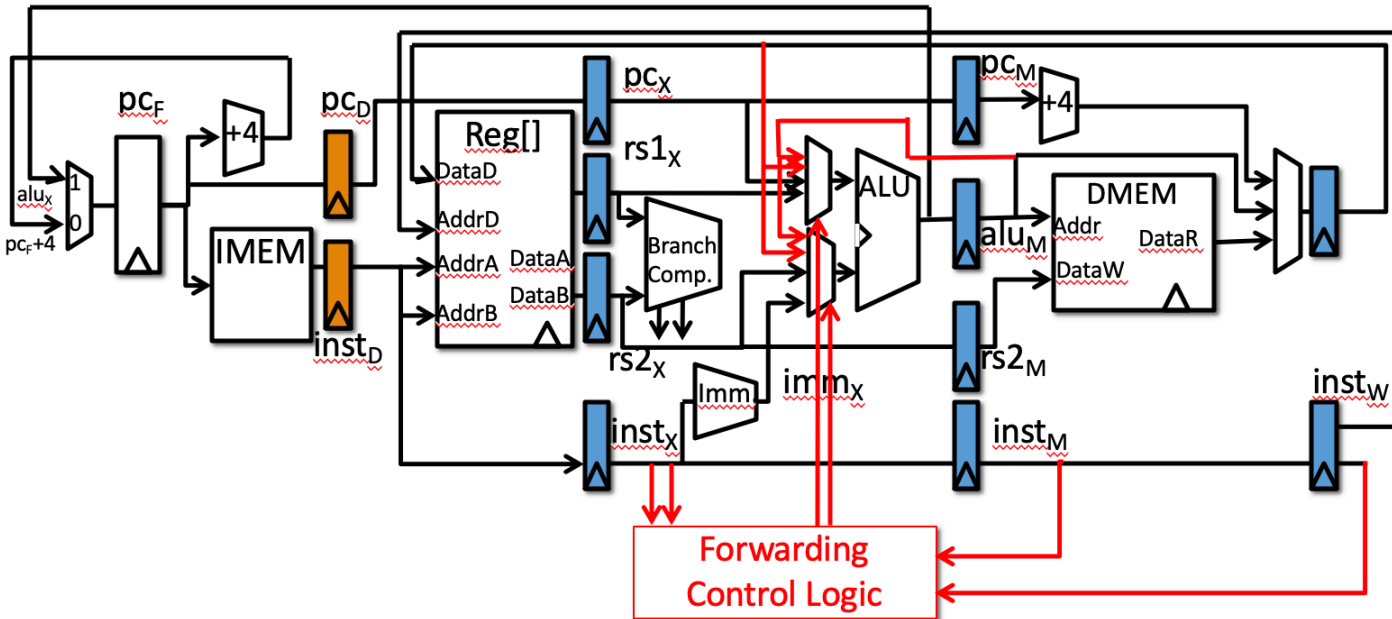
מה המספר המינימלי של פקודות *NOP* שיש להוסיף לקוד לעיל כדי שירוצן כשורה?

- א- 0
- ב- 1
- ג- 2
- ד- 3
- ה- 4

שאלה 3א – חורף תשע"ט מועד ב' (גרסה מתוקנת ומורחבת)

נתון מעבד Pipelined RISC-V כפי שנלמד בתרגול

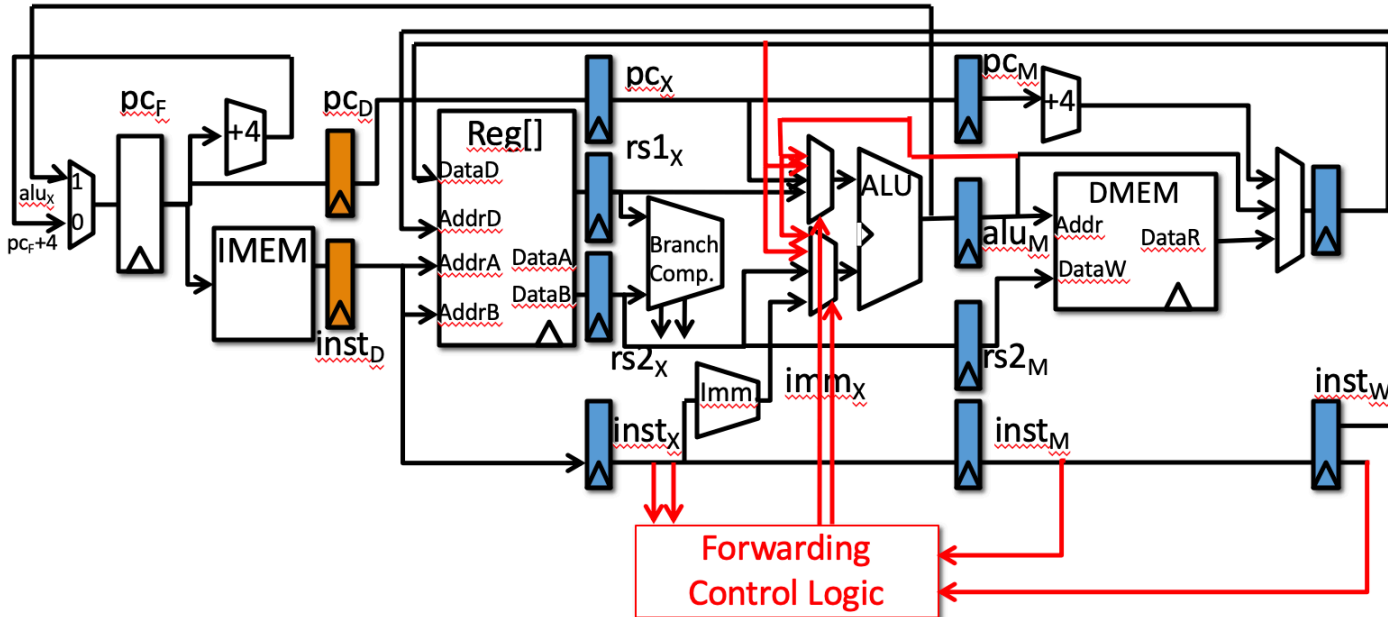
- **קיים Forwarding** מלא, אך **לא קיים Forwarding** בתוך ה- *Register File* (כלומר – לא קיים Forwarding בין שלב ה-WB לשלב ה-Decode).
- **לא קיימת Hazard Detection** יחידת
- המעבד מניח תמיד שפקודות *branch* לא נלקחות, ומכיל מנגנון *Flushing* במקרה שכן. ההחלטה הסופית על קפיצות מתבצעת בתום שלב ה-EXE.



סעיף חימום (לא הופיע במבחן) – בהינתן הקוד להלן, מה המספר המינימלי של פקודות NOP שנצטרך להוסיף בין הפקודות כדי שהקוד ירוץ כשורה?

LW t1, 0(s1)
SW t2, 0(t1)

- 0 -א
- 1 -ב
- 2 -ג
- 3 -ד
- 4 -ה



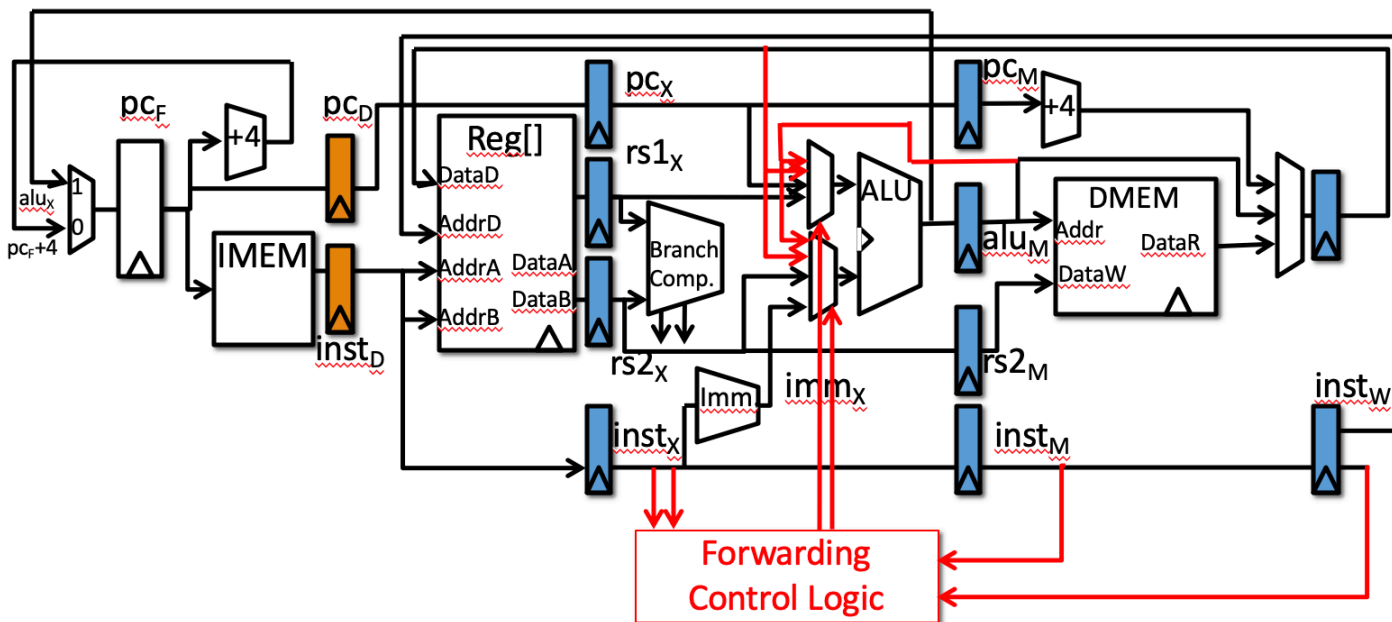
שאלה 3ב – חורף תשע"ט מועד ב' (גרסה מתוקנת ומורחבת)

```
lw t1, 0(s1)
```

```
sw t1, 0(s0)
```

מה המספר המינימלי של פקודות *NOP* שיש להוסיף לקוד לעיל כדי שירוך כשורה?

- 0 -א
- 1 -ב
- 2 -ג
- 3 -ד
- 4 -ה



שאלה 3ג – חורף תשע"ט מועד ב' (גרסה מתוקנת ומורחבת)

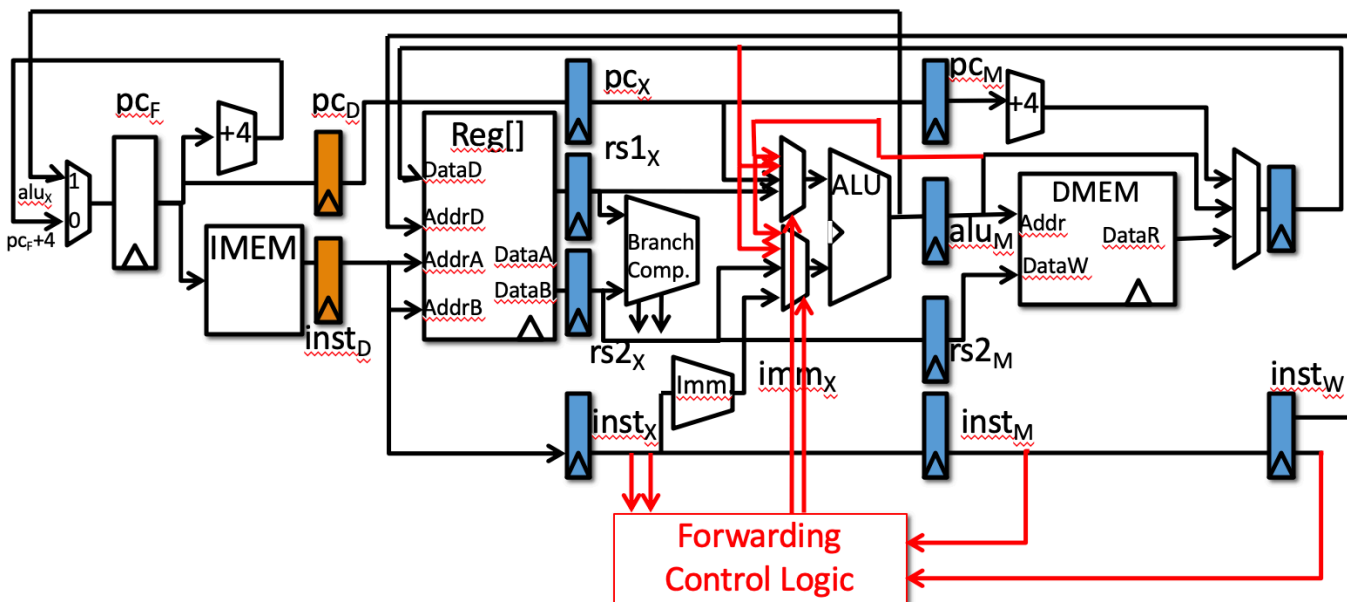
```
lw t1, 0(s1)
```

```
sw t1, 0(s0)
```

סעיף ג' (לא הופיע במבחן)

הצע תיקון ל-Datapath ע"י הוספת / שינוי חוטים ובוררים על מנת להפחית את כמות פקודות NOP הנדרשות. כמה פקודות NOP נדרשות כעת?

- 0 -א
- 1 -ב
- 2 -ג
- 3 -ד
- 4 -ה





שאלה 10 – מימוש מערכת צירופית (5 נקודות)

מעוניינים לממש רכיב צירופי BEQ בעל שתי כניסות, כל אחת ברוחב של 8 סיביות, ויציאה אחת ברוחב של סיבית אחת.



הרכיב מממש את הפונקציה הבאה:

$$BEQ(A, B) = \begin{cases} 1, & A = B \\ 0, & otherwise \end{cases}$$

לשם כך, ברשותכם כמות אינסופית של השערים הלוגיים: $\{AND, OR, NOT, XOR, NAND, NOR\}$ בעלי שתי כניסות כל אחד (למהפך יש כניסה אחת).
זמן ההשהיה של כל שער הוא $t_d = 1 \text{ ns}$.

שימו לב בשאלה זו אנו מעוניינים למצוא מימוש בעל זמן השהיה מינימלי ולא מספר שערים מינימלי. במילים אחרות, עדיפות ראשונה זמן השהיה מינימלי, עדיפות משנית כמות שערים מינימלית.

מבין התשובות הבאות, מהו זמן ההשהיה המינימלי האפשרי של הרכיב BEQ ?

- א- 3
- ב- 4
- ג- 5
- ד- 6
- ה- תשובות א'-ד' לא נכונות



שאלה 11 – SC Vs. MC (15 נקודות)

נתונים הזמנים הבאים עבור השלבים השונים במעבד RISC-V:

IF	ID	EXE	MEM	WB
200ps	100ps	200ps	200ps	100ps

בחברת "all the single processors", מתמחים בייצור מעבדי Single Cycle RISC-V.
מולם יש חברה מתחרה, "Multi Python", המייצרת מעבדי Multi Cycle RISC-V.

נתונה תכנית המורכבת אך ורק מפקודות lw ו-branch.

נתון שהיחס בין כמות הפקודות מהסוגים השונים הוא:
$$\frac{\#lw}{\#branch} = a$$

א- (5 נקודות) מהם ערכי a עבורם המעבד מסוג Single Cycle יסיים את התכנית לפני המעבד מסוג Multi Cycle? הסבירו.



עבור הסעיפים ב', ג' נתון ש $a = 0.5$.

אחד המהנדסים בחברת "all the single processors" מצא דרך לייעל את הארכיטקטורה כך ששלב ה- EXE בלבד יקח פחות זמן. כלומר שהזמן שלוקח שלב ה- EXE הוא $\delta - 200$.

ב- (5 נקודות) בהנחה שהשיפור אינו מיושם במעבד מסוג *Multi Cycle*, מהם ערכי δ עבורם המעבד מסוג *Single Cycle* יסיים את התכנית לפני המעבד מסוג *Multi Cycle*?



בגלל ריגול תעשייתי, כעת גם במעבדי ה-*Multi Cycle*, אימצו את השיפור של שלב ה-*EXE*.

ג- (5 נקודות) בהנחה שהשיפור מיושם בשני המעבדים, מהם ערכי δ עבורם המעבד מסוג *Single Cycle* יסיים את התכנית לפני המעבד מסוג *Multi Cycle*?



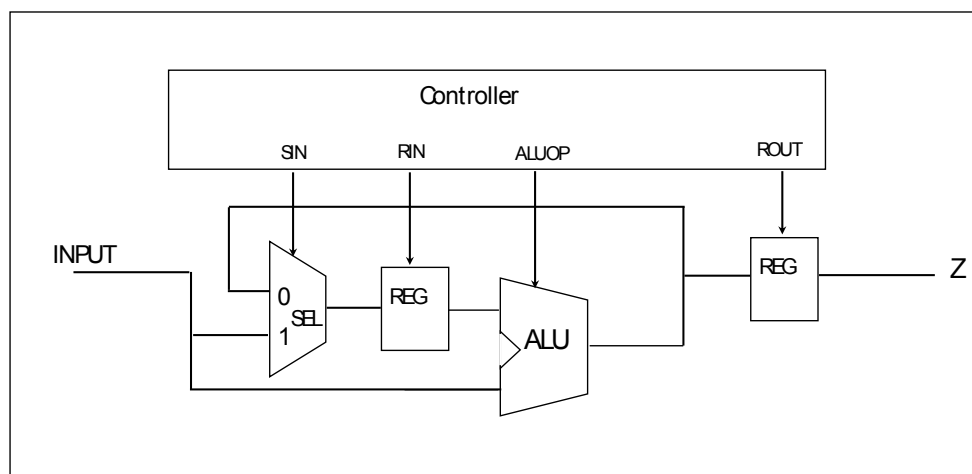
שאלה 12 – Controller-Datapath (15 נקודות)

נתונה מערכת Controller-Datapath. למערכת כניסה בעלת 8 סיביות ויציאה בעלת 8 סיביות. המערכת מקבלת מספר x בעל 8 סיביות, במחזור הבא היא מקבלת מספר y בעל 8 סיביות, ובמחזור הבא היא מקבלת מספר w בעל 8 סיביות. לבסוף המערכת מוציאה ערך שלם שהוא תוצאת הפעולה $z = \frac{x+y}{w}$, כלומר ערך שלם תחתון לתוצאת החילוק בין $(x+y)$ ל- w . התהליך חוזר על עצמו שוב ושוב. כלומר, בכניסת המערכת יופיעו המספרים $(x_1, y_1, w_1, x_2, y_2, w_2, \dots)$ (משמאל לימין). מוצא המערכת מתעדכן לאחר קבלת 3 המספרים x, y, w , ונשאר קבוע למשך 3 מחזורים.

לדוגמה:

# Cycle	1	2	3	4	5	6	7	8	9
Input	x_1	y_1	w_1	x_2	y_2	w_2	x_3	y_3	w_3
	10	2	3	5	5	2	13	17	3
Output	xxx	xxx	xxx	4	4	4	5	5	5

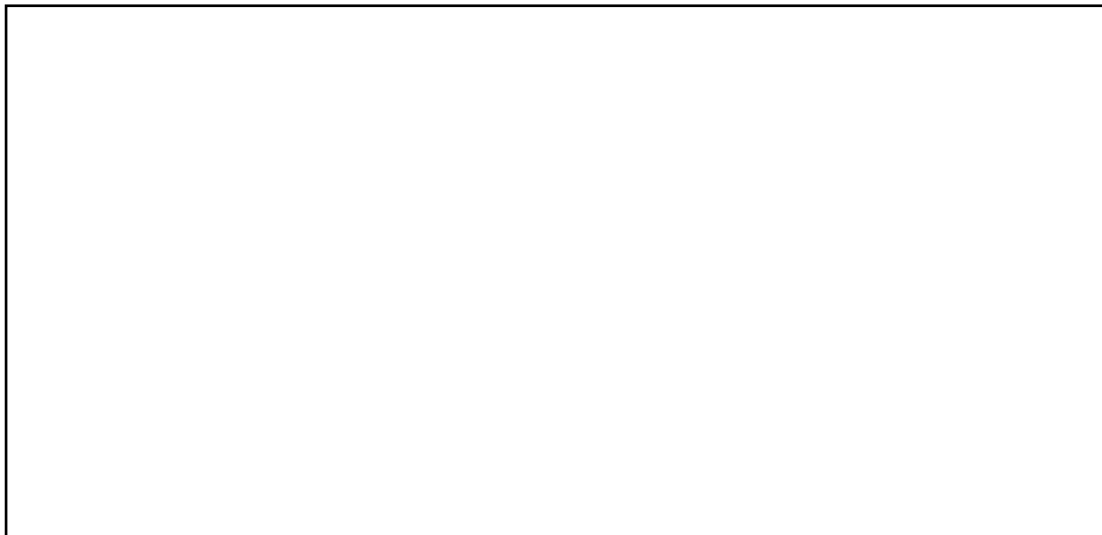
ה- Data path נתון והינו:



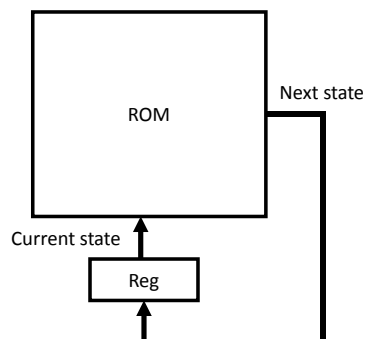
רכיב ה-ALU מסוגל לבצע פעולות חיבור וחילוק בלבד. כאשר $ALUOP=0$, הוא מבצע פעולת חיבור, וכאשר $ALUOP=1$ הוא מבצע פעולת חילוק בין הקלט העליון שלו לתחתון (כלומר עליון חלקי תחתון).



א- (5 נקודות) בנו את מכונת המצבים מסוג **Moore** שתתאר את ה-Controller. עליכם לציין בכל מצב מה יהיו הערכים של כל סיביות הבקרה במהלך אותו מצב. סיביות בקרה אלו הן יציאות ה-Controller. על מכונת המצבים להיות בעלת מספר מינימלי של מצבים.



ב- (5 נקודות) הוחלט על מימוש ה-Controller באמצעות ROM ורגיסטר מצב נוכחי **בלבד**. להזכירכם, מערכת כזאת נראית כך:

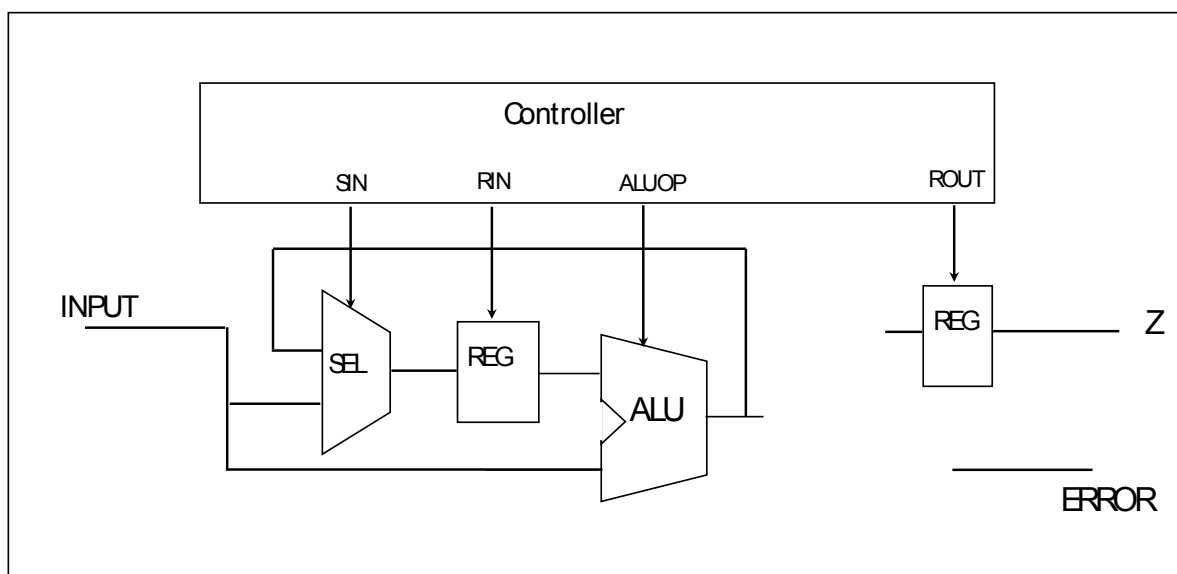


מה קיבולת ה-ROM המינימלית (מספר סיביות נתונים) לצורך המימוש? הסבירו.





- ג- (5 נקודות) הסטודנט שמימש את המערכת שם לב שהיא לא מטפלת במצב שבו $w=0$ (כלומר, במצב בו מחלקים ב-0). הסטודנט רוצה לשנות את המערכת כך שבהינתן $w=0$, המערכת תוציא בתום החישוב את המוצאים $error=1$ וגם $z=0$ (במקום להוציא את תוצאת החילוק).
- בתרשים שלהלן, הוסיפו את הלוגיקה הנדרשת ליישום השינוי המבוקש.
- ב-Datapath מותר להשתמש בשערים לוגיים, רגיסטרים, סלקטורים, חוטים וקבועים ללא הגבלה. ב-Controller באפשרותכם לשנות או להוסיף מוצאים למכונת המצבים, אך אינכם רשאים להוסיף מצבים למכונת המצבים.





שאלה 13 - ALU (5 נקודות)

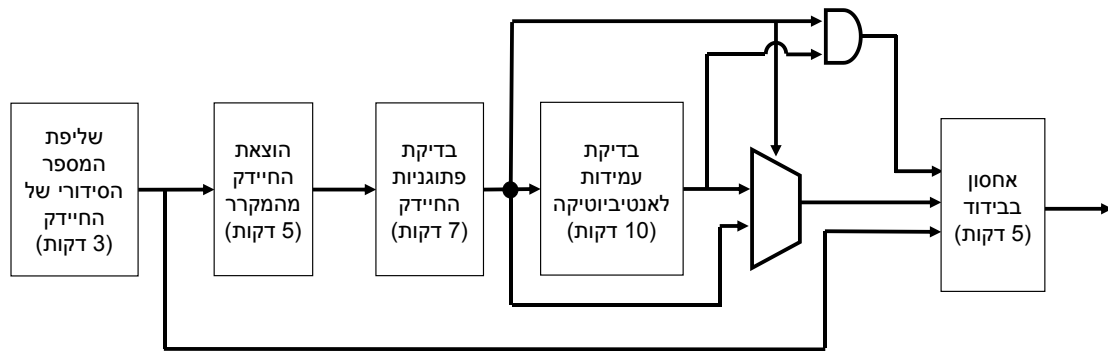
נתון מעבד מסוג Single-Cycle ומעבד מסוג Multi-Cycle. בדיקה העלתה שבשניהם יש תקלה: כאשר $ALU_{sel} = \text{sub}$, רכיב ה-ALU מבצע דווקא add . בהינתן תקלה זו ובהתייחס בנפרד לכל אחד משני המעבדים, הקף בעיגול את הפקודות שירוצו כשורה (כלומר לא יושפעו מהתקלה).

Multi Cycle	Single Cycle
Every R-type instruction	Every R-type instruction
LW	LW
SW	SW
BEQ	BEQ
JAL	JAL
אף פקודה לא תרוץ כשורה	אף פקודה לא תרוץ כשורה



שאלה 14 (15 נקודות)

מהנדסת ביוטכנולוגיה מעוניינת לשפר את תהליך בדיקת החיידקים במעבדה. לצורך בניית המערכת, המהנדסת פנתה לשותפתה למעונות, שעברה את הקורס "מערכות ספרתיות ומבנה המחשב", שהציעה את המערכת הבאה:



זמני ההשהיה של המערכות רשומים על גבי השרטוט לעיל כך שהזמן שרשום על גבי כל מערכת מהווה גם את זמן ה- t_{pd} וגם את זמן ה- t_{cd} שלה. זמני ההשהיה של שאר הרכיבים הלוגיים זניחים. אופן פעולת המערכת יוסבר בכל שאלה. בנוסף, נתון שהמערכת מקיימת את המשטר הסטטי לפיו אין לשנות את הכניסה לפני שמוצא המעגל סיים להתעדכן בוודאות.

א- (5 נקודות) המהנדסת מעוניינת להפעיל את המכשיר במשך הלילה כדי לבדוק את חיידקי המעבדה. לשם כך היא צריכה להגדיר זמן מחזור למערכת ה**צירופית**, כך שבכל זמן מחזור ישלף מספר סידורי של חיידק כלשהו. מה מספר הבדיקות המרבי שיכולה המערכת לבצע במשך 10 שעות הסבירו.



ב- (10 נקודות) מוצע לצנר את המערכת כדי להגדיל את תפוקתה בעדיפות ראשונה, ושימוש במינימום רגיסטרים בעדיפות שנייה. המהנדסת שמה לב שיש במלאי רק רגיסטרים עם הנתונים הבאים (בדקות):

$$\begin{aligned} t_{ccq} &= 0.5min \\ t_{pcq} &= 2min \\ t_{hold} &= 1min \\ t_{setup} &= 0.5min \end{aligned}$$

בנוסף, יש במעבדה מערכות השהייה שלא מבצעות פעולה לוגית כלשהי, אך יש להן את זמן ההשהיה: $t_{pd} = t_{cd} = 0.5min$. בכל מקום שתמצאו להוסיף רכיב השהייה סמנו זאת בעזרת משולש. כלומר:



צנרו את המערכת על גבי הציור להלן, כך שיתקבל המעגל התקין הנדרש.

