



מערכות ספרתיות ומבנה המחשב (044252)

סמסטר חורף תשע"ט

בחינה סופית – מועד א 29 בינואר 2019

טור 1

--	--	--	--	--	--	--	--	--	--

מספר סטודנט

משך המבחן: 3 שעות (180 דקות). **תכננו את זמנכם היטב.**

חומר עזר: אין להשתמש בכל חומר עזר בכתב, מודפס או אלקטרוני, פרט לדפי העזר שיחולקו במהלך הבחינה.

הנחיות והוראות:

- הבחינה כתובה על גבי 21 עמודים כולל עמוד זה (בדקו בתחילת הבחינה שלא חסרים לכם עמודים).
- בתחילת הבחינה תקבלו חוברת בחינה, מחברת טיוטה, דפי עזר וטופס תשובות ממוחשב. בסיום הבחינה, החזירו את חוברת הבחינה וטופס התשובות הממוחשב בלבד.
- יש לענות על כל השאלות בגוף המבחן.
- אין לתלוש או להפריד דפים מחוברת הבחינה, ממחברות הטיוטה ומדפי העזר.
- רשמו את מספר הסטודנט שלכם על חוברת הבחינה (בראש עמוד זה), על דפי העזר, ועל כל מחברות הטיוטה.
- לא מורדות נקודות (אין "קנס") בגין תשובה שגויה. לכן, כדאי לסמן תשובה כלשהי לכל שאלה.
- ציון השאלות רב הברירה ייקבע על סמך סריקה ממוחשבת של טופס התשובות בלבד. **לא לשכוח לסמן בטופס התשובות הממוחשב את מספר הטור שלכם (מופיע בראש עמוד זה).**
- אסור שימוש בכל חומר חיצוני. אסורה העברת חומר כלשהו בין הנבחנים, ואסורה כל תקשורת עם אנשים אחרים או כל מקור מידע. האיסור חל על כל צורות התקשורת – מילולית, חזותית, כתובה, אלקטרונית, אלחוטית, טלפנית, או אחרת. בפרט, אין להחזיק בטלפון סלולארי וגם לא במחשבון בזמן הבחינה.

בהצלחה!



שאלה 1 (5 נקודות)

נתונות הטענות הבאות:

A. במערכת צירופית המקיימת את המשטר הסטטי מתקיים $Throughput = \frac{1}{Latency}$

B. כדי להגדיל את ה- $Throughput$ **חייבים להקטין** את ה- $Latency$ של המערכת

C. ה- $Latency$ של מערכת מצונרת **בהכרח גדול שווה** ל- $Latency$ של **אותה** מערכת צירופית (בלי הפליפ-פלופים).

תזכורת: המשטר הסטטי קובע שאין לשנות את הכניסה לפני שמוצא המעגל סיים להתעדכן

בחרו את התשובה **הנכונה החזקה ביותר** מבין האפשרויות הבאות:
הערה: תשובה 1 חזקה יותר מ-2 אם נכונותה של 1 גוררת את נכונותה של 2.

- א- טענה A נכונה
- ב- טענה B נכונה
- ג- טענה C נכונה
- ד- טענות A ו- B נכונות
- ה- טענות A ו- C נכונות



שאלה 2 (5 נקודות)

נתונים משדר ומקלט העובדים לפי פרוטוקול התקשורת הטורי שנלמד בקורס UART. המשדר משדר סיבית חדשה כל T_{bit} והמקלט תוכנן בטעות לדגום כל $T_{bit} + \delta$. המקלט מזהה את Start-Bit מיידית.

כאשר: $-T_{bit} < \delta < T_{bit}$, $\delta \neq 0$

בהנחה שלא יכולות להתרחש שגיאות על קו התקשורת, מבין הערכים הבאים של δ , בחרו את התשובה המאפשרת שידור וקליטה של המספר המירבי של סיביות מידע רצופות באופן תקין?

א- $\frac{T_{bit}}{20}$

ב- $-\frac{T_{bit}}{33}$

ג- $\frac{T_{bit}}{33}$

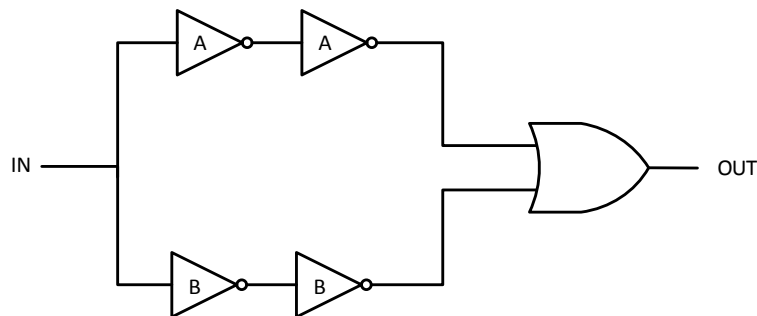
ד- $-\frac{T_{bit}}{64}$

ה- $\frac{T_{bit}}{93}$



שאלה 3 (5 נקודות)

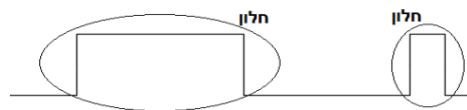
נתונה המערכת הצירופית הבאה



להלן זמני ההשהיה

$t_{pd}(A) = 3 \text{ ns}$	$t_{cd}(A) = 2 \text{ ns}$
$t_{pd}(B) = 4 \text{ ns}$	$t_{cd}(B) = 1 \text{ ns}$
$t_{pd}(OR) = 7 \text{ ns}$	$t_{cd}(OR) = 5 \text{ ns}$

נגדיר "חלון אחדים" כמשך הזמן בו האות נמצא ב- '1' באופן רציף (ברגע שיש '0' החלון מסתיים).



בכניסה IN של המערכת מכניסים חלון אחדים באורך של 25 ns . מבין התשובות הבאות, בחרו את אורכו המירבי האפשרי של חלון אחדים במוצא של המערכת כתגובה לקלט זה:

- א- 27 ns
- ב- 29 ns
- ג- 31 ns
- ד- 33 ns
- ה- 35 ns



שאלה 4 (5 נקודות)

מקודדים ספרות בבסיס 10 בייצוג בינארי בו לכל ספרה 0-9 קיימת מילת קוד אחת וייחודית בת 4 סיביות.

נגדיר קוד עולה ממש:

יהיו x, y שתי ספרות ויהיו ψ_x, ψ_y הקידודים של הספרות בייצוג בינארי בהתאמה. אם ורק אם לכל שתי ספרות $x < y$ מתקיים גם ש- $\psi_x < \psi_y$ הקוד נקרא עולה ממש.

הערה: $\psi_x < \psi_y$ משמעותו שהערך המיוצג בבסיס בינארי (ללא סימן) כ- ψ_x קטן מהערך המיוצג בבסיס בינארי (ללא סימן) כ- ψ_y . למשל, עבור $\psi_y = 1000$, $\psi_x = 0111$ מתקיים ש- $\psi_x < \psi_y$ מכיון ש- $7 < 8$.

הנכונה החזקה ביותר

מבין הטענות שלהלן, בחרו את הטענה **הנכונה החזקה ביותר** הערה: טענה א' חזקה יותר מטענה ב' אם"ם נכונות טענה א' גוררת נכונות טענה ב'

- א- המרחק של **כל** קוד עולה ממש הוא 1
- ב- המרחק של **כל** קוד לקידוד ספרות בבסיס 10 (**לאו דווקא** עולה ממש) הוא 1
- ג- **קיים** קוד עולה ממש שהמרחק שלו הוא 2
- ד- **קיים** קוד עולה ממש שהמרחק שלו הוא 3
- ה- תשובות א'-ד' לא נכונות

הערה: המונח "קוד" בתשובות מתייחס לקוד המייצג ספרות עשרוניות כמתואר בראש השאלה.



שאלה 5 (5 נקודות)

בתהליך הצמצום של טבלת המצבים של מערכת עקיבה סינכרונית שיש לה כניסה אחת ויציאה אחת, התקבלה השורה הבאה:

$$P_3 = (ABC)(DEFG)(HIJ)$$

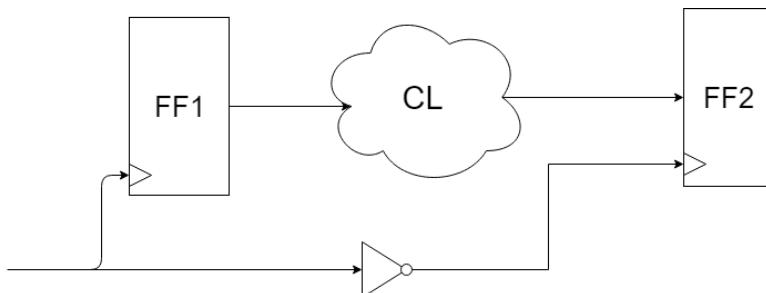
מבין התשובות הבאות, בחרו את התשובה הנכונה החזקה ביותר:

- א- המערכת היא **בהכרח** מסוג Mealy
- ב- המערכת היא **בהכרח** מסוג Moore
- ג- אם המערכת היא מסוג Mealy אז **בהכרח** מתקיים ש- $P_1 = P_2$
- ד- אם המערכת היא מסוג Mealy אז **בהכרח** מתקיים ש- $P_2 = P_3$
- ה- יש יותר מתשובה אחת נכונה בין התשובות א' עד ד'

הערה: בשאלה זו, תשובה ה' תחשב חזקה יותר מהאחרות.

שאלה 6 (5 נקודות)

מהנדס חומרה תכנן את המעגל הבא:



שימו לב, שבכניסת השעון של FF2 מחובר מהפך.

נתונים עבור שני הדלגלים:

$$t_{pcQ} = 10ns$$

$$t_{ccQ} = 3ns$$

$$t_{setup} = 2ns$$

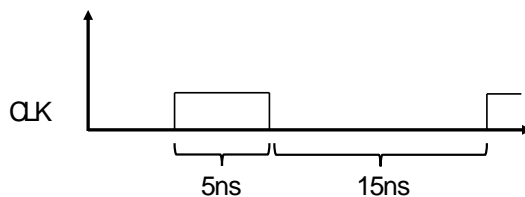
$$t_{hold} = 3ns$$

נתונים עבור המהפך:

$$t_{cd} = 0ns$$

$$t_{pd} = 0ns$$

נתון שזמן המחזור של השעון הינו: $T = 20ns$, ושערך אות השעון שווה ל-'1' במשך $5ns$, ושווה ל-'0' במשך $15ns$. כלומר:



מבין התשובות הבאות, מצאו את התנאים **המתירנים ביותר** על $t_{pd}(CL)$ ו- $t_{cd}(CL)$ שמאפשרים עבודה תקינה של המעגל:

א- $5ns \leq t_{cd}(CL) \leq t_{pd}(CL) \leq 8ns$

ב- $5ns \leq t_{cd}(CL) \leq t_{pd}(CL) \leq 13ns$

ג- $0ns \leq t_{cd}(CL) \leq t_{pd}(CL) \leq 8ns$

ד- $0ns \leq t_{cd}(CL) \leq t_{pd}(CL) \leq 13ns$

ה- המעגל אינו עומד בתנאי Hold בכל מקרה, ולכן לא קיימים תנאים שיאפשרו את עבודתו התקינה של המעגל.



שאלות 7-8

נתונה התכנית הבאה:

```
addi t0, x0, 0

addi t1, x0, 5

addi s1, x0, 0x200

Loop:  beq t1, t0, finish

        addi t0, t0, 1

        lw  t2, 0(s1)

        xor t2, t2, -1

        addi s1, s1, 4

        beq x0, x0, Loop

Finish:  NOP

        NOP
```

הקוד רץ על מעבד מסוג Pipe-Line RISC-V.

נתונים:

- **קיים Forwarding מלא, אך לא קיים Forwarding** בתוך ה- Register File (כלומר – לא קיים Forwarding בין שלב ה-WB לשלב ה-Decode).
- **לא קיימת יחידת Hazard Detection Unit.**
- המעבד מניח תמיד שפקודות Branch **לא נלקחות, ומכיל** מנגנון Flushing במקרה שכן. ההחלטה הסופית על קפיצות מתבצעת בתום שלב ה- EXE.

שאלה 7 (5 נקודות)

מה המספר המינימלי של פקודות NOP שתיאלצו להוסיף לקוד לעיל על מנת שירוצ כשורה?
הערה: לא ניתן לשנות את הסדר של הפקודות

- א- 0
- ב- 1
- ג- 2
- ד- 3
- ה- 4



שאלה 8 (5 נקודות)

עבור שאלה זו בלבד, כל מנגנוני ה- Forwarding וה- Stall פעילים.

כדי לשפר את ביצועי הקוד, הוחלט להוסיף מנגנון Branch Prediction שמנסה לחזות האם ה- Branch הולך לקפוץ או לא:

- אם המנגנון אומר שהולכת להתבצע קפיצה, הפקודות הבאות שטיטענה הן הפקודות החל מיעד הקפיצה (ניתן להניח שהמנגנון יודע מה כתובת הפקודה אליה תתבצע הקפיצה).
- אם המנגנון אומר שלא הולכת להתבצע קפיצה, הפקודות הבאות שטיטענה הן הפקודות העוקבות ל- Branch.
- אם המנגנון טעה, יש צורך בביצוע Flushing.

בהינתן שהמנגנון צודק בחלק- a מהמקרים (כאשר: $0 \leq a \leq 1$), מה התנאי **המתירני**

ביותר על a כך שכדאי יהיה להשתמש במנגנון החדש, עבור הקוד הנתון?

א- $a \geq \frac{5}{11}$

ב- $a \geq \frac{7}{11}$

ג- $a \geq \frac{9}{11}$

ד- בכל מקרה כדאי להשתמש במנגנון החדש.

ה- בכל מקרה לא כדאי להשתמש במנגנון החדש.



שאלות 9 (5 נקודות)

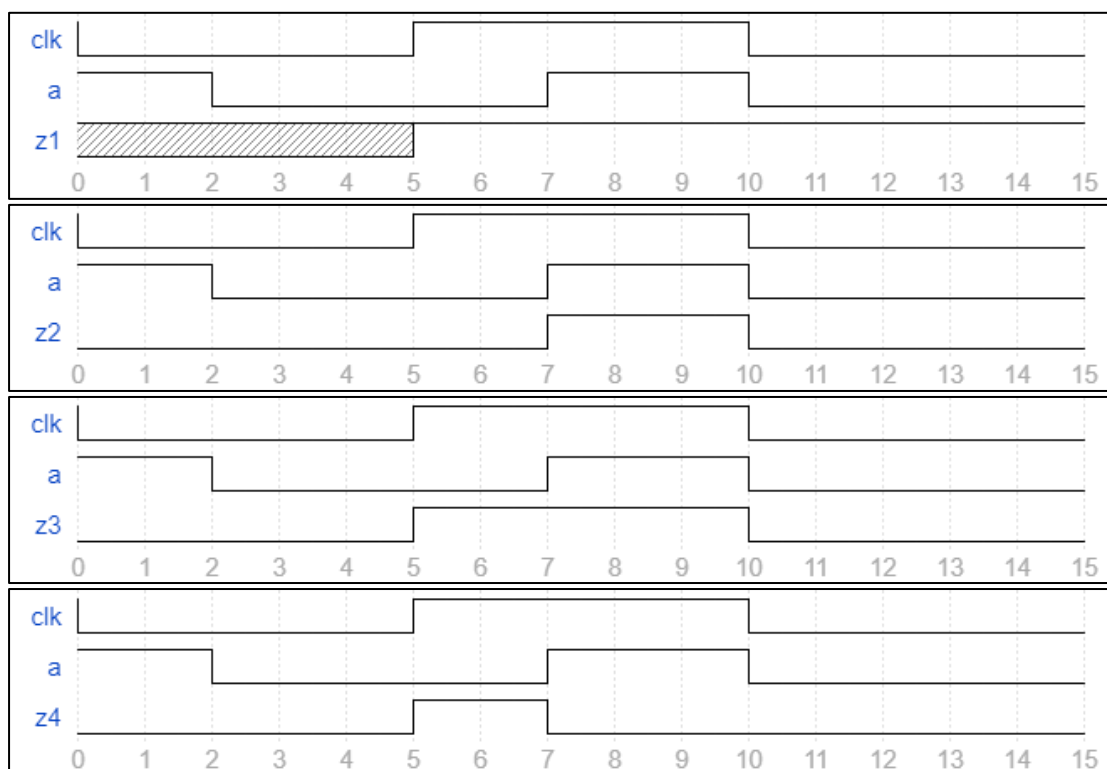
נתון קוד ה-Verilog הבא:

```
module test(clk, a, z);
  input clk;
  input a;
  output reg z;

  always @(clk) begin
    if (clk == 1'b1) begin
      z = ~a;
    end
    else begin
      z = 1'b0;
    end
  end
end

endmodule
```

נתונות ארבע דיאגרמות אפשריות עבור הפלט z. שימו לב כי בכל הדיאגרמות הקלטים a ו-clk זהים, ולפני t=0 הסיגנל clk היה '1' והסיגנל a היה '1':





הערה: הסימון המפוספס בדיאגרמה z_1 מסמן את הערך 'א'.

בחרו את הטענה הנכונה:

- א- הפלט z יראה כמו דיאגרמה z_1 בסינתזה ובימולציה
- ב- הפלט z יראה כמו דיאגרמה z_1 בסינתזה וכמו z_2 בסימולציה
- ג- הפלט z יראה כמו דיאגרמה z_2 בסינתזה וכמו z_1 בסימולציה
- ד- הפלט z יראה כמו דיאגרמה z_4 בסינתזה וכמו z_3 בסימולציה
- ה- תשובות א'-ד' לא נכונות



שאלה 10 (5 נקודות)

לאחר ייצור מעבד *RISC-V Multi Cycle*, התגלתה בעיה בתפקוד הנובעת מתקלה בייצור: כאשר הפקודה היא מסוג *lw*, בכל פעם שמגיעים לשלב ה-*EXE*, מדלגים מיד אחריו לשלב ה-*WB* של הפקודה במקום לבצע קודם את שלב ה-*MEM*. נתון שעבור פקודת *lw* אין תקלות נוספות. עם זאת, ייתכנו תקלות אחרות עבור שאר הפקודות.

מה מהאפשרויות הבאות יכולה להיות מקור הבעיה:

- א- הביטים של ה-*AddrCtr* נכנסים הפוך לתוך הבורר שקובע את המצב החדש.
- ב- ה-*adder* שמחובר לכניסה 3 של הבורר שקובע את המצב החדש תמיד מוסיף 2 במקום להוסיף 1.
- ג- כניסת המידע המתאימה לערך הבקרה 0, בבורר שקובע את המצב החדש, תקועה על הערך '4'.
- ד- טעות בשתי שורות בטבלת ה-*Dispatch rom 2*.
- ה- תשובות א'-ד' לא נכונות



שאלה 11 (5 נקודות)

תכננו מכונת מצבים מסוג MOORE אשר מקבלת כניסה של ביט בודד ומוציאה ביט בודד. ביט המוצא יהיה '1' אם רצף 4 הביטים האחרונים שהתקבלו (שמשיפיעים על היציאה) הוא '1001' או '1110'. אחרת, ביט המוצא יהיה '0'. שימו לב שהרצפים מתקבלים משמאל לימין, כלומר, שברצף '1110' הספרה הראשונה שהתקבלה היא '1'. כמו כן, מכונת המצבים לא חוזרת למצב ההתחלתי לאחר שביט המוצא הוא '1'. לדוגמא: אם הרצף שהתקבל הוא '111001' המוצא יהיה '1' גם לאחר קבלת הקלט הרביעי וגם לאחר קבלת הקלט השישי (האחרון).

Input	1	1	1	0	0	1	
Output	X	0	0	0	1	0	1

הניחו שלפני קבלת הקלט הראשון המכונה מקבלת הרבה אפסים ('000...000').

מהו מספר המצבים במכונה המצומצמת?

א- 6

ב- 7

ג- 8

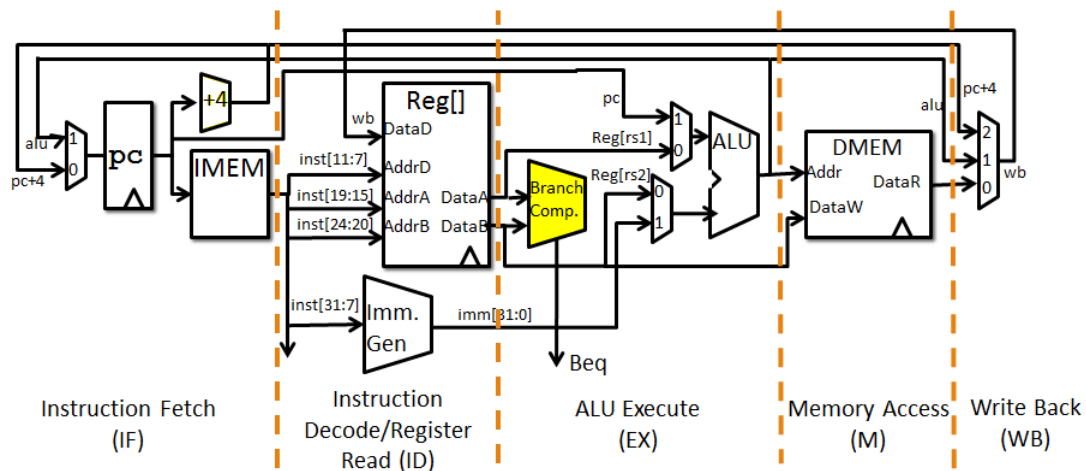
ד- 9

ה- לא ניתן לממש את המערכת כמכונת מצבים סופית



שאלה 12 (20 נקודות)

במעבד *Single Cycle RISC-V* הוחלט לתמוך בפקודות הסתעפות מסוג *beq* ו-*bne* בלבד.



שימו לב שבמעבד הנתון ל- *Branch Comparator* יש יציאה אחת בלבד *Beq*.

המהנדס שבנה את המעבד, השתמש בטעות ברכיב *Branch Comp.* לא יעיל בעל זמן
השהיה גדול יחסית.
נתונים זמני ההשהיה הבאים של השלבים השונים במעבד:

IF	ID	EX	M	WB
2 ns	1 ns	α	2 ns	1 ns

α לא נתון, אבל נתונים לכם זמני ההשהיה של הרכיבים השונים:

$$t_{pd}(\text{Branch Comparator}) = 5 \text{ ns}$$

$$t_{pd}(\text{ALU}) = 1 \text{ ns}$$

$$t_{pd}(\text{MUX } 2 \rightarrow 1) = 0 \text{ ns}$$

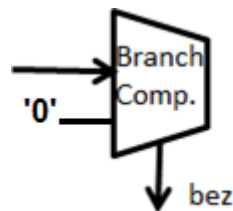
$$t_{pd}(\text{Controller}) = 0 \text{ ns}$$

א- (3 נקודות) מהו זמן המחזור המינימלי של המעבד? הסבר.



הוצע לבנות **מעבד חדש** שבו מחליפים את ה- *Branch Comp.* ברכיב חדש שיש לו 2 כניסות ויציאה אחת (אחת הכניסות תמיד מחוברת ל- '0').

$$bez(A) = \begin{cases} 1, & A = 0 \\ 0, & otherwise \end{cases}$$



זמן ההשהיה של הרכיב החדש הוא 0.8 ns .

כתוצאה מהשינוי, הוחלט לעדכן את סט הפקודות. הפורמט המקורי של פקודות ההסתעפות (*bne* ו- *beq*) יהפוך ל**פסאודו-פקודה**, לדוגמא:

beq rs1, rs2, label

יתורגם ל-

sub rs1, rs1, rs2
bez rs1, label

כנ"ל גם לגבי *bne* בהתאמה (במקום *bez* משתמשים ב- *bnz*).

ב- (3 נקודות) מהו זמן המחזור המינימלי של המעבד ה**חדש**? הסבר.



בסעיפים הבאים, הניחו כי זמן המחזור לפני השינוי הוא 10 ns וזמן המחזור אחרי השינוי הוא 7 ns (ללא תלות בתשובה לסעיפים הקודמים).

נסמן:

$T_{old}(program)$ - זמן הריצה של תוכנית אסמבלי על המעבד הישן.
 $T_{new}(program)$ - זמן הריצה של תוכנית אסמבלי על המעבד החדש.

ג- (3 נקודות) תנו דוגמה לתוכנית $Prog$ כך ש- $T_{new}(Prog) < T_{old}(Prog)$

ד- (3 נקודות) תנו דוגמה לתוכנית $Prog$ כך ש- $T_{new}(Prog) > T_{old}(Prog)$



ה- (4 נקודות) תנו דוגמה לתוכנית שאם מריצים אותה על המעבד החדש מקבלים תוצאה שונה מזו שמקבלים אם מריצים אותה על המעבד הישן. הסבירו.

ו- (4 נקודות) בסעיף זה בלבד, מניחים שאין את הבעיה מהסעיף הקודם.
בהינתן תוכנית *Prog* כלשהי, שעבורה ידוע כי מתקבל את אותו הפלט על שני המעבדים. איך מחליטים איפה כדאי להריץ אותה? על המעבד החדש או על המעבד הישן? הסבר.
רמז: תחשבו על כמות הפקודות מהסוגים השונים בתוכנית



שאלה 13 (10 נקודות)

שני מהנדסי חשמל מעוניינים לכתוב קוד בשפת אסמבלי.

המהנדס הראשון כותב את הפונקציה SECRET_FUNC, שמקבלת כתובת בזיכרון ומבצעת פעולה סודית על המספר שמאוחסן בכתובת זו. עליכם לעזור למהנדס השני לכתוב את הפונקציה APPLY_ON_ARRAY שמבצעת את הפעולה הסודית על כל איברי מערך.

נתון שהמערך מתחיל בתא 0x20000 ושגודל המערך הינו 0x20 מילים (שניהם בבסיס 16).

א- (5 נקודות) השלימו את הקוד במקומות הריקים (שורות 2-3, 8, 9, 11) לפי הנדרש בהערות. שימו לב שבשורות 2-3, צריך לאתחל את כתובת תחילת המערך לרגיסטר s0. ניתן להשתמש בפקודה יחידה, או ב- 2.

```
1  APPLY_ON_ARRAY:  addi sp, sp, -0x20
2                      _____ # Initialize array address to s0
3                      _____ # Initialize array address to s0
4                      addi s1, x0, 0x20
5                      add s2, x0, x0
6  LOOP:             beq s2, s1, FINISH
7                      addi s2, s2, 1
8                      sw ___, 0(sp)      # Backup registers
9                      _____ # Prepare arguments for function
10                     jal ra, SECRET_FUNC
11                     lw ___, 0(sp)      # Reload backed-up registers
12                     addi s0, s0, 4
13                     jal x0, LOOP
14  FINISH:
```

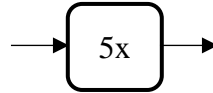


ב- (5 נקודות) לאחר התיקונים שביצעתם לפונקציה, האם הקוד מקיים קונבנציית הקריאה לפונקציה? הסבר. אם לא, תאר אילו שינויים נדרשים על מנת שהקוד ירוץ לפי הקונבנציה.



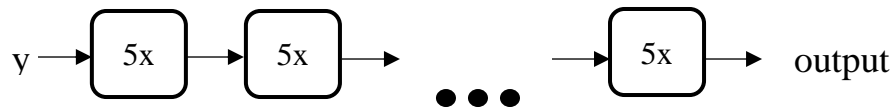
שאלה 14 (15 נקודות)

נתון רכיב צירופי אשר מקבל מספר כלשהו, y , ומוציא ערך שהוא $5y$.
נקרא לרכיב "5x" ונסמן אותו באופן הבא:



נתון שהרכיב מקיים $t_{pd} = 4\mu s$
בעזרת שימוש ברכיב הנתון, נרצה לבנות מערכת חדשה שתחשב עבור מספר כלשהו, y , את הערך $5^a y$.

פתרון אחד שהוצע הוא מערכת בעלת a רכיבים הבנויה בצורה הבאה:



א- (4 נקודות) מהו ה- $Throughput$ ומהי ה- $Latency$ של המערכת (כתלות ב- a)?

על מנת להגדיל את ה- $Throughput$, הוצע לצנר (pipeline) את המערכת ע"י הוספת רכיבי פליפ-פלוף אידאליים ($t_{setup} = t_{hold} = 0, t_{pcq} = 0$).

ב- (4 נקודות) שרטטו את המערכת המצונרת וחשבו את ה- $Throughput$ וה- $Latency$ האופטימליים.



כעת נתון שהפליפ-פלופים לא אידאליים אבל עדיין זהים. לכל פליפ-פלופ יש את הערכים הבאים: $t_{setup} = 10\mu s$, $t_{hold} = 0$, $t_{pcq} = 15\mu s$.

ג- (3 נקודות) חשבו את זמן המחזור המינימלי T_{min} שעבורו המערכת תעבוד באופן תקין.

ד- (4 נקודות) מהם ערכי a עבורם עדיף לעבוד עם המערכת המקורית (מסעיף א') מבחינת $Throughput$? הסבירו.