



## מערכות ספרתיות ומבנה המחשב (044252)

סמסטר אביב + קיץ תשע"ט

### בחינה סופית – מועד ב 7 באוקטובר 2019

#### טור 1

--	--	--	--	--	--	--	--	--	--

מספר סטודנט

**משך המבחן:** 3 שעות (180 דקות). **תכננו את זמנכם היטב.**

**חומר עזר:** אין להשתמש בכל חומר עזר בכתב, מודפס או אלקטרוני, פרט לדפי העזר שיחולקו במהלך הבחינה.

#### **הנחיות והוראות:**

- הבחינה כתובה על גבי 20 עמודים כולל עמוד זה (בדקו בתחילת הבחינה שלא חסרים לכם עמודים).
- בתחילת הבחינה תקבלו חוברת בחינה, מחברת טיוטה, דפי עזר וטופס תשובות ממוחשב. בסיום הבחינה, החזירו את חוברת הבחינה וטופס התשובות הממוחשב בלבד.
- יש לענות על כל השאלות בגוף המבחן.
- אין לתלוש או להפריד דפים מחוברת הבחינה, ממחברות הטיוטה ומדפי העזר.
- רשמו את מספר הסטודנט שלכם על חוברת הבחינה (בראש עמוד זה), על דפי העזר, ועל כל מחברות הטיוטה.
- לא מורדות נקודות (אין "קנס") בגין תשובה שגויה. לכן, כדאי לסמן תשובה כלשהי לכל שאלה.
- ציון השאלות רב הברירה ייקבע על סמך סריקה ממוחשבת של טופס התשובות בלבד. **לא לשכוח לסמן בטופס התשובות הממוחשב את מספר הטור שלכם (מופיע בראש עמוד זה).**
- אסור שימוש בכל חומר חיצוני. אסורה העברת חומר כלשהו בין הנבחנים, ואסורה כל תקשורת עם אנשים אחרים או כל מקור מידע. האיסור חל על כל צורות התקשורת – מילולית, חזותית, כתובה, אלקטרונית, אלחוטית, טלפתית, או אחרת. בפרט, אין להחזיק בטלפון סלולארי.

**בהצלחה!**



## שאלה 1 (5 נקודות)

נתונים שני ה-modules הבאים:

```
module mymodule (  
    input logic clk,  
    input logic rst,  
    output logic done  
);  
parameter N = 3;  
logic [31:0] w;  
  
always_ff @(posedge clk, posedge rst) begin  
    if (rst == 1'b1) begin  
        w <= 32'd0;  
    end  
    else begin  
        if (w < N - 1) begin  
            w <= w + 1;  
        end  
        else if (w == N - 1) begin  
            w <= 32'd0;  
        end  
    end  
end  
  
always_comb begin  
    if (w == N - 1) begin  
        done = 1'b1;  
    end  
    else begin  
        done = 1'b0;  
    end  
end  
endmodule
```

```
module mymodule2 (  
    input logic clk,  
    input logic rst,  
    output logic out  
);  
logic w1;  
logic w2;  
mymodule uut1 (clk, rst, w1);  
mymodule #(N(2)) uut2 (clk, rst, w2);  
  
always_comb begin  
    if ((w1 == 1'b1) && (w2 == 1'b1)) begin  
        out = 1'b1;  
    end  
    else begin  
        out = 1'b0;  
    end  
end  
endmodule
```



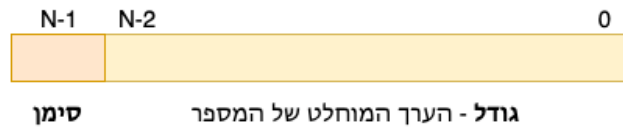
אל כניסת ה-clk של mymodule2 מחברים שעון ואל כניסת ה-rst שלו מחברים את reset.  
לאחר reset, כל כמה מחזורי שעון יקבל הסיגנל out במודול mymodule2 את הערך 1'b1?

- א- 2
- ב- 3
- ג- 4
- ד- 5
- ה- 6



## שאלה 2 (5 נקודות)

נגדיר שיטת ייצוג חדשה בשם 'גודל וסימן' (*sign & magnitude*) לייצוג מספרים שלמים בעלי סימן. בשיטה זו, עבור מספר בן  $N$  סיביות, משתמש ב-  $N - 1$  הסיביות התחתונות כדי לייצג את הערך המוחלט של המספר בייצוג בינארי, וב-  $MSB$  כדי לקבוע את הסימן, באופן הבא:



$$sign = \begin{cases} 0 - positive \\ 1 - negative \end{cases}$$

ה-  $MSB$  השווה ל- '0' משמעו מספר חיובי, וה-  $MSB$  השווה ל- '1' משמעו מספר שלילי.

דוגמאות:

- 1- המספר 1011 בייצוג *sign & magnitude* שווה ל- (-3) בבסיס 10.  
הסבר: המספר מורכב מ- 4 סיביות, הערך המיוצג ב- 3 הסיביות התחתונות הוא 3, וה-  $MSB$  השווה ל- '1' מסמן שהמספר הוא שלילי ולכן הערך בבסיס 10 הוא (-3).
- 2- המספר 0011 בייצוג *sign & magnitude* שווה ל- 3 בבסיס 10.
- 3- שימו לב ש- 0 ... 0 ו- 00 ... 0 שניהם מייצגים את הערך 0.

בשאלה זו, מעוניינים לממש רכיב המכפיל בין שני מספרים **בני 2 סיביות** כל אחד המיוצגים בשיטת *sign & magnitude*, ומוציא מספר בייצוג זה בעל מספר סיביות מינימאלי הדרוש לייצוג התוצאה.

ברשותכם מספר בלתי מוגבל של השערים הלוגיים:

$AND$ ,  $OR$ ,  $NAND$ ,  $NOR$ ,  $XOR$ ,  $XNOR$ ,  $NOT$

לכל אחד מהשערים יש 2 כניסות בלבד (למעט שער  $NOT$  יש לו רק כניסה אחת).

מבין התשובות הבאות, מהו מספר השערים המינימלי הנדרש על מנת לממש את המכפל המבוקש?

- א- 1
- ב- 2
- ג- 3
- ד- 4
- ה- 5



### שאלה 3 (5 נקודות)

שני מהנדסים מתקשרים ביניהם באמצעות "קוד חזרות" באורך  $r > 2$ . בקוד זה, כל סיבית משודרת  $r$  פעמים ברצף.

ידוע שלפעמים, על קו התקשורת נוצרת שגיאה בצורת התהפכות ביט אחד בלבד. אחד המהנדסים מעוניין לתכנן מערכת צירופית שמטרתה לשחזר את הביט המקורי שנשלח, מתוך המילה שהתקבלה. כלומר, המערכת מקבלת כקלט מילה באורך  $r$  ומייצרת פלט בן סיבית אחת שערכה כערך הסיבית שהופיעה יותר פעמים במילה.

דוגמה:

עבור  $r = 4$  והקלט 1011, הפלט של המערכת יהיה 1, מכיוון שיש יותר '1' מ-'0' בקלט המערכת.

תכננו את המערכת עבור  $r = 4$  וצמצמו אותה ככל שניתן כסכום מכפלות. נתונים השערים הבאים:

	$tpd_{LH}$	$tpd_{HL}$
AND	10ns	25ns
OR	15ns	5ns
NOT	5ns	6ns

הערה: לכל אחד מהשערים יש 2 כניסות בלבד (למעט שער NOT יש לו רק כניסה אחת).

מבין התשובות הבאות, מהו ה-  $t_{pd}$  ההדוק ביותר של המערכת?

- א- 25 ns
- ב- 30 ns
- ג- 35 ns
- ד- 36 ns
- ה- 40 ns



#### **שאלה 4 (5 נקודות)**

מהנדסת חשמל מעוניינת לחשב סכום של מספרים המאוחסנים בשני רגיסטרים בעלי 3 ביטים כל אחד. תוצאת החישוב בעלת 4 ביטים (הביט הנוסף הוא ה-Carry Out של הרכיב האחרון).

בידי המהנדסת ישנם 3 רכיבי Full Adder צירופיים, בעלי סיביות כניסה  $a, b, C_{in}$  וסיביות מוצא  $s, C_{out}$  (כל אחת מהכניסות והיציאות הינה סיבית בודדת).

המהנדסת מעוניינת לבנות מערכת מצונרת (Pipeline) כפי שלמדה בקורס, על מנת להשיג תפוקה (Throughput) גבוהה ככל האפשר בעדיפות ראשונה, ושימוש במינימום פליפ-פלופים בעדיפות שניה.

מבין התשובות הבאות, מהי כמות הפליפ-פלופים המינימלית הנדרשת למימוש המערכת?

- א- 13
- ב- 14
- ג- 15
- ד- 16
- ה- 17



### שאלה 5 (5 נקודות)

מהנדסת פישטה פונקציה כלשהי  $f(x, y, z)$  לצורה המצומצמת ביותר כמכפלת סכומים, וקיבלה את הביטוי הבא:

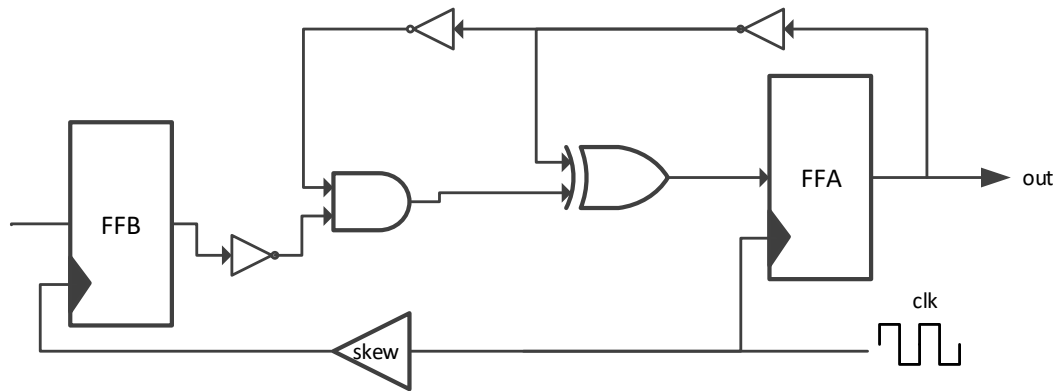
$$x \cdot (z' + y)$$

בהתייחסות לצורה של סכום מכפלות, איזו מהטענות הבאות נכונה?

- א- ייתכן שהביטוי המצומצם ביותר בצורה של סכום מכפלות הוא:  $x$ , רק במקרה שקיים לפחות *don't care* אחד במפה.
- ב- ייתכן שהביטוי המצומצם ביותר בצורה של סכום מכפלות הוא:  $x$ , גם אם לא קיימים *don't care* במפה.
- ג- ייתכן שהביטוי המצומצם ביותר בצורה של סכום מכפלות הוא:  $xy$ , רק במקרה שקיים לפחות *don't care* אחד במפה.
- ד- ייתכן שהביטוי המצומצם ביותר בצורה של סכום מכפלות הוא:  $xy$ , גם אם לא קיימים *don't care* במפה.
- ה- בהכרח מתקיים ש-  $xyz$  שווה ל- 1.



**שאלה 6 (5 נקודות)**  
נתון המעגל הבא:



ונתונים מאפייני רכיבי המעגל:

	<i>NOT</i>	<i>AND</i>	<i>XOR</i>	<i>FF</i>
$T_{pd}/T_{pcQ}$	10 ns	20 ns	30 ns	40 ns
$T_{cd}/T_{ccQ}$	5 ns	10 ns	15 ns	20 ns
$T_{su}$				10 ns

שני ה-FF חוברים לשעון המעגל  $clk$ , אך נוצר  $t_{skew}$  ביניהם, כך שהשעון שמזין את FFA מגיע  $t_{skew}$  לפני השעון שמזין את FFB. בנוסף, נתוני FFB זהים לאלו של FFA.

בנוסף, נתון ש  $t_{skew} = 30ns$ .

בהנחה שתנאי *hold* מתקיים, מהו תדר העבודה המרבי בו ניתן להפעיל את המעגל?

- א- 9.09 MHz
- ב- 8.33 MHz
- ג- 7.14 MHz
- ד- 6.67 MHz
- ה- 6.25 MHz





**שאלה 7 (5 נקודות)**

נתון קטע הקוד הבא:

```
slli t0,s0,3  
add t0,t0,s1  
mul s3,t0,s2  
mul s3,s3,s3  
mul s3,s3,t0
```

נתון שלפני הרצת הקוד:

```
s0 = x  
s1 = y  
s2 = z
```

מה יהיה הערך ברגיסטר s3 בסיום ריצת התוכנית?

א-  $[z^2(x + 8y)^2] \bmod 2^{32}$

ב-  $[z^2(x + 8y)^3] \bmod 2^{32}$

ג-  $[z^3(x + 8y)^3] \bmod 2^{32}$

ד-  $[z^2(8x + y)^3] \bmod 2^{32}$

ה-  $[z^3(8x + y)^3] \bmod 2^{32}$



**שאלה 8 (5 נקודות)**  
נתונה הפונקציה הבאה:

$$f(w, x, y, z) = \sum (0, 2, 5, 8, 10, 13, 15) + \sum_{\emptyset} (3, 7, 11)$$

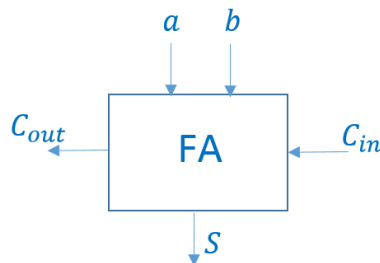
מעוניינים לממש את הפונקציה  $f(w, x, y, z)$  בעזרת רכיבי FA והקבועים '0' ו-'1' **בלבד**.

מבין התשובות הבאות, מהו מספר רכיבי ה-FA **המינימלי** הנדרש כדי לממש את הפונקציה  $f(w, x, y, z)$  ?

- א- 1
- ב- 2
- ג- 3
- ד- 4

ה- לא ניתן לממש את הפונקציה בעזרת רכיבי FA וקבועים בלבד.

**תזכורת:**



$$S(a, b, C_{in}) = a \oplus b \oplus C_{in}$$

$$C_{out}(a, b, C_{in}) = a \cdot b + a \cdot C_{in} + b \cdot C_{in}$$



### שאלות 9 (5 נקודות)

בחברת "אין יותר הזדמנויות" מעוניינים לתכנן מנעול סדרתי בן 3 ספרות עשרוניות 0-9 באופן הבא:

בעת הכנסת הסיסמה, נותנים למשתמש 3 הזדמנויות כדי להכניס את רצף הספרות הנכון. עבור כל ספרה נכונה שהמשתמש מכניס, המנעול מדליק נורה ירוקה ועוברים לספרה הבאה, אחרת המנעול מדליק נורה אדומה ונותן למשתמש עוד הזדמנות להכניס את הספרה מחדש. שימו לב שיש חשיבות לסדר הכנסת הספרות, וכשהמשתמש מכניס ספרה שגויה הוא מקבל עוד הזדמנות להכניס את הספרה הנכונה ואינו מתחיל מחדש.

אם המשתמש מכניס ספרה שגויה **3 פעמים** (לאו דווקא ברצף), המנעול יינעל לנצח ולא יהיה ניתן לפתוח אותו שוב. אחרת, כל פעם שמכניסים את הסיסמה הנכונה, המנעול נפתח ונותנים למשתמש 3 הזדמנויות חדשות לפעם הבאה שבה הוא ינסה לפתוח את המנעול.

#### דוגמה

בהנחה שהסיסמה הנכונה היא 123

#cycle	1	2	3	4	5	6	7	8	9
input	0	1	6	2	3	1	7	2	9
output	red	green	red	green	green	green	red	green	red

#cycle	10	11	12
input	9	3	3
output	red	red	red

הסבר: במחזור שעון 5 המנעול נפתח בפעם הראשונה ולכן מספר ההזדמנויות חוזר להיות 3 (למרות שבמחזור שעון 1 ו-3 הוכנסו ספרות שגויות). במחזור שעון 10 הוכנסה ספרה שגויה בפעם השלישית ולכן המנעול ננעל לנצח והנורה תראה צבע אדום כל הזמן למרות שבמחזור שעון 11 הוכנסה הספרה האחרונה הנכונה.

מהו מספר המצבים במכונת מילי המצומצמת?

- א- 8
- ב- 9
- ג- 10
- ד- 11
- ה- 12 או יותר



### שאלה 10 (7 נקודות)

מהנדס מעוניין לממש את המעגל הבא, עבור זמן מחזור של  $T_{clk} = 15 \text{ ns}$

Y  
|

נתונים הרכיבים (נתוני רכיב ה-NOT חסרים):

$[ns]$	$t_{cd} \setminus t_{ccq}$	$t_{pd} \setminus t_{pcq}$	$t_{setup}$	$t_{hold}$
AND	2	6		
FF	1	4	3	4

המהנדס שם לב שתנאי hold של FF3 בוודאות לא מתקיים. כדי לתקן זאת, המהנדס מעוניין להכניס  $n$  שערי NOT בין המוצא של FF2 לכניסה המידע של FF3, כמתואר באיור הבא:

Y  
|  
~

נתון שהמעגל עומד בכל תנאי ה-setup ו-hold וסיגנל המוצא (מוצא FF3) מתנהג כפי שהמהנדס התכוון במעגל המקורי.

רשמו את תנאי setup של המעגל בין FF1 ל-FF2:

רשמו את תנאי setup של המעגל בין FF2 ל-FF3 כתלות ב- $n$ :

רשמו את תנאי hold של המעגל בין FF1 ל-FF2:

רשמו את תנאי hold של המעגל בין FF2 ל-FF3 כתלות ב- $n$ :

מה הערכים האפשריים ל- $n$  שיבטיחו פעולה תקינה של המעגל?



### שאלה 11 (5 נקודות)

מהנדס מתכנן ערוץ תקשורת בין שתי מערכות המבוסס על פרוטוקול UART המעביר 8 סיביות מידע בכל שליחה.  
נתון שהמערכות צריכות להעביר ביניהן מילים בנות 32 סיביות בכל העברת מידע, כאשר קצב העברת המילים הללו צריך להיות 1000 מילים בשניה.

מה צריך להיות ה- $T_{bit}$  של פרוטוקול ה-UART כדי שהתקשורת בין המערכות תפעל כרצוי?

**שאלה 12 (8 נקודות)**

כדי לייעל את כתיבת הקוד של תכנית רוצים להוסיף פקודת *push* למעבד *MultiCycle RISC-V*. פקודת *push* נכתבת כך:

push rs2

כלומר, הפקודה מקבלת רק רגיסטר יחיד כאופרנד. פעולת הפקודה היא להגדיל את המחסנית (ה- stack) במילה אחת ולהכניס את ערך הרגיסטר rs2 למיקום זה.

לצורך ביצוע הפקודה הוספו שני בוררים למעבד *MultiCycle RISCv*. שני הבוררים מסומנים בעיגול באיור מטה.

מלאו את הטבלה מטה בערכי הסיגנלים המצוינים, כך שפעולת הסיגנלים בכל מחזור שעון תתאים למימוש פקודת ה-push.

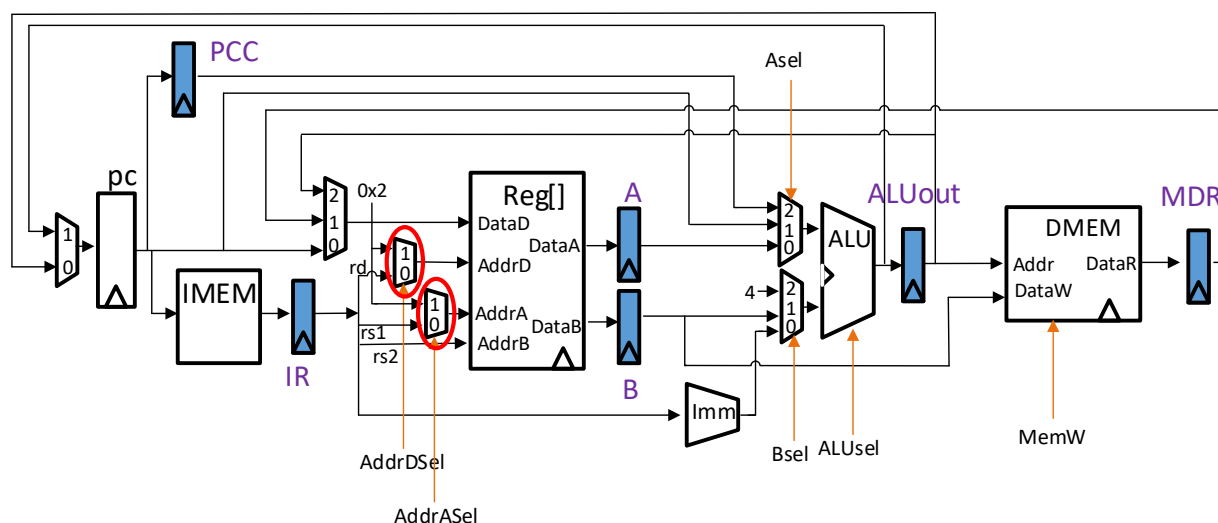
יש למלא את הטבלה כך שמספר מחזורי השעון המממשים את הפקודה הוא מינימאלי (אין הכרח למלא את כל העמודות הריקות בטבלה).

הסיגנלים  $AddrDsel$   $AddrAsel$ , יכולים לקבל את הערכים 0,1 או  $\phi$ .

הסיגנלים  $Bsel$   $Asel$ , יכולים לקבל את הערכים 0,1,2 או  $\phi$ .

הסיגנל  $ALUsel$  מקבל שמות של פעולות (למשל:  $add$ ,  $sub$ ,  $xor$  וכו') לפי הפעולה שעליו לבצע, או את הערך  $\phi$  אם סוג הפעולה אינו משנה.

הסיגנל  $MemW$  יכול לקבל את הערכים 0 (עבור קריאה מה-DMEM) או 1 (עבור כתיבה ל-DMEM).

[illegible]



### שאלה 13 (12 נקודות)

מהנדס חשמל שעובד בחברה המתמחה בראייה ממוחשבת מעוניין לבצע מכפלה סקלרית בין וקטורים.

הווקטורים שמורים בתור שני מערכים בזיכרון, כאשר כל איבר בווקטור שמור כמילה בזיכרון.

- הרגיסטר S0 מאוחלל לראשית המערך הראשון.
- הרגיסטר S1 מאוחלל לראשית המערך השני.
- הרגיסטר S2 מאוחלל לערך 10, שהינו גודל המערכים.
- עבור כל פעולת הכפלה שנבצע, נגדיל את S5 ב-1 (רגיסטר זה מודד את סיבוכיות האלגוריתם). רגיסטר S5 מאוחלל לערך 0 לפני ריצת הקוד להלן.

לבסוף, תוצאת המכפלה נשמרת בכתובת שמאוחללת ברגיסטר S3.

להזכירכם, מכפלה סקלרית בין ווקטורים מוגדרת באופן הבא:

$$\langle v, u \rangle = v_1 u_1 + v_2 u_2 + \dots + v_n u_n$$

נתון הקוד הבא, שמבצע את הנדרש:

```

1      addi    t3,    x0,    0
2  loop:  lw     t0,    0(s0)
3        lw     t1,    0(s1)
4        mul    t2,    t1,    t0
5        add    t3,    t3,    t2
6        addi    s5,    s5,    1
7        addi    s0,    s0,    4
8        addi    s1,    s1,    4
9        addi    s2,    s2,    -1
10       bne     s2,    x0,    loop
11  end:  sw     t3,    0(s3)

```

החברה מעוניינת להשוות בין שני סוגי מעבדים: *Single Cycle RISC-V* ו-*Pipeline RISC-V*, ולבסוף להחליט איפה להריץ את הקוד.

זמני ריצת השלבים השונים במעבד נתונים בטבלה הבאה (זהים לשני סוגי המעבדים):

Fetch	Decode	Execute	Memory	Writeback
300ns	150ns	200ns	300ns	50ns

א- מה יהיה זמן הריצה של הקוד כולו על גבי מעבד מסוג *Single Cycle RISC-V*?



- כעת החברה מעוניינת להשתמש במעבד מסוג *Pipeline RISC*. נתוני המעבד:
- מכיל Bypass בתוך ה- Register File (כלומר, Forwarding בין שלב ה- WB לשלב ה- Decode).
  - אינו מכיל Forwarding נוסף.
  - אינו מכיל Load Hazard Detection Unit.
  - מניח ש- Branch אינו נלקח, ומבצע Flush ל- Pipe במידה שכן. החלטות על Branch נלקחות בשלב ה- Execute.
  - זמני חלקי המעבד זהים למעבד ה- *Single Cycle RISC*.

ב- עזרו למהנדס שתכנן את הקוד והוסיפו פקודות NOP בטבלה להלן במידת הצורך.

**לדוגמה:** נניח שאנו מעוניינים להוסיף 3 פקודות NOP בין שורה 4 ל- 5, נרשום זאת כך:

אחרי שורה מס'	לפני שורה מס'	כמות פקודות ה- NOP שנדרש להוסיף
4	5	3

**מלאו את הטבלה הבאה (אין הכרח למלא את כולה):**

אחרי שורה מס'	לפני שורה מס'	כמות פקודות ה- NOP שנדרש להוסיף

**שימו לב:** סעיפים ג' ו-ד' בעמוד הבא.



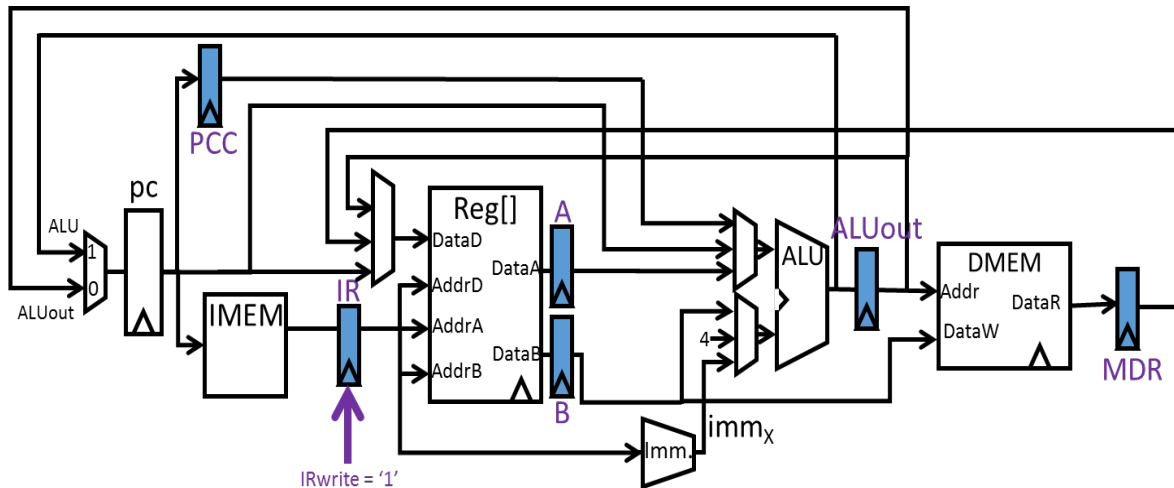


ג- המהנדס שאינו מרוצה מהפתרון שהצעתם, ביקש שתשנו את הקוד כך שנצטרך להוסיף פחות פקודות NOP. הציעו דוגמה אחת לשיפור הקוד, כך שיכיל פחות פקודות NOP.

ד- המהנדס שכעת מעוניין לבחור האם להשתמש במעבד Single Cycle או – Pipeline, מעוניין להשוות ביניהם מבחינת זמן ריצה כולל. בהנחה שבסעיף ג' הצעתם פתרון שמאפשר קוד ללא פקודות NOP בכלל, מה יהיה זמן הריצה הכולל על מעבד Pipeline?

**שאלה 14 (8 נקודות)**

נתון מעבד *MultiCycle RISCv* כפי שגילמד בכיתה. בעת ייצור בקר המעבד קרתה תקלה והקו *IRwrite* חובר קבוע ל '1' לוגי:



האם קיימת פקודה אחת או יותר שיעבדו כהלכה למרות התקלה (הקף בעיגול)?

**כּוֹן / לֹא**

אם סימנתם כן, מי מהפקודות הבאות בהכרח תעבודנה כהלכה למרות התקלה (הקף בעיגול)?

## R-type

LW

**SW**

# BEQ

## Jump



### שאלה 15 (8 נקודות)

במעבד מסוג RISC-V מעוניינים להוסיף תמיכה בפקודה חדשה בשם dam  
(double access memory):

$dam\ rd, rs, imm \quad \# RegFile[rd] = Mem[Mem[rs + imm]]$

הפקודה ניגשת לזיכרון המידע פעמיים: בפעם הראשונה ניגשים לכתובת שמחושבת ע"י חיבור תוכן הרגיסטר rs וערך ה-imm. בפעם השנייה ניגשים לכתובת שנקראת מתוך הזיכרון בגישה הראשונה, ואת הערך שקוראים מתוך הזיכרון כותבים לתוך הרגיסטר rd.

שימו לב, זיכרון המידע זהה לנלמד בקורס.

ענו על שני הסעיפים הבאים ב- נכון / לא נכון (הקיפו בעיגול) עם הסבר קצר – לכל היותר שורה אחת.

(בכל הטענות אנחנו מתייחסים למימוש של פקודת dam אמיתית ולא פסאודו-פקודה):

א- ניתן לממש את הפקודה על מעבד מסוג Single Cycle RISC-V לאחר הכנסת שינויים למסלול הנתונים ו/או לבקר ו/או הגדלת זמן המחזור של השעון.

**נכון / לא נכון**

הסבר:

ב- ניתן לממש את הפקודה על מעבד מסוג Pipelined RISC-V לאחר הכנסת שינויים למסלול הנתונים ו/או לבקר ו/או הגדלת זמן המחזור של השעון.

**נכון / לא נכון**

הסבר:

כעת נתמקד במעבד MultiCycle RISC-V שבו ניתן לממש את הפקודה. מבין הטענות הבאות, הקף בעיגול את הטענות הנכונות (שימו לב, ייתכן שיש יותר מטענה אחת נכונה).

- i. כדי לממש את הפקודה צריך לבצע שינויים במסלול הנתונים (שינוי חיבור חוטים / הוספת חומרה כמו MUX או REGISTERS וכו').
- ii. ניתן לממש את הפקודה ע"י ביצוע שינויים בבקר כמו הוספת סיגנלי בקרה חדשים, אבל אין צורך בהוספת מצבים חדשים לבקר.
- iii. כדי לממש את הפקודה חייבים לבצע שינויים בבקר כמו הוספת סיגנלי בקרה חדשים, בנוסף יש צורך בהוספת מצבים חדשים לבקר.



**שאלה 16 (7 נקודות)**

ענו על הסעיפים הבאים לגבי חריגות ופסיקות.

א- תנו דוגמה (אחת) לפסיקה הנגרמת ע"י גורם חיצוני:

ב- תנו דוגמה (אחת) לחריגה:

ג- הסבירו במשפט אחד מהו ההבדל באופן הטיפול בחריגה לעומת הטיפול בפסיקה במעבד מסוג *MultiCycle RISC*.