



École polytechnique de Louvain

LINFO1140 - BASES ÉLECTRONIQUES DE L'INFORMATIQUE

Travail 6 - circuit CMOS

Auteur :
Nicolas Jeanmenne

Noma :
4874-19-00

2021-2022

1 Introduction

Le but de ce [6^e travail](#) est de réaliser une fonction logique à 3 entrées, implémenter une porte logique CMOS et enfin de simuler le circuit avec le logiciel *LTspice* afin de démontrer l'exactitude des calculs.

À l'attention du correcteur / correctrice

N'hésitez pas à zoomer sur les schémas du circuit et autres images afin d'y voir plus clair.

2 Fonction logique

2.1 Fonction pMOS

En pMOS, j'ai choisi la fonction suivante :

$$y = A \cdot \overline{B} + C$$

2.2 Fonction nMOS

Pour trouver la fonction nMOS, il faut appliquer la formule de *de Morgan* :

$$\overline{y} = \overline{A \cdot \overline{B} + C}$$

$$\overline{y} = (\overline{A \cdot \overline{B}}) \cdot \overline{C}$$

$$\overline{y} = (\overline{A} + B) \cdot \overline{C}$$

$$\overline{y} = \overline{A} \cdot \overline{C} + B \cdot \overline{C}$$

$$\overline{y} = (\overline{A} + B) \cdot \overline{C}$$

$$\boxed{\overline{y} = (\overline{A} + B) \cdot \overline{C}}$$

3 Table de vérité

On trouve la table de vérité suivante :

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

TABLE 1 – Table de vérité de ma fonction logique

4 Schéma du circuit CMOS

Pour dimensionner les transistors il y a des règles à respecter :

1. Longueur des transistors = $50n$
2. Largeur d'un transistor nMOS : $10 \cdot longueur$
3. Largeur d'un transistor pMOS : $20 \cdot longueur$
4. Pour garder un rapport $\frac{w}{l} = 1$, il faut diviser w par le nombre de transistor sur le chemin

En appliquant ces règles, j'obtiens le circuit suivant :

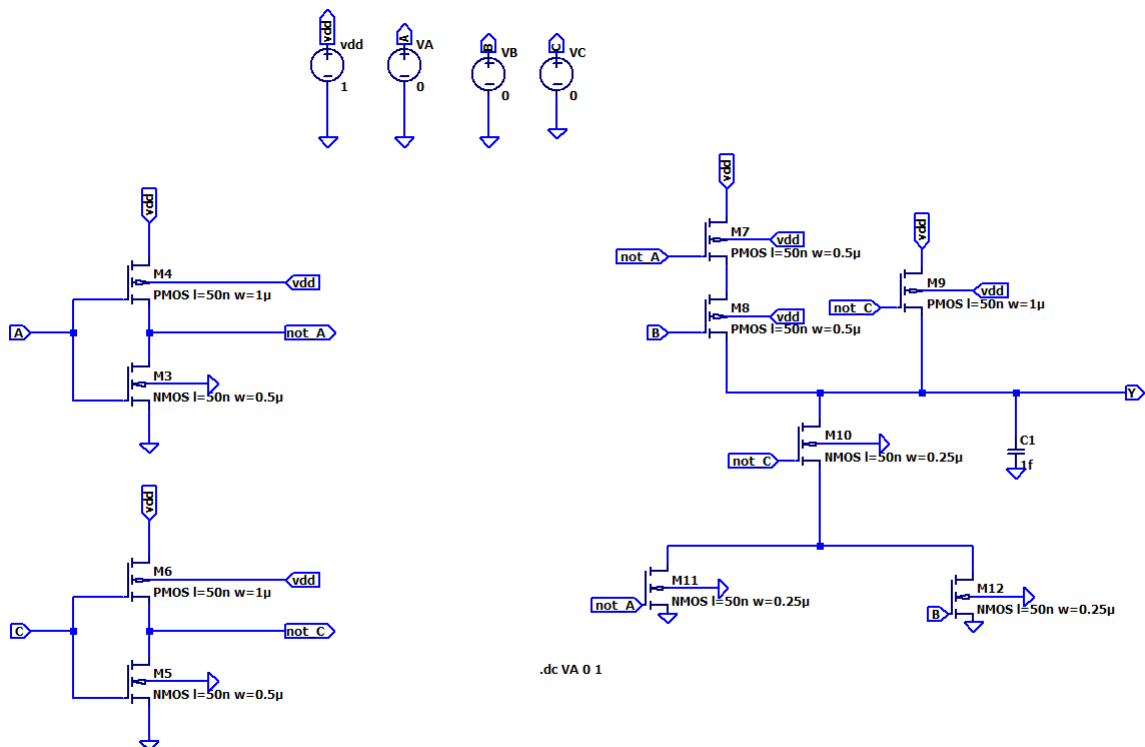


FIGURE 1 – Schéma du circuit cMOS

5 Simulation .dc (variation d'une entrée)

Pour la simulation dc, je fais varier l'entrée A car (indépendamment de B et C) elle implique la relation $Y = \text{vdd}$.

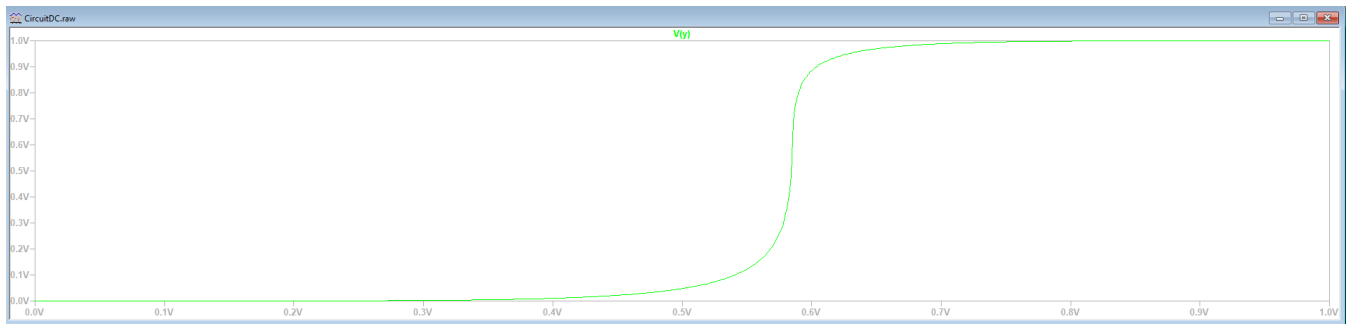


FIGURE 2 – Simulation en faisant varier A de 0 à 1 V

6 Simulation .tran (variation d'une entrée)

Pour cette simulation, je choisis de faire varier C, ainsi que de donner différentes valeurs pour la capacité (1f, 5f, 10f, 15f, 20f) et j'obtiens le circuit suivant :

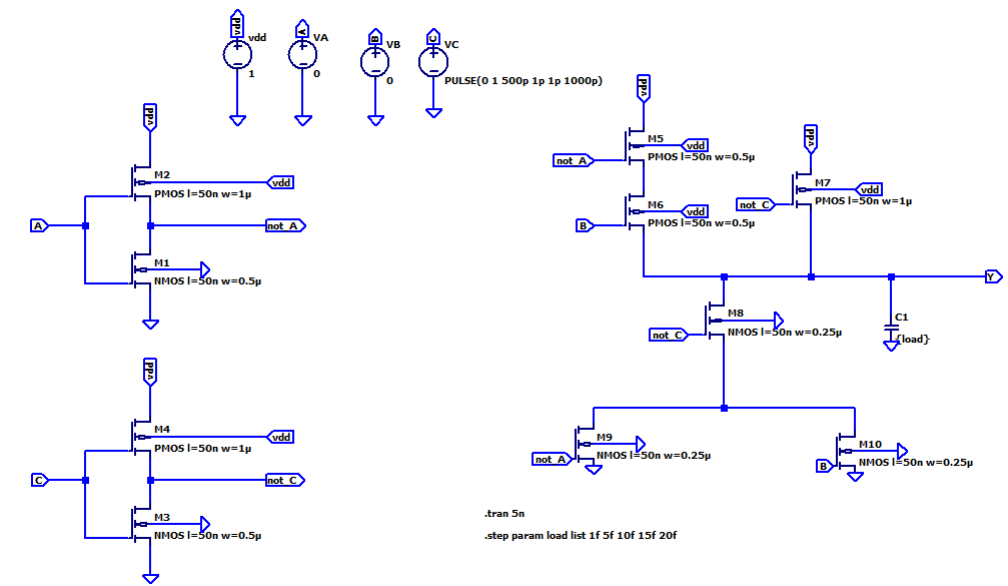


FIGURE 3 – Schéma du circuit

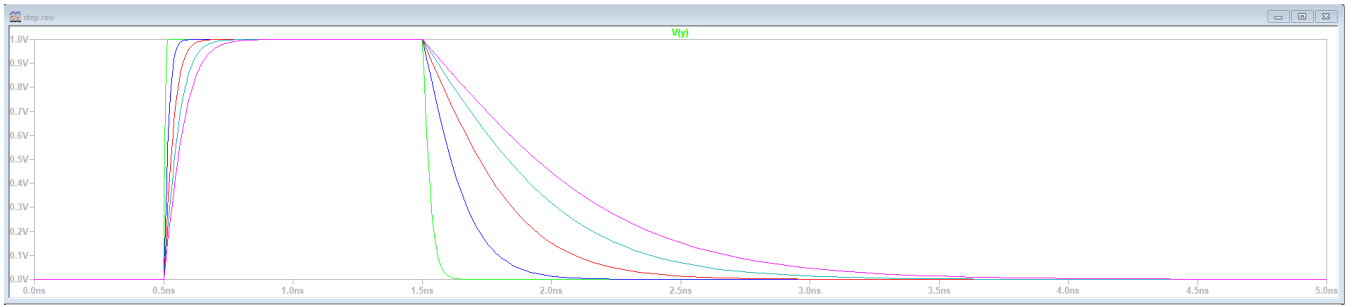


FIGURE 4 – Simulation .tran en faisant varier une entrée

7 Simulation .tran (variation des 3 entrées)

Pour cette simulation, on fait varier toutes les entrées (voir les PULSE des sources) et obtient le circuit suivant :

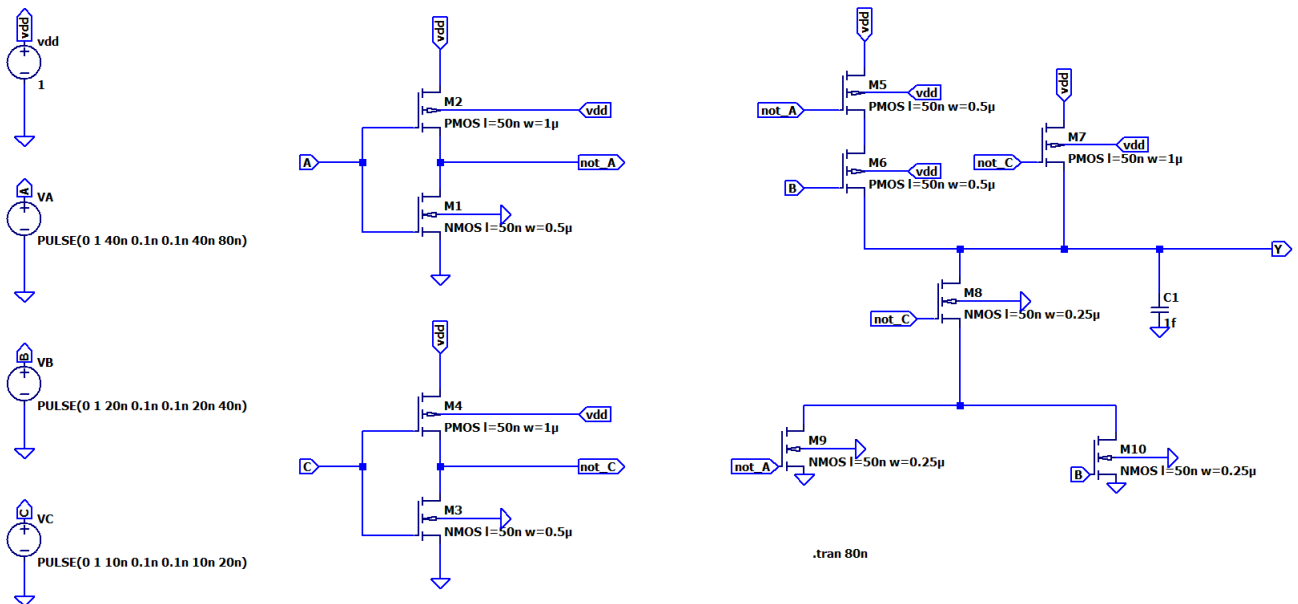


FIGURE 5 – Schéma du circuit

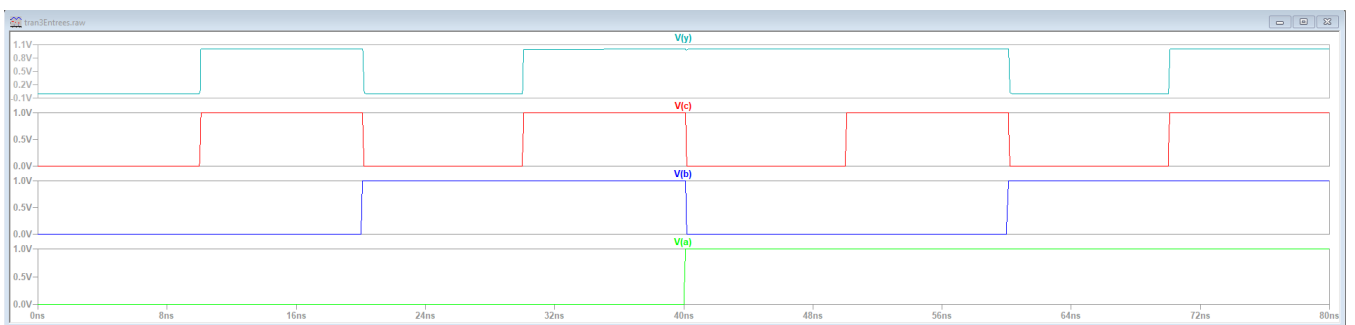


FIGURE 6 – Simulation .tran en faisant varier les trois entrées

8 Conclusion

En premier lieu, on peut remarquer que la simulation en faisant varier les 3 entrées correspond bien à la table de vérité (voir **tableau 1**) (les traits noirs symbolises la fin de la période) :

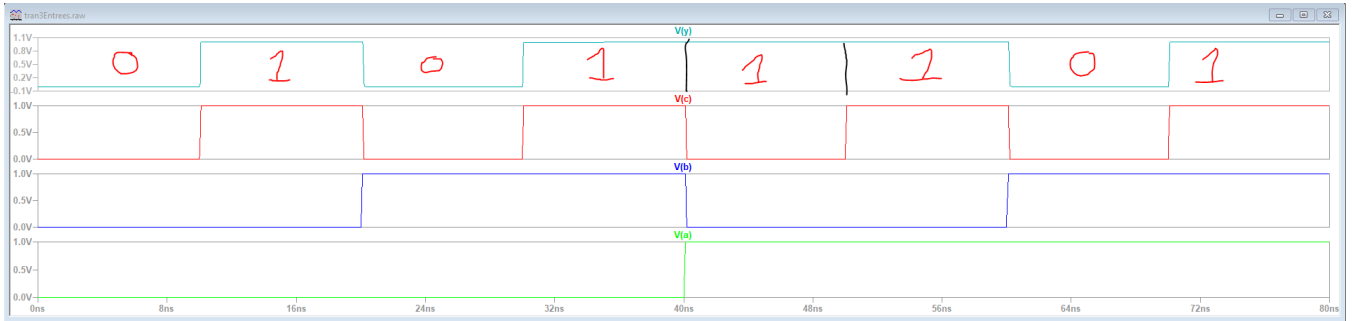


FIGURE 7 – Lien avec la table de vérité

Pour conclure, j'ai correctement implémenter la fonction logique CMOS en y appliquant beaucoup d'opérations pour ce travail et que les résultats fournis par *LTspice* sont en accord avec les résultats que j'ai trouvé. Ce travail est fort utile car il me permet de bien assimilé la logique des transistors et par conséquent de mieux comprendre le fonctionnement d'un ordinateur.