

École polytechnique de Louvain

LINFO1140 - Bases électroniques de l'informatique

Travail 8 - circuits séquentiels

Auteur : Nicolas Jeanmenne

Noma: 4874-19-00

2021-2022

1 Introduction

Le but de ce 8° travail travail est de mettre en oeuvre des D flip-flop à partir de la fonction logique du travail précédent, générer un registre de 4 bits sous la forme d'un sous-circuit, concevoir un sous-circuit de la fonction logique à 4 entrée et vérifier son fonctionnement correct en parcourant la table de vérité avec la fréquence de la table de vérité fisxé à 500 MHz puis jusqu'a la valeur maximale garatissant encore son bon fonctionnement. Enfin, il faudra comparer cette valeur avec le temps de propagation du travail précédent et pour finir de simuler le circuit avec le logiciel *LTspice* afin de démontrer l'exactitude des calculs.

À l'attention du correcteur / correctrice

N'hésitez pas à zoomer sur les schémas du circuit et autres images afin d'y voir plus clair.

2 Rappel de la fonction logique

2.1 Table de vérité

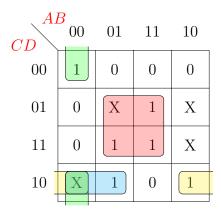
Au travail précédent, j'avais construit la table de vérité de ma fonction Y:

| A | В | \mathbf{C} | D | \mathbf{Y} |
|---|---|--------------|---|--------------|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | X |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | Χ |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | Х |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | X |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Table 1 – Table de vérité de la fonction logique

2.2 Diagramme de Karnaugh

De cette table logique, on en déduisait le diagramme de Karnaugh suivant :



2.3 Fonction logique

Grâce au diagramme du travail précédent, on obtenait la fonction suivante :

$$Y = \overline{ABC} + \overline{ACD} + \overline{BD} + \overline{BCD}$$

3 Schéma du circuit

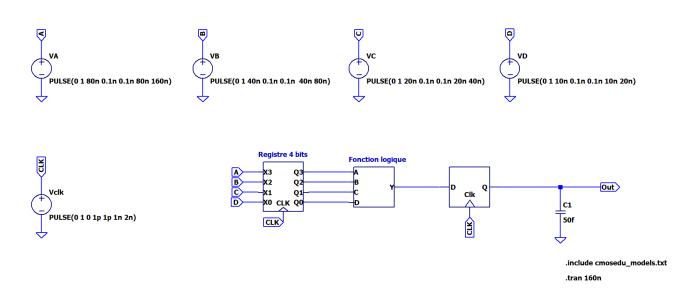


FIGURE 1 – Schéma du circuit

Pour V_A, V_B, V_C, V_D il faut reprendre les PULSE du travail précédent. Quand à la valeur de la clock, elle doit valoir 500 MH_Z . Pour trouver la bonne période pour avoir la bonne PULSE, il suffit d'appliquer la formule suivante :

$$F=\frac{1}{T}$$
 (F est la fréquence et T la période)
$$T=\frac{1}{F}$$

$$T=\frac{1}{5\cdot 10^8}$$

$$T=2\ ns$$

$$T = 2 ns$$

La période est donc de 2 nano-secondes pour avoir une fréquence de 500 MH_Z .

4 Résultat de la simulation en parcourant la table de vérité

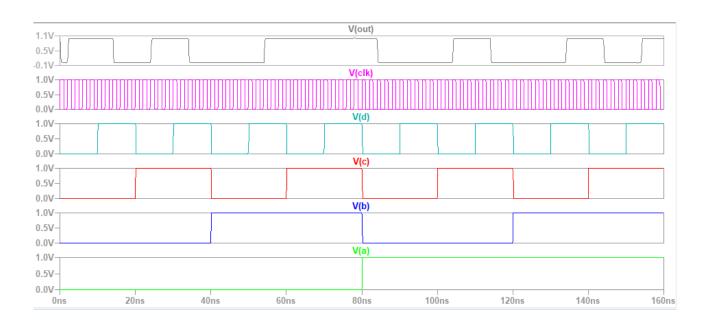


Figure 2 – Simulation du circuit à 500 MH_Z

On remarque la simulation parcourt et correspond à la table de vérité mais il y a un petit décalage pour les résultats de *out*. Ceci s'explique par le fait que comme les D flip-flop sont à flan montant (rising edge) par rapport à l'horloge et donc que les variations ne sont pas suffisantes pour faire « réagir » les inputs.

5 Résultat de la simulation à fréquence maximale

Pour la fréquence maximale, j'obtiens une clock avec les paramètres suivant :

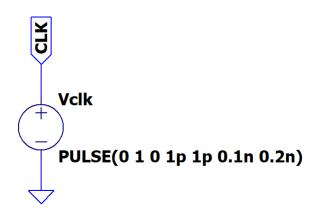


FIGURE 3 – Paramètres de la PULSE avec la F_{Max}

On a donc la simulation suivante :

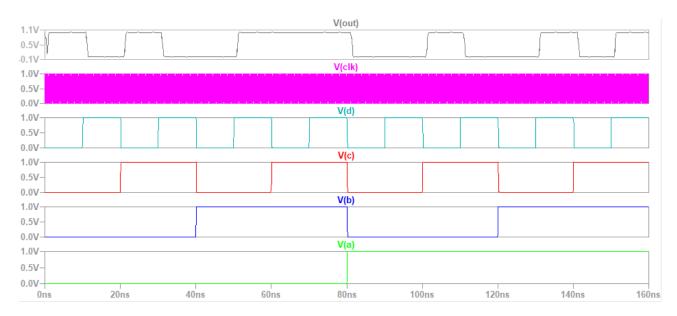


FIGURE 4 – Simulation du circuit à F_{Max}

On peut calculer la fréquence maximale :

$$F_{Max}=\frac{1}{T}$$
 (F est la fréquence et T la période)
$$F_{Max}=\frac{1}{2\cdot 10^{-10}}$$
 $F_{Max}=5\cdot 10^9~H_Z$ $F_{Max}=5~GH_Z$

$$F_{Max} = 5 GH_Z$$

En mettant la fréquence à 5,26 GH_Z ($PULSE(0\ 1\ 0\ 1p\ 1p\ 0.95n\ 0.19n)$) on remarque directement que le résultat n'est plus bon :

V(out) 1.1V 0.5V -0.1V V(clk) 1.0V 0.5V 0.0V V(d) 1.0V V(c) 1.0V 0.5V 0.0V 1.0V 0.0V 20ns 40ns 60ns 100ns 120ns 140ns 80ns 160ns 0ns

FIGURE 5 – Simulation du circuit à une fréquence trop élevée

6 Conclusion

En premier lieu comparons F_{max} au temps de propagation. Au travail précédent j'avais estimé que le temps de propagation (t_{pd}) valait 0.36 nanosecondes. Pour la fréquence maximale (F_{Max}) , on a une période de 0.2 nanosecondes. On remarquera donc une différence de 1.6 nanoseconde et aussi que la F_{Max} vaut exactement $\frac{5}{9}$ ($\approx 0,556$) du t_{pd} estimé.

Pour conclure, les résultats que j'ai obtenu sont en accord avec la simulation des 16 états de la fonction logique. Ce travail permet de bien appréhender le focntionnement des D flip flop ainsi que des horloges et de mieux comprendre comment fonctionnent les registres.