

Lista de Exercícios - Flip Flops

1) Para cada circuito:

- Indique o tipo de Flip-Flop, JK, D ou T.
- Indique qual a forma de ativação do sinal de sincronismo C CLK.
- Levante a Tabela Funcional.
- Faça o diagrama de tempo para as saídas indicadas indicando a operação realizada em cada momento que o FF leu suas entradas síncronas.
- IMPORTANTE: CONSIDERE INICIALMENTE Q = 1 (um).

1a)

Identificação (a)	Simbologia (a)	Tabela Funcional (a)
() Flip-Flop JK () Flip-Flop D () Flip-Flop T ()BORDA DE SUBIDA ()BORDA DE DESCIDA ()NÍVEL BAIXO ()NÍVEL ALTO	A J Q CLK K Q	

Descreva com suas palavras como funciona este circuito.

CLK

A

B

Q

Q'



1b)

Q'

Identificação (b)	Simbologia (b)	Tabela Funcional (b)
() Flip-Flop JK () Flip-Flop D () Flip-Flop T ()BORDA DE SUBIDA ()BORDA DE DESCIDA ()NÍVEL BAIXO ()NÍVEL ALTO	$ \begin{array}{cccccccccccccccccccccccccccccccccccc$	

Descreva com suas palavras como funciona este circuito.

CLK

A

B

Q



1c)

Identificação (c)	Simbologia (c)	Tabela Funcional (c)
() Flip-Flop JK () Flip-Flop D () Flip-Flop T ()BORDA DE SUBIDA ()BORDA DE DESCIDA ()NÍVEL BAIXO ()NÍVEL ALTO	A J Q CLK K Q	

Descreva com suas palavras como funciona este circuito.

CLK

A

B

Q

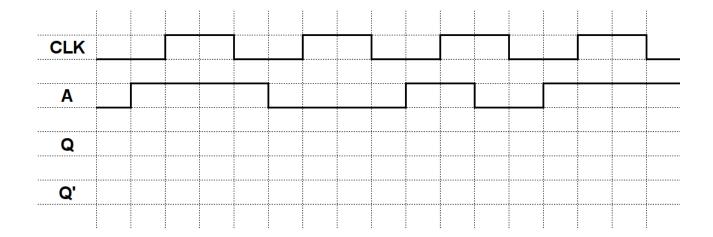
Q'



1d)

Identificação (f)	Simbologia (f)	Tabela Funcional (f)
) Flip-Flop JK) Flip-Flop D) Flip-Flop T)BORDA DE SUBIDA)BORDA DE DESCIDA)NÍVEL BAIXO)NÍVEL ALTO	A OF J Q CLK K Q	

Descreva com suas palavias como funciona este circuito.

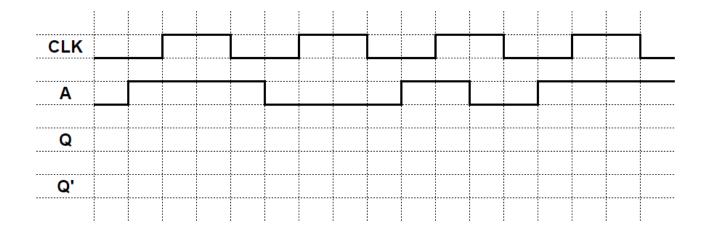




1e)

Identificação (g)	Simbologia (g)	Tabela Funcional (g)			
() Flip-Flop JK () Flip-Flop D () Flip-Flop T ()BORDA DE SUBIDA ()BORDA DE DESCIDA ()NÍVEL BAIXO ()NÍVEL ALTO	A D Q CLK Q				

Descreva com suas palavras como funciona este circuito.





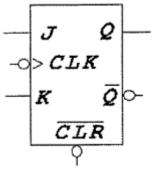
1f)

Identificação (h)	Simbologia (h)	Tabela Funcional (h)		
() Flip-Flop JK () Flip-Flop D () Flip-Flop T ()BORDA DE SUBIDA ()BORDA DE DESCIDA ()NÍVEL BAIXO ()NÍVEL ALTO	A T Q CLK Q			

Descreva com suas palavras como funciona este circuito.

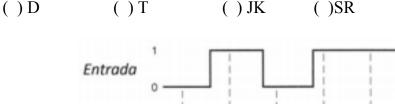
2) Observe o diagrama esquemático do Flip-Flop do tipo JK apresentado pela figura ao lado. Com base na análise do componente apresentado, qual o procedimento que deve ser realizado para transformar um Flip-Flop JK em um Flip-Flop tipo D?

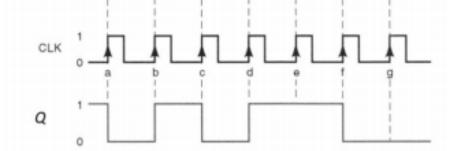
- a) Curto circuitar os pinos J e K.
- b) Colocar a entrada J em nível lógico zero.
- c) Colocar a entrada K em nível lógico zero.
- d) Conectar entre J e K uma função lógica NOT.



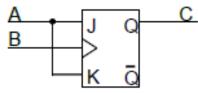


3) O gráfico da figura abaixo ilustra o comportamento da saída Q de um tipo flip-flop em função da entrada e sinal de clock. Com base na figura conclui-se que o tipo de flip-flop é:





4) Com relação à funcionalidade do circuito com um flip-flop tipo JK abaixo, podemos afirmar que:

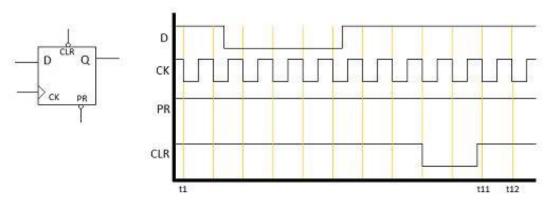


- a) A saída C será igual à entrada A, desde que a entrada B esteja em nível lógico alto. Caso contrário, a saída permanece inalterada.
- b) A saída C tem o seu valor invertido a cada transição de subida da entrada B, desde que a entrada A esteja em nível lógico alto. Caso contrário, a saída permanece inalterada.
- c) A saída C tem o seu valor invertido a cada transição de subida da entrada B, independentemente do nível lógico na entrada A.
- d) Após a transição de subida da entrada B, a saída C passa a ter o nível lógico presente na entrada A no instante da transição.
- 5) É possível identificar o funcionamento de um flip-flop através de sua tabela-verdade. Acerca desse assunto, é correto afirmar que a tabela-verdade a seguir representa um flip-flop tipo:
 - a) T ativo em borda de subida.
 - b) D ativo em borda de descida.
 - c) D ativo em borda de subida.
 - d) T ativo em borda de descida.

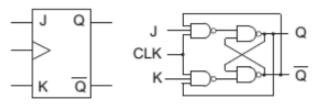
CLK	Entrada	Saída Q	
$1 \rightarrow 0$	0	0	
$1 \rightarrow 0$	1	1	



6) De acordo com o funcionamento do flip-flop abaixo, todas as alternativas estão corretas, EXCETO uma, assinale-a.



- a) A entrada Clear força a saída Q para nível baixo.
- b) O flip-flop tipo D armazena o estado da entrada D na saída Q até que o sinal de clock seja acionado.
- c) A entrada Preset força a saída Q para nível alto
- d) A saída Q será invertida da saída atual sempre que o sinal de clock for acionado.
- e) A saída Q em t12 estará em nível alto
- 7) O flip-flop é um circuito digital pulsado capaz de servir como memória de um bit. Sua utilização principal é na construção de unidades de armazenamento de dados em dispositivos eletrônicos. A Figura a seguir apresenta um flip-flop tipo J-K e sua estrutura lógica. Ele possui dois sinais de entrada J e K, além de uma entrada pulsante, o clock (CLK).



Sobre o flip-flop tipo JK, considere as afirmativas a seguir:

- I Quando houver variação do clock, o valor guardado no flip-flop será mantido se J e K forem ambos iguais a 0.
- II Quando houver variação no clock, se os valores de J e K forem diferentes, a saída será 0 se K = 1.
- III Quando houver variação no clock, se os valores de J e K forem diferentes, o valor guardado no flip-flop será mantido se J=0.

É(São) correta(s) APENAS a(s) afirmativa(s):

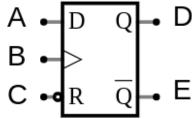
- a) I
- b) II
- c) III
- d) I e II
- e) II e III



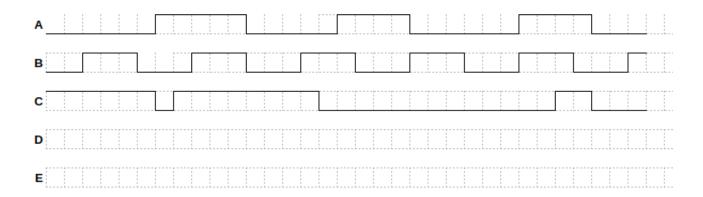
8) Dado	o f	lip-flo	p abaixo
---	--------	-----	---------	----------

a)	() flip-flop tipo T; () flip-flop tipo JK; () flip-flop tipo D.
b)	Identifique pelo diagrama eletrônico se o clock do flip-flop é acionado por:
	() nível alto; () nível baixo; () borda de subida; () borda de descida.
c)	Identifique pelo diagrama eletrônico se o reset (R) do flip-flop é acionado por:
	() nível alto; () nível baixo; () borda de subida; () borda de descida.
d)	Determine a tabela funcional do flip-flop, e use a última
	coluna para indicar a função executada por cada combina
	A - ID - OI - D

clk			função



- e) Associe os sinais do diagrama de tempo abaixo, as entradas e saídas do flip-flop.
- f) Apenas para o sinal de clock, indique quais bordas devem ser consideradas na análise, numerando elas em ordem crescente (1, 2, 3, ...)
- g) Desenhe os sinais de saída, dadas as entradas (considere que a saída Q do flip flop está inicialmente ALTO =1):



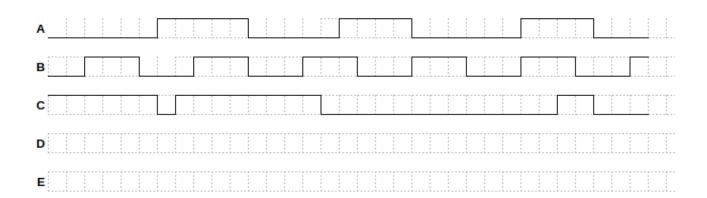


9) Dado	o flip-flop	abaixo
---	--------	-------------	--------

a)	Identifique o tipo de flip-flop.				
	() flip-flop tipo T;	() flip-flop tipo JK;	() flip-flop
	tipo D.				
b)	Identifique pelo diagrama eletrônico	se o cl	ock do flip-flop é acio	nado	por:
	() nível alto; () nível baixo;	() borda de subida;	() borda de
	descida.				
c)	Identifique pelo diagrama eletrônico	se o re	eset (R) do flip-flop é	acior	nado por:
	() nível alto; () nível baixo;	() borda de subida;	() borda de
	descida.				
d)	Determine a tabela funcional do flip-fl	ор, е ι	use a última		
	coluna para indicar a função executado	da por	cada combinação.		

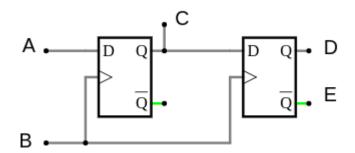
clk			função	Α •	Т	Q	→ D
				В •-		Ì	
				Į.		_	⊸ E
				C •	R	Q	→ □

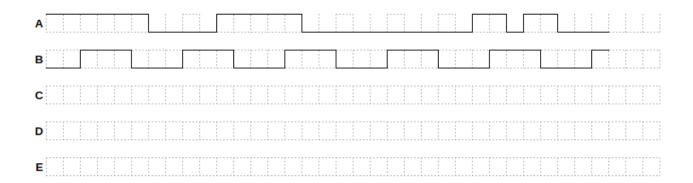
- h) Associe os sinais do diagrama de tempo abaixo, as entradas e saídas do flip-flop.
- i) Apenas para o sinal de clock, indique quais bordas devem ser consideradas na análise, numerando elas em ordem crescente (1, 2, 3, ...)
- j) Desenhe os sinais de saída, dadas as entradas (considere que a saída Q do flip flop está inicialmente ALTO =1):





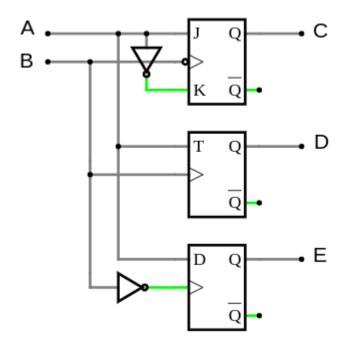
10) Para o circuito abaixo, desenhe os sinais de saída, dadas as entradas (considere que as saídas Q dos flip-flops estão inicialmente ALTO =1):



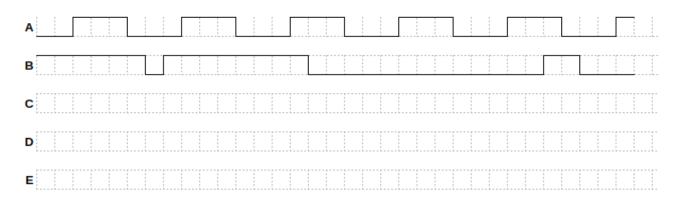




11) Dado o circuito abaixo:

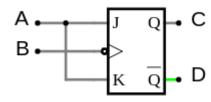


Desenhe os sinais de saída, dadas as entradas (considere que as saídas Q dos flip-flops estão inicialmente ALTO =1):

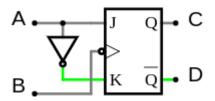




12) Com relação à funcionalidade do circuito abaixo, podemos afirmar que (assinale as afirmações verdadeiras):



- a) A saída C será igual à entrada A, desde que a entrada B esteja em nível lógico alto.
- b) A saída D tem o seu valor invertido a cada transição da entrada B, desde que a entrada A esteja em nível lógico alto.
- c) A saída C tem o seu valor invertido a cada transição da entrada B, independentemente do nível lógico na entrada A.
- d) Após a transição de descida da entrada B, a saída C passa a ter o nível lógico presente na entrada A no instante da transição.
- e) A saída D sempre será exatamente o inverso da saída C.
- f) Após a transição de subida da entrada B, a saída C tem seu valor mantido.
- g) O circuito é um flip-flop
- 13) Com relação à funcionalidade do circuito ao lado, podemos afirmar que (assinale as afirmações verdadeiras):

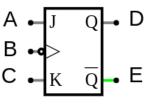


- a) A saída C será igual à entrada A, desde que a entrada B esteja em nível lógico alto.
- b) A saída C tem o seu valor invertido a cada transição de descida da entrada B, desde que a entrada A esteja em nível lógico alto.
- c) A saída C tem o seu valor invertido a cada transição da entrada B, independentemente do nível lógico na entrada A.
- d) Após a transição de descida da entrada B, a saída C passa a ter o nível lógico presente na entrada A no instante da transição.
- e) Após a transição de descida da entrada B, a saída C tem seu valor mantido.
- f) O circuito é um latch

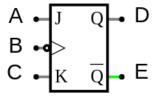
14) Observe o diagrama esquemático do flip-flop ao lado, qual o procedimento que deveria ser realizado para transformá-lo em um flip-flop tipo T?



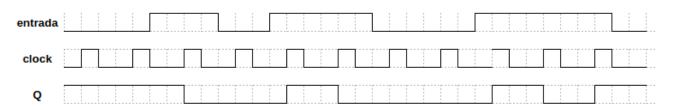
- a) Conectar os pinos J e K e designá-la por T.
- b) Colocar a entrada J em nível lógico alto.
- c) Colocar a entrada K em nível lógico alto.
- d) Conectar de J para K um inversor, e designar a entrada J por T



- 15) Observe o diagrama esquemático do flip-flop ao lado, qual o procedimento que deveria ser realizado para transformá-lo em um flip-flop tipo D?
 - a) Conectar os pinos J e K e designá-la por D.
 - b) Colocar a entrada J em nível lógico alto.
 - c) Colocar a entrada K em nível lógico alto.
 - d) Conectar de J para K um inversor, e designar a entrada J por D



16) O diagrama de tempo abaixo mostra o comportamento da saída Q de um tipo circuito em função da entrada e sinal de clock.



Com base no diagrama conclui-se que se trata de um:

() flip-flop tipo D () flip-flop tipo T () flip-flop tipo JK () latch SR

Com base no diagrama conclui-se que o circuito é sensível a:

() nível alto () nível baixo () borda de subida () borda de descida