



Isabela Bella Bortoleto
Nícolas Auersvаль Marques

Relatório 4

Relatório à disciplina de Circuitos Digitais,
como requisito parcial para aprovação.

Docente: Jamil de Araujo Farhat

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
Câmpus Curitiba
Agosto de 2025

Sumário

1	Introdução	2
2	Exercício 1 (Latches NAND e NOR)	3
2.1	Simulação	3
2.2	<i>Quartus</i>	4
3	Exercício 2	7
3.1	Simulação	7
3.2	Prática	8
4	Exercício 3	11
4.1	Simulação	11
4.2	Prática	13

1 Introdução

Nesta atividade, utiliza-se um *Complex Programmable Logic Device (CPLD)* da família *CPLD Altera MAX II (EPM240T100C5N)* para a implementação de circuitos digitais. O *CPLD* está integrado em uma placa de circuito impresso com tecnologia *THT (Through-Hole Technology)*, que inclui recursos como um display de 7 segmentos para a visualização das saídas.

Para o planejamento e validação dos circuitos lógicos, foi empregado o *software Logisim-Evolution (v3.7.2)*, que também foi utilizado para gerar um bloco de descrição de hardware (*HDL*). O código exportado no formato *VHDL (VHSIC Hardware Description Language)* foi então compilado para *CPLD* com o auxílio do *software Quartus II*.

2 Exercício 1 (Latches NAND e NOR)

2.1 Simulação

Os circuitos propostos no Exercício 1 — o latch SR NAND e o latch SR NOR — foram modelados e tiveram seu funcionamento validado por meio de simulação, conforme os conceitos apresentados na aula [1]. A análise do comportamento lógico de cada circuito foi realizada com base nas respectivas tabelas verdade feitas.

\bar{S} (Set)	\bar{R} (Reset)	Q (Saída)
0	0	Inválido
0	1	1
1	0	0
1	1	Sem mudança

Tabela 1: Tabela Verdade do Latch SR NAND

S (Set)	R (Reset)	Q (Saída)
0	0	Sem mudança
0	1	0
1	0	1
1	1	Inválido

Tabela 2: Tabela Verdade do Latch SR NOR

Portanto, a simulação feita gerou os seguintes resultados:

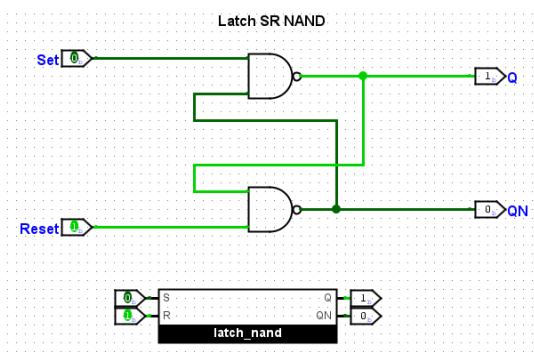


Figura 1: latch SR NAND - Entradas Set = 0 e Reset = 1 gerando Q = 1.

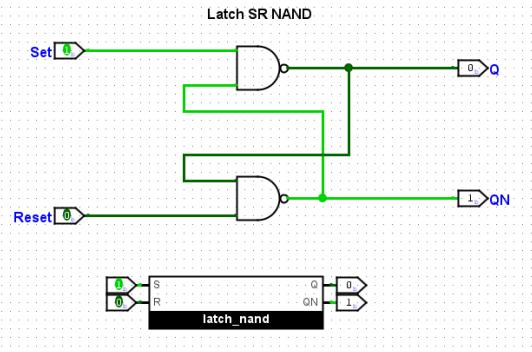


Figura 2: latch SR NAND - Entradas Set = 1 e Reset = 0 gerando Q = 0.

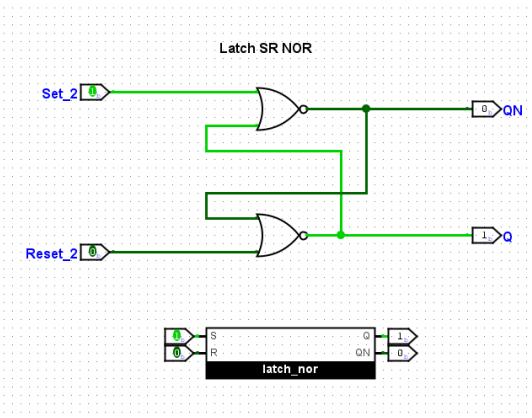


Figura 3: latch SR NOR - Entradas Set = 1 e Reset = 0 gerando Q = 1.

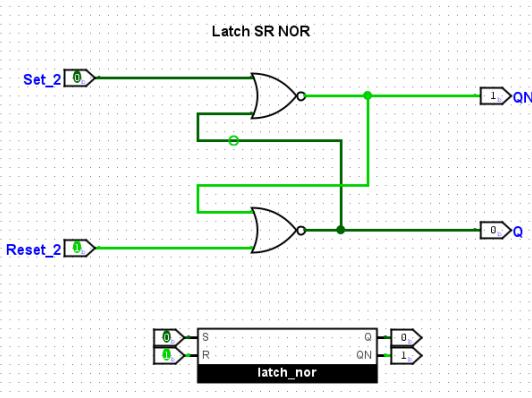


Figura 4: latch SR NOR- Entradas Set = 0 e Reset = 1 gerando Q = 0.

2.2 Quartus

O bloco HDL foi exportado para um arquivo vhdl e utilizado para implementar um projeto no software *Quartus*. Logo, o kit de desenvolvimento foi testado e apresentou os seguintes resultados:

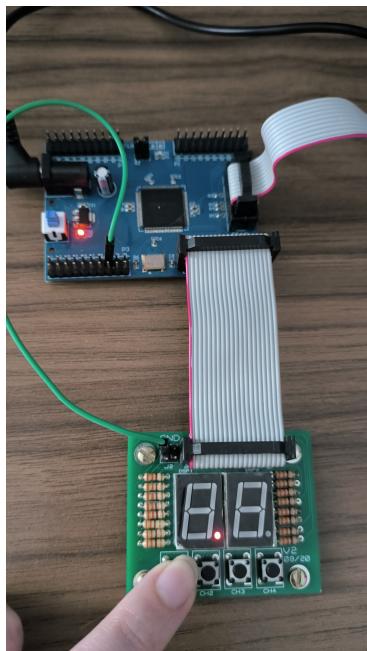


Figura 5: latch SR NAND - Entradas Set = 0 e Reset = 1 gerando Q = 1.

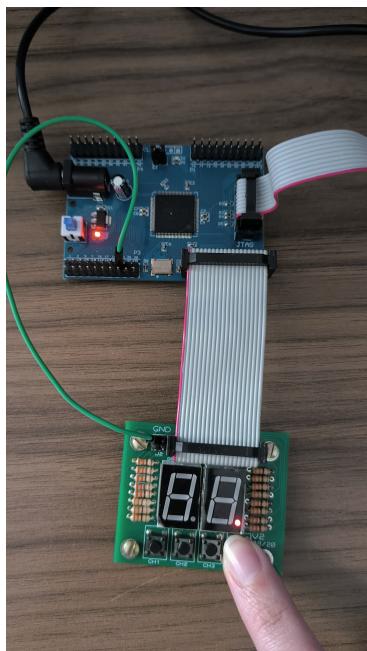


Figura 6: latch SR NAND - Entradas Set = 1 e Reset = 0 gerando QN = 1.

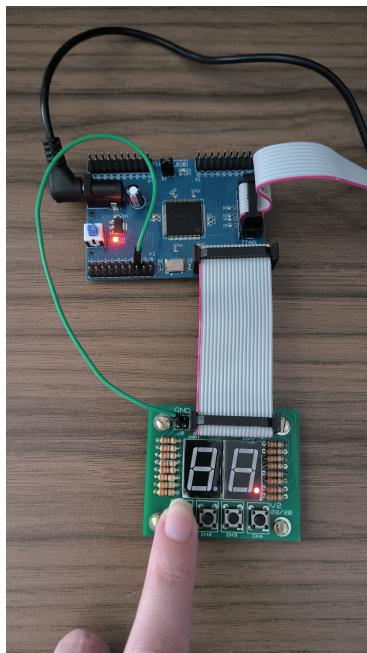


Figura 7: latch SR NOR - Entradas Set = 0 e Reset = 1 gerando QN = 1.

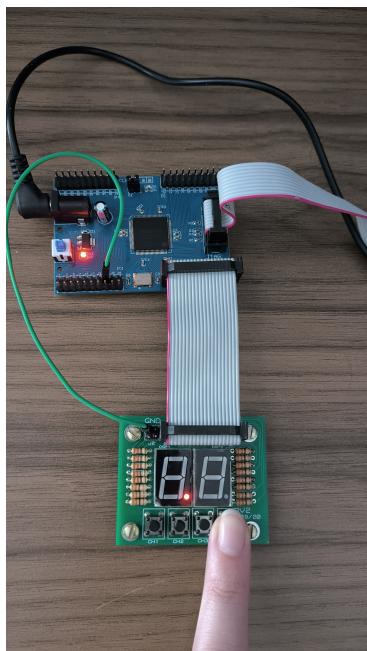


Figura 8: latch SR NOR - Entradas Set = 1 e Reset = 0 gerando Q = 1.

3 Exercício 2

3.1 Simulação

Os circuitos desenvolvidos no Exercício 2 — o latch D NAND e o latch D NOR, ambos transparentes — foram modelados e tiveram seu funcionamento validado por meio de simulação, em conformidade com os conceitos apresentados na aula [1]. A análise do comportamento lógico dos circuitos foi realizada com base nas tabelas verdade:

En	D	Q
1	0	0
1	1	1
0	X	Não Muda

Tabela 3: Tabela Verdade do Latch D NAND

En	D	Q
1	0	0
1	1	1
0	X	Não Muda

Tabela 4: Tabela Verdade do Latch D NOR

Portanto, a simulação feita gerou os seguintes resultados:

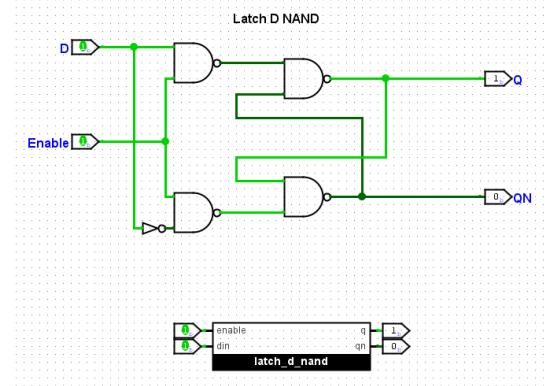


Figura 9: latch D NAND - Entradas D = 1 e Enable = 1 gerando Q = 1.

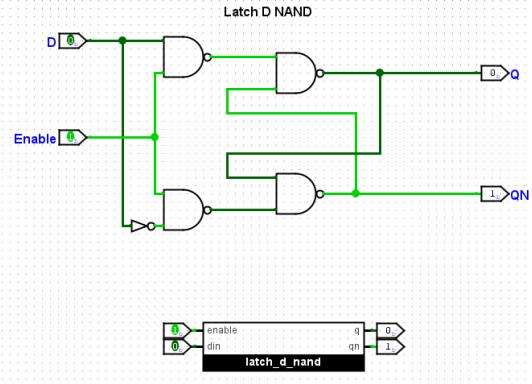


Figura 10: latch D NAND - Entradas D = 0 e Enable = 1 gerando Q = 0.

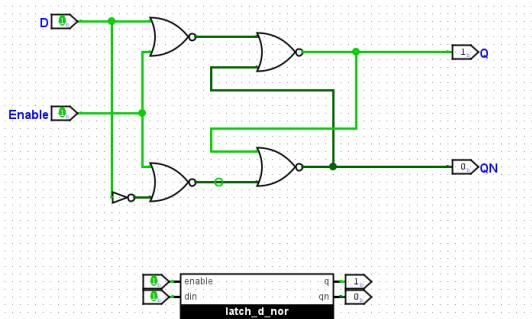


Figura 11: latch D NOR - Entradas D = 1 e Enable = 1 gerando Q = 1.

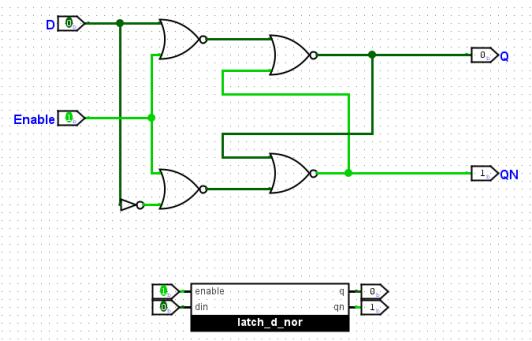


Figura 12: latch D NOR - Entradas D = 0 e Enable = 1 gerando Q = 0.

3.2 Prática

O bloco HDL foi exportado para um arquivo vhdl e utilizado para implementar um projeto no software *Quartus*. Logo, o kit de desenvolvimento foi testado e apresentou os seguintes resultados:

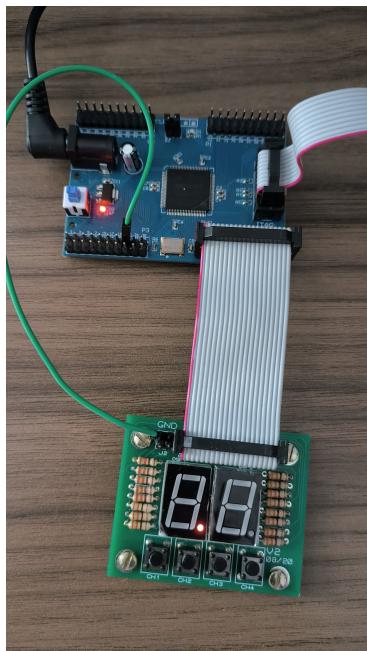


Figura 13: latch D NAND - Entradas D = 1 e Enable = 1 gerando Q = 1.

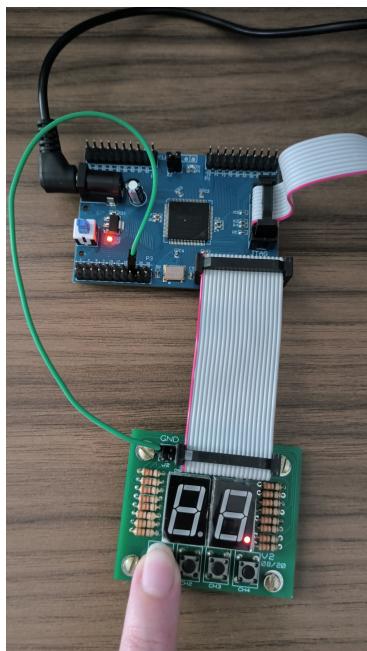


Figura 14: latch D NAND - Entradas D = 0 e Enable = 1 gerando QN = 1.

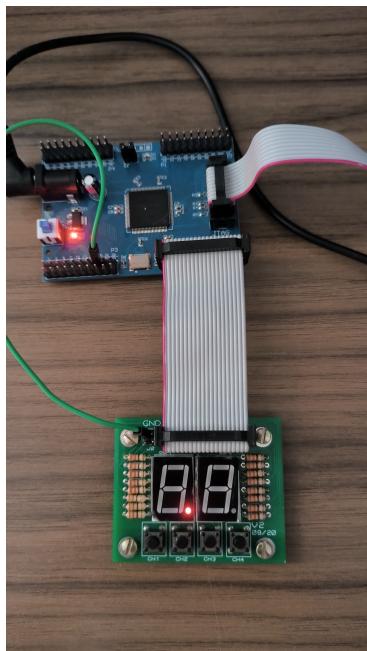


Figura 15: latch D NOR - Entradas D = 1 e Enable = 1 gerando Q = 1.

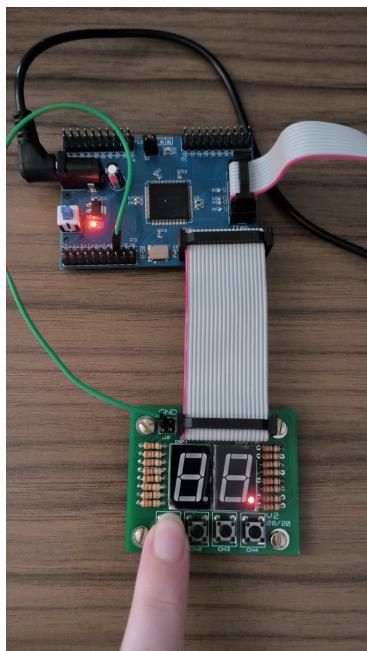


Figura 16: latch D NOR - Entradas D = 0 e Enable = 1 gerando QN = 1.

4 Exercício 3

4.1 Simulação

Os circuitos propostos no Exercício 3 — o flip-flop JK com resposta a flanco positivo e suas emulações nos modos JK e T — foram modelados e tiveram seu funcionamento validado por meio de simulação, de acordo com os conceitos apresentados na aula [1]. As entradas assíncronas de preset e clear foram implementadas conforme as especificações do exercício, e a análise do comportamento lógico dos circuitos foi realizada com base nas tabelas verdade feitas.

J	K	CLK	D
0	0	↑	Q_0 (mantém o estado)
0	1	↑	0 (reset)
1	0	↑	1 (set)
1	1	↑	\overline{Q}_0 (comuta)

Tabela 5: Tabela Verdade do Flip-flop JK a partir de um Flip-flop D com resposta a flanco positivo do clock

T	Q	CLK	D
0	0	↑	0
0	1	↑	1
1	0	↑	1
1	1	↑	0

Tabela 6: Tabela Verdade do Flip-flop T a partir de um Flip-flop D com resposta a flanco positivo do clock

Primeiramente, foi montado Flip-flop D com resposta a flanco positivo do clock no Logisim:

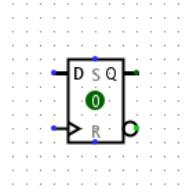


Figura 17: Circuito 3A

Portanto, a simulação feita para Flip-flop JK a partir de um Flip-flop D com resposta a flanco positivo do clock gerou os seguintes resultados:

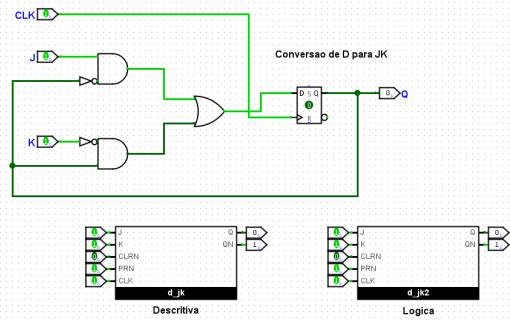


Figura 18: Entrada CLR_N = 0 gerando QN = 1.

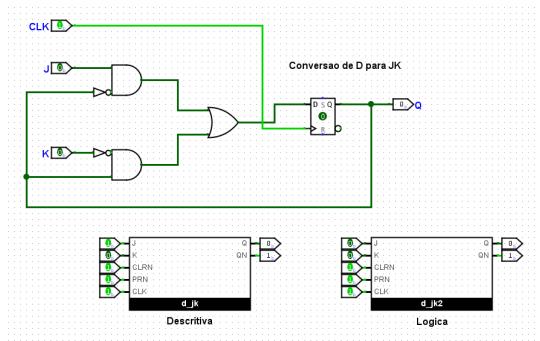


Figura 19: Entradas J = 0 e K = 0, o flip-flop mantém o estado anterior, independentemente do número de pulsos de clock.

Já o Flip-flop T a partir de um Flip-flop D com resposta flanco positivo do clock gerou:

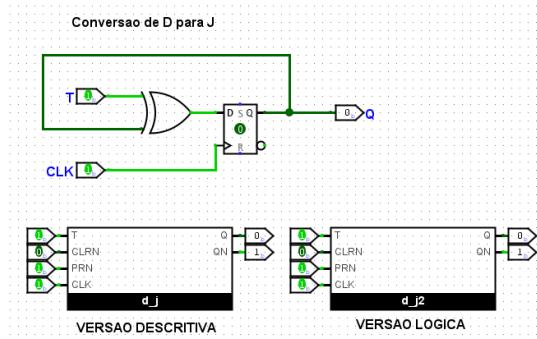


Figura 20: Entrada CLR_N = 0 gerando QN = 1.

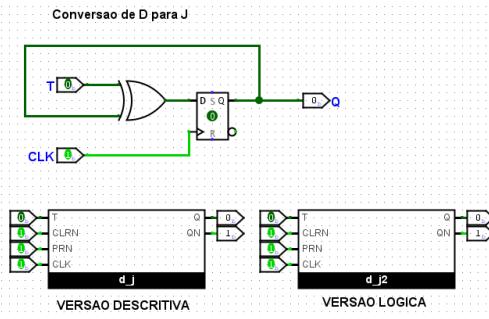


Figura 21: Quando $T = 0$, o flip-flop mantém o estado anterior, independentemente do número de pulsos de clock.

4.2 Prática

Durante a realização das partes (b) e (c) do exercício, observou-se que o circuito não operava de forma estável. Isso ocorreu devido ao efeito de *bouncing* da tecla utilizada para emular o sinal de clock. Cada pressionamento da tecla gerou múltiplos pulsos rápidos, fazendo com que o circuito apresentasse resultados incorretos em algumas situações.

Para resolver esse problema, foi necessário implementar um circuito anti-repique (debounce) aliado a um divisor de frequência, de modo a garantir que apenas um pulso válido fosse aplicado a cada acionamento da tecla. Com essa adaptação, o funcionamento esperado dos flip-flops foi assegurado, validando a prática tanto no *Logisim-evolution* quanto no *Quartus*.

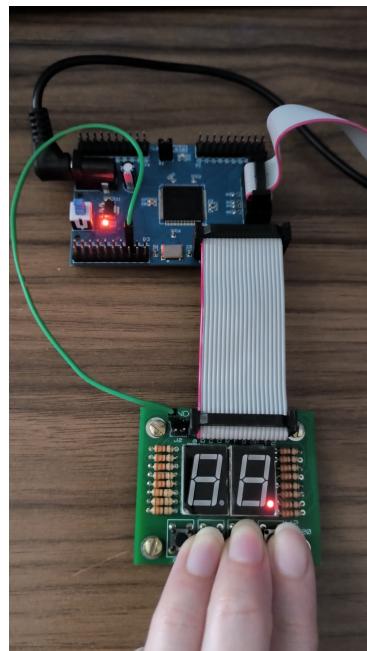


Figura 22: Entradas $J = 0$ e $K = 0$, o flip-flop mantém o estado anterior mesmo com o CLK sendo apertado várias vezes.

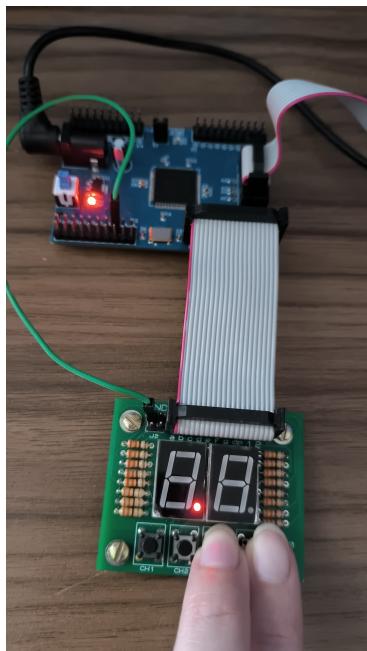


Figura 23: Entradas $J = 1$ e $K = 0$ e CLK pressionado uma vez, gerou $Q = 1$.

O bloco HDL foi exportado para um arquivo vhdl e utilizado para implementar um projeto no software *Quartus*. Logo, o kit de desenvolvimento foi testado e o Flip-flop T a partir de um Flip-flop D com resposta flanco positivo do clock apresentou os seguintes resultados:

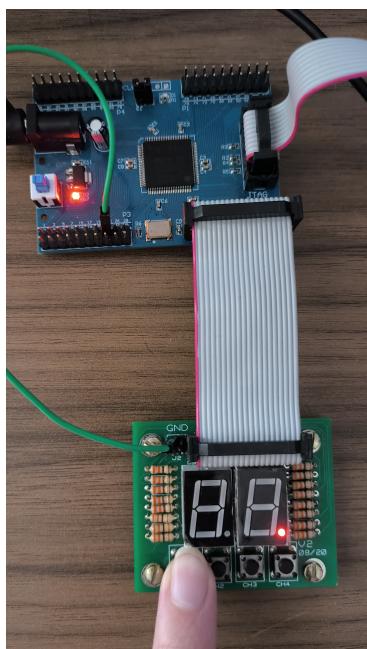


Figura 24: Entrada CLRN = 0 gerando QN = 1.

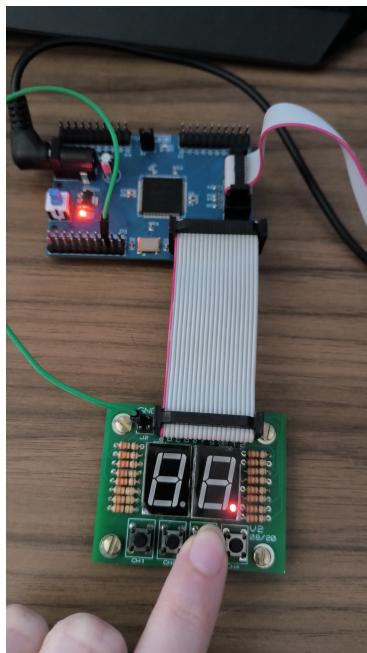


Figura 25: Entrada CLK pressionada várias vezes, o led aceso fica alternando a cada aperto no CLK.

Referências

- [1] Jamil Farhat. *Circuitos Digitais - Laboratório 3*. Material de aula. Baseado nos slides elaborados pelos Profs. Peron e Gortan. Paraná, Brasil, 2024.