



**Isabela Bella Bortoleto  
Nícolas Auersvalt Marques**

**Relatório 5**

Relatório à disciplina de Circuitos Digitais,  
como requisito parcial para aprovação.

Docente: Jamil de Araujo Farhat

**UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ**  
Câmpus Curitiba  
Agosto de 2025

# **Sumário**

<b>1</b>	<b>Introdução</b>	<b>2</b>
<b>2</b>	<b>Teoria</b>	<b>3</b>
2.1	Decodificação . . . . .	3
2.2	Alargador de Pulso . . . . .	3
<b>3</b>	<b>Cronômetro</b>	<b>4</b>
3.1	Simulação . . . . .	5
3.2	Prática . . . . .	9

# 1 Introdução

Nesta atividade, utiliza-se um *Complex Programmable Logic Device (CPLD)* da família *CPLD Altera MAX II (EPM240T100C5N)* para a implementação de circuitos digitais. O *CPLD* está integrado em uma placa de circuito impresso com tecnologia *THT (Through-Hole Technology)*, que inclui recursos como um display de 7 segmentos para a visualização das saídas.

Para o planejamento e validação dos circuitos lógicos, foi empregado o *software Logisim-Evolution (v3.7.2)*, que também foi utilizado para gerar um bloco de descrição de hardware (*HDL*). O código exportado no formato *VHDL (VHSIC Hardware Description Language)* foi então compilado e embarcado no *CPLD* com o auxílio do *software Quartus II*.

## 2 Teoria

### 2.1 Decodificação

O latch *LATCH\_RST\_W* mantém o pulso de reset ativo durante meio período do clock, garantindo um reset estável.

Durante a transição de um valor par para um ímpar, algumas saídas menos significativas comutam. Por exemplo:

$$1110 \rightarrow 1111 \text{ (estado intermediário)} \rightarrow 1101$$

Nesse caso, ao passar de 8 para 7, ocorre um valor intermediário (15), cuja decodificação não é unívoca, como exemplificado na imagem 2.1 retirada do material [2].

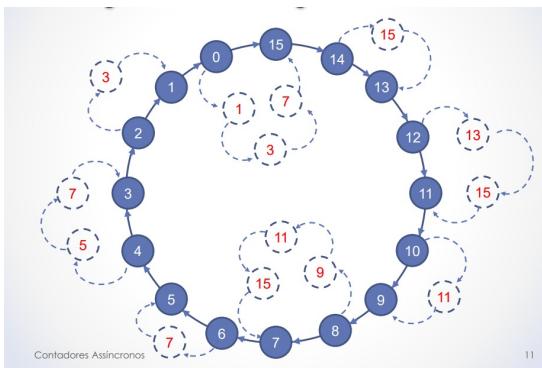


Figura 1: Exemplo de estados intermediários.

Para corrigir esse problema, evitou-se a decodificação do pulso de reset na transição de 8 para 7. O *LATCH\_EN\_RST* só é definido quando o decodificador atinge zero e habilita o pulso de reset, momento em que o latch é resetado.

### 2.2 Alargador de Pulso

Um contador que utiliza flip-flops em cascata está sujeito a anomalias causadas pela duração insuficiente do pulso de reset. Se esse pulso for muito breve, pode não alcançar o último flip-flop da cadeia, resultando em um reset parcial do contador. Para evitar isso, utiliza-se um alargador de pulso, visto na Figura 4, que prolonga o sinal de reset o suficiente para garantir sua propagação por todos os flip-flops.

Outro problema ocorre quando o latch *LATCH\_EN\_RST* é acionado e o decodificador atinge zero, habilitando o pulso de reset que, por sua vez, reseta o latch. Se o sinal de reset for muito curto, alguns flip-flops podem ser resetados mais rapidamente do que outros, causando instabilidade no sistema.

### 3 Cronômetro

Com o objetivo de estudar a operação de circuitos assíncronos, foi realizado um cronômetro digital para contar os segundos utilizando-se de circuitos assíncronos, em vez de usar circuitos síncronos, como seria comum. O sistema é composto por dois *displays* de 7 segmentos que mostram a contagem de 0 a 59, uma chave táctil que inicia e pausa a contagem e outra que zera o cronômetro. Para tal, o trabalho foi dividido em 14 passos, os quais se compõem de:

- P0. Criação de um contador assíncrono progressivo módulo 16;
- P1. Criação de um contador assíncrono progressivo módulo 10;
- P2. Repetição do circuito anterior, mas com o acréscimo de um alargador do pulso de reset;
- P3. Criação de um contador assíncrono progressivo módulo 6;
- P4. Repetição do circuito anterior, mas com o acréscimo de um alargador do pulso de reset;
- P5. Criação de um contador assíncrono regressivo módulo 16;
- P6. Criação de um contador assíncrono regressivo módulo 10. Eliminação da decodificação indesejada de estados intermediários;
- P7. Repetição do circuito anterior, mas com o acréscimo de um alargador do pulso de reset;
- P8. Criação de um contador assíncrono regressivo módulo 6. Eliminação da decodificação indesejada de estados intermediários;
- P9. Repetição do circuito anterior mas com o acréscimo de um alargador do pulso de reset;
- P10. Criação de um contador assíncrono up/down módulo 10 baseado nos circuitos progressivo/regressivo desenvolvidos nos passos anteriores;
- P11. Criação de um contador assíncrono up/down módulo 6 baseado nos circuitos progressivo/regressivo desenvolvidos nos passos anteriores;
- P12. Encadeação dos contadores para realizar a contagem de 0 a 59 (progressivo) ou 59 a 0 (regressivo), incluindo o controle start/stop;
- P13. Testagem do circuito no kit de desenvolvimento *EPM240*, complementando o VHDL com divisor de frequência, anti-repique e conversores para 7 segmentos.

### 3.1 Simulação

Os circuitos propostos para os passos 1 a 12 foram modelados e tiveram seu funcionamento validado por meio de simulação, conforme os conceitos apresentados na aula [1].

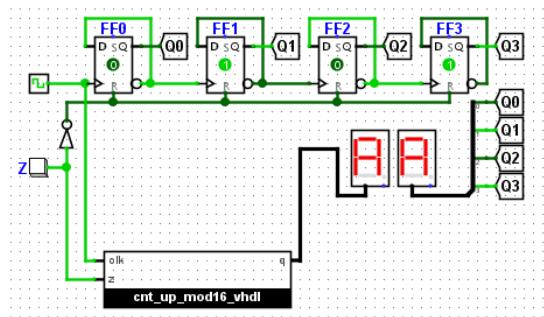


Figura 2: Passo zero. Contador assíncrono progressivo módulo 16.

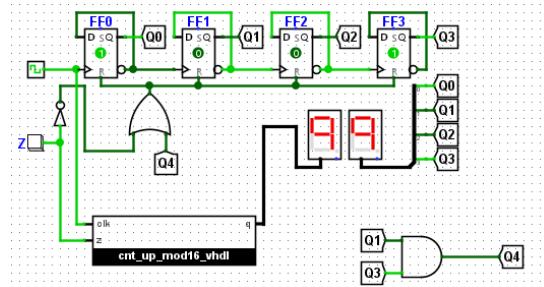


Figura 3: Passo um. Contador assíncrono progressivo módulo 10.

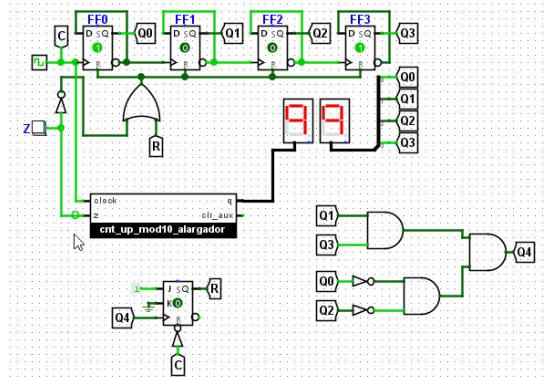


Figura 4: Passo dois. Contador assíncrono progressivo módulo 10 com um alargador do pulso de reset.

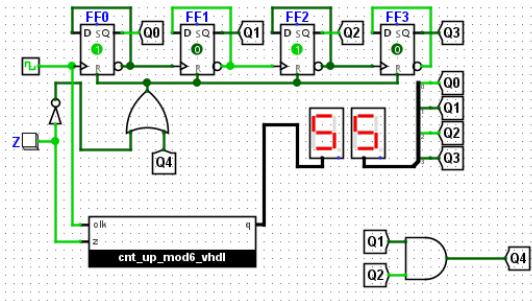


Figura 5: Passo três. Contador assíncrono progressivo módulo 6.

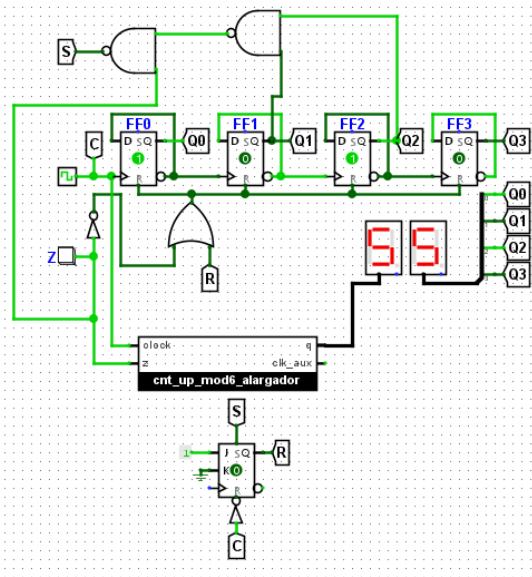


Figura 6: Passo quatro. Contador assíncrono progressivo módulo 6 com um alargador do pulso de reset.

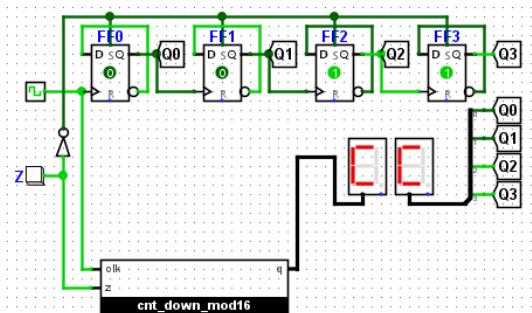


Figura 7: Passo cinco. Contador assíncrono regressivo módulo 16.

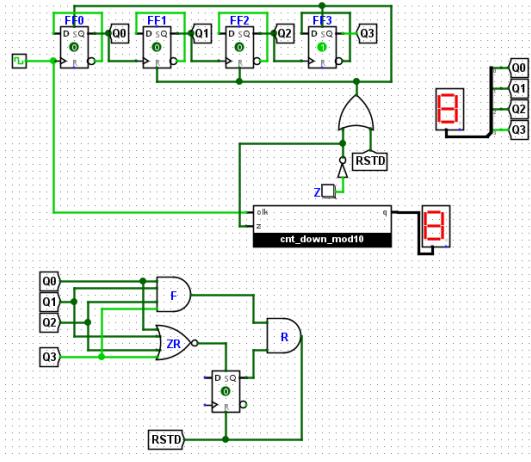


Figura 8: Passo seis. Contador assíncrono regressivo módulo 16 com eliminação da decodificação indesejada de estados intermediários.

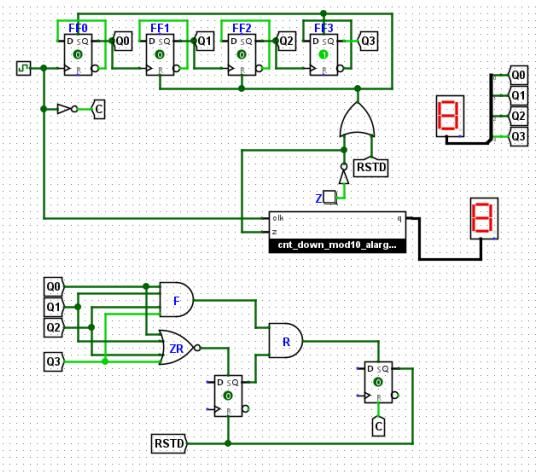


Figura 9: Passo sete. Acréscimo de um alargador do pulso de reset

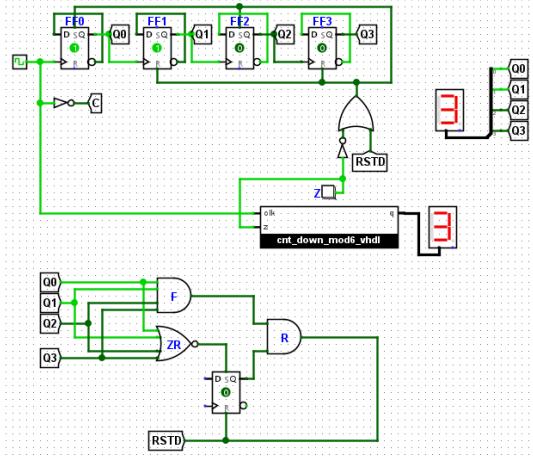


Figura 10: Passo oito. Contador assíncrono regressivo módulo 6 com eliminação da decodificação indesejada de estados intermediários.

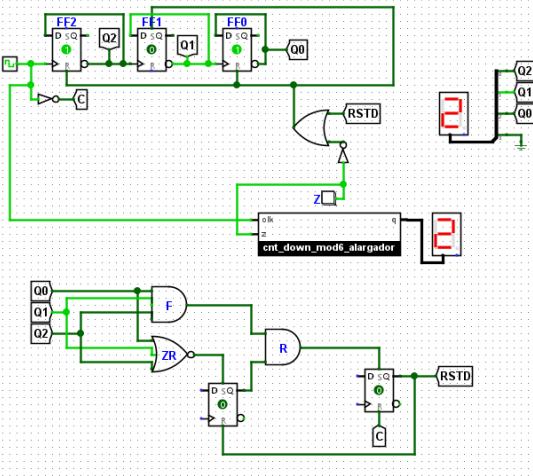


Figura 11: Passo nove. Acréscimo de um alargador do pulso de reset.

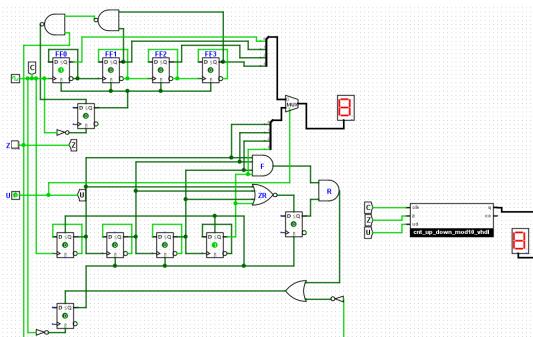


Figura 12: Passo dez. Contador assíncrono up/down módulo 10.

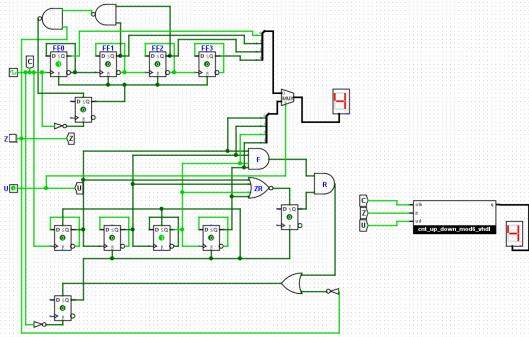


Figura 13: Passo onze. Contador assíncrono up/down módulo 6.

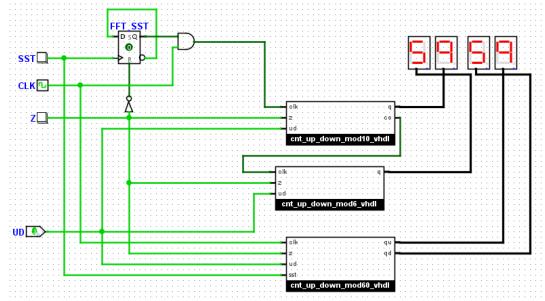


Figura 14: Passo doze. Encadeação dos contadores para realizar a contagem de 0 a 59 (progressivo) ou 59 a 0 (regressivo), incluindo o controle start/stop.

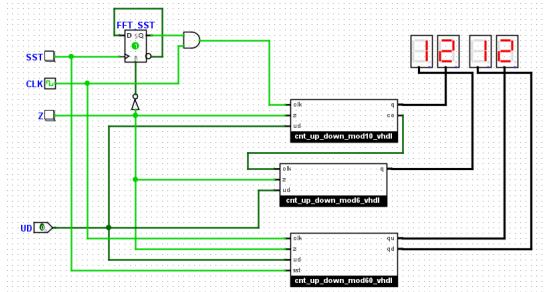


Figura 15: Passo doze. Outra imagem do funcionamento.

### 3.2 Prática

O bloco HDL foi exportado para um arquivo vhdl e utilizado para implementar um projeto no *software Quartus*. Para o teste na placa, realizou-se a seguinte hierarquia no *software Quartus*:

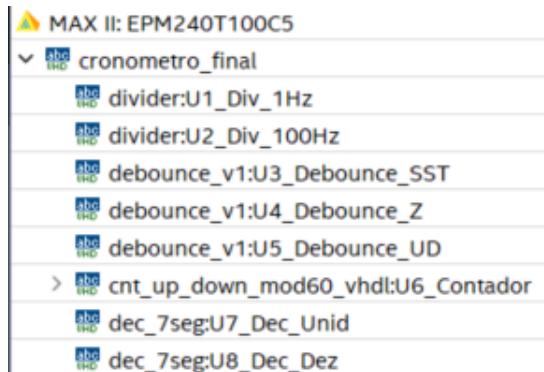


Figura 16: Hierarquia no software *Quartus*.

Logo, o kit de desenvolvimento foi testado e apresentou os seguintes resultados:



Figura 17: Teste feito na placa.

## Referências

- [1] Jamil Farhat. *Circuitos Digitais - Laboratório 5*. Material de aula. Baseado nos slides elaborados pelos Profs. Peron e Gortan. Paraná, Brasil, 2024.
- [2] Prof. Gortan. *Análise dos estados intermediários de um contador assíncrono e possível solução para pulsos de reset curtos*. Portuguese. Material de referência interna. 2025.