

# M2 EEA SME

Projet Barre Franche - Novembre 2019

---

## EIEAS3GM SYNTHESE ET MISE EN ŒUVRE DES SYSTEMES

---

**Auteur :**

Nicolas OTAL

Antoine ROUTIER

**Encadrants :**

M. PERISSE

## Introduction

*Dans le cadre de notre UE "Synthèse et Mise en oeuvre de système", un bureau d'étude nous a été proposé avec pour objectif de mettre en oeuvre une solution logicielle/matérielle qui répond au besoin de gestion et contrôle de trajectoire d'un voilier de barre franche.*

*A l'aide des bases acquises, durant notre formation, en VHDL, simulation, et conception systèmes l'objectif de cette UE sera la réalisation d'un contrôleur de Barre-France de voilier par FPGA (Altera). Il sera nécessaire d'étudier, décomposer, coder et implémenter chaque fonctions une à une et d'intégrer la globalité du projet à l'aide d'un Bus Avalon permettant l'interconnexion des fonctions au MCU intégré au FPGA.*

*Pour réaliser cela, nous avons respecter le processus de développement consistant à réaliser une analyse des besoins et du contexte permettant d'identifier les différentes interfaces du système, nous avons par la suite réaliser la conception du système en décomposant notre fonction principale en différents blocs. Ces différents blocs ont fait l'objet d'une description fonctionnelle avant d'être implémenter. Suite à cela, nous avons réaliser un ensemble de simulation et test sur maquette pour vérifier le bon fonctionnement de chaque module intégré pour valider finalement notre projet sur une maquette.*

## Sigles et acronymes

<b>CPGPS</b>	<i>Code Phase Global Positioning System</i>
<b>GPIO</b>	<i>General Purpose Input/Output</i>
<b>GPS</b>	<i>Global Positioning System</i>
<b>GSM</b>	<i>Global System for Mobile</i>
<b>I2C</b>	<i>Inter Integrated Circuit</i>
<b>IHM</b>	<i>Interface Homme Machine</i>
<b>UART</b>	<i>Universal Asynchronous Receiver Transmitter</i>
<b>UML</b>	<i>Unified Modeling Language</i>
<b>RTK</b>	<i>Real Time Kinematic</i>
<b>SPI</b>	<i>Serial Peripheral Interface</i>
<b>SysML</b>	<i>Systems Modeling Language</i>

## Table des matières

<b>Introduction</b>	<b>2</b>
<b>1 Cahier des charges du Projet "Barre-Franche"</b>	<b>5</b>
1.1 Introduction technique . . . . .	5
1.2 Cahier des charges général . . . . .	5
1.3 Cahier des charges technique . . . . .	6
<b>2 Conclusion</b>	<b>7</b>

# **1 Cahier des charges du Projet "Barre-Franche"**

## **1.1 Introduction technique**

Le projet qui nous est demandé est basé sur les SOC et plus particulièrement sur un FPGA, de chez Altera, embarqué dans un voilier pour en piloter la barre-franche. Ce dispositif électronique fonctionnera à l'aide de différentes entrées/sorties (gyroscope, anémomètre, GPS, convertisseur analogique/numérique, vérin, boutons, buzzer).

## **1.2 Cahier des charges général**

Durant ce projet, nous allons utiliser les différentes compétences acquises à travers les différents cours de l'année et les mettre en corrélation pour mener à bien ce dernier. Le projet devra respecter certains critères présentés ci-dessous :

1. Le dispositif devra utiliser un appareil de mesure pour capter la valeur de la vitesse du vent.
2. Le dispositif devra utiliser un appareil de mesure pour capter la direction du vent.
3. Le dispositif devra réceptionner des données GPS, traiter ces données et agir sur le dispositif en fonction des résultats obtenus après traitement.
4. Le dispositif devra avoir une interface entre l'opérateur et le voilier.
5. Le dispositif devra piloter la barre-franche du voilier à l'aide des différents appareils pour venir piloter un vérin.

Pour des raisons pratiques et de temps nous avons implémenté la mesure de la vitesse du vent, la gestion du vérin ainsi que l'asservissement du vérin.

### 1.3 Cahier des charges technique

Le projet se porte sur la réalisation d'un dispositif embarqué à base de FPGA, de chez Altera. Il sera composé de deux parties principales une partie Hardware sur le FPGA et une partie Software intégrée/développée dans le FPGA (SOPC). Les deux parties communiqueront par le biais du Bus Avalon, qui est le Bus développé par Altera pour leur SOC.

Le coeur du projet sera composé d'un FPGA Cyclone IV EP4CE22F17C6N du fournisseur Altera permettant le développement du projet Hardware et Software sur la même carte d'évaluation. Il sera nécessaire d'implémenter des fonctions spécifiques.

1. Une fonction qui permettra de lire la mesure de la vitesse du vent (0-250km/h). La fonction devra lire la sortie de l'anémomètre qui est une sortie logique de fréquence variable (0 à 250 Hz).
2. Une fonction générant un signal PWM qui sera utilisé dans plusieurs parties du projet. Cette fonction sera intégré plus tard dans le SOPC du FPGA permettant la génération d'un signal PWM qu'on utilisera au travers du Bus Avalon.
3. Une implémentation d'un MCU dans le FPGA grâce à l'outil SOPC du logiciel Quartus d'Altera. Celui permettra le traitement (à compléter.)

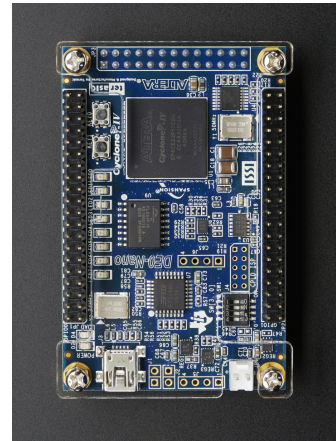


FIGURE 1 – DE0 Nano Altera

## 2 Conclusion