

Departamento de Electrónica  
Electrónica Digital

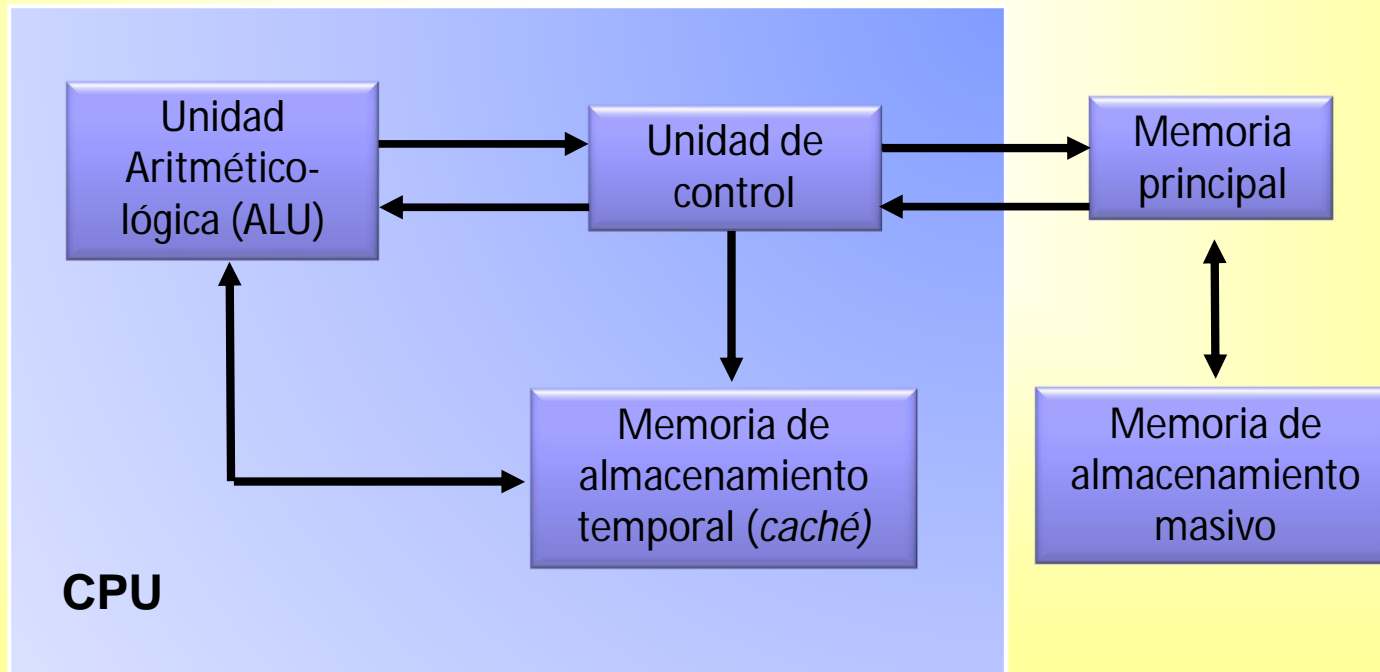
# ***Dispositivos de memoria***

# Memorias de semiconductores

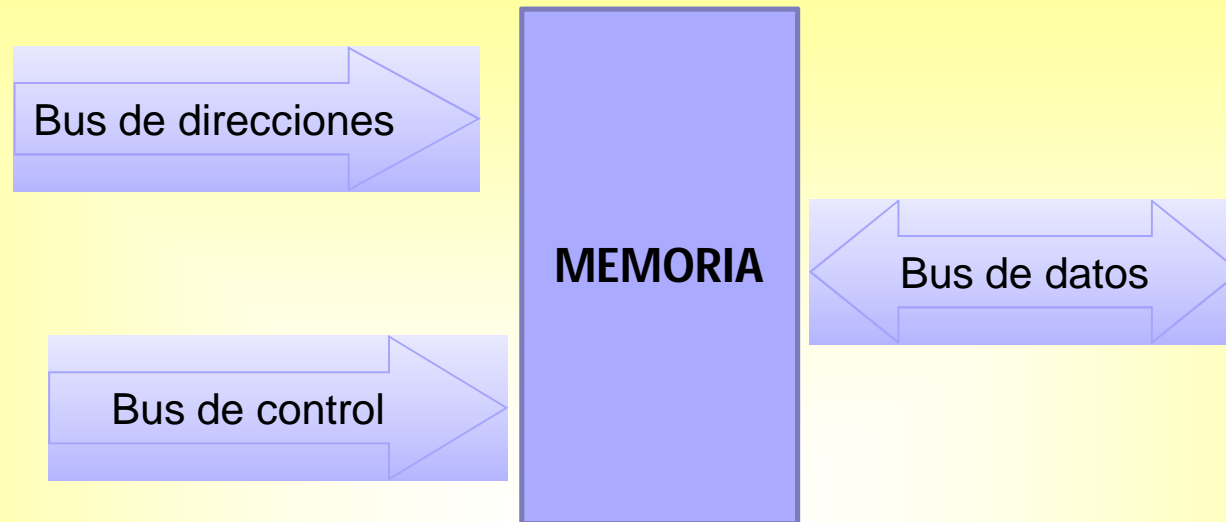
- Almacenamiento de *SW* (instrucciones y datos)
  - *Firmware (FW)*

## Aplicaciones

- Memorias de arranque (*boot*, BIOS)
- Tablas de datos (conversión de códigos, generación de señales, operaciones, etc.)
- Generación de funciones combinacionales

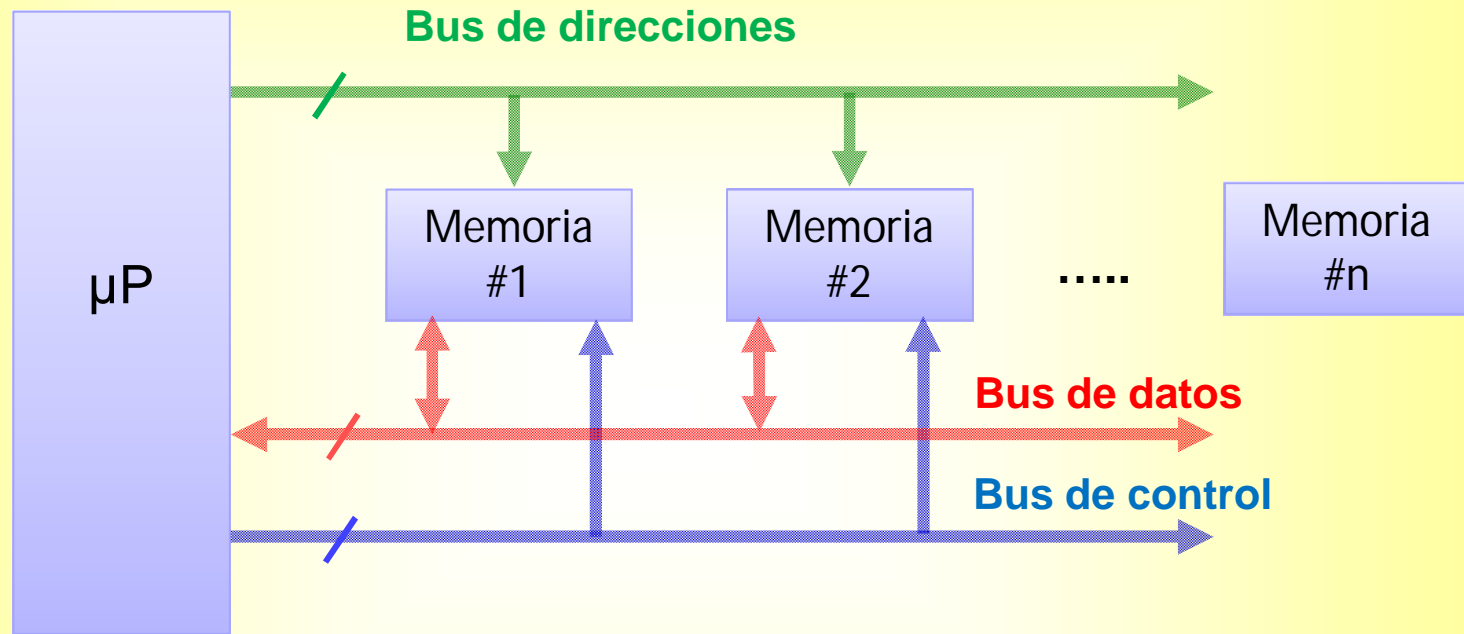


## E/S de una memoria



- **Bus de direcciones:** especifica la posición de memoria **–dirección–** a ser leída o escrita.
- **Bus de datos:** aplica el dato a escribir o recibe el dato leído
- **Bus de control:** controla la memoria
  - Habilita el dispositivo y la salida:
    - **CS'** (*Chip Select*) o **CE'** (*Chip Enable*)
    - **OE'** (*Output Enable*)
  - Establece el tipo de operación:
    - **R / W'** (*Read/Write*)

# Memorias en sistemas microprocesados



*Las memorias siempre tienen E/S tri-estado*

# Características y especificaciones

- **Capacidad:** cantidad de información que puede almacenar expresada en número de bits

*cantidad de palabras x cantidad de bits de la palabra*

Ejemplos:  $4K \times 20 = 4096 \times 20 = 81920$  bits

$1M \times 8 = 1.048.576 \times 8 = 8.388.608$  bits

- **Volatilidad**

- **Timing**

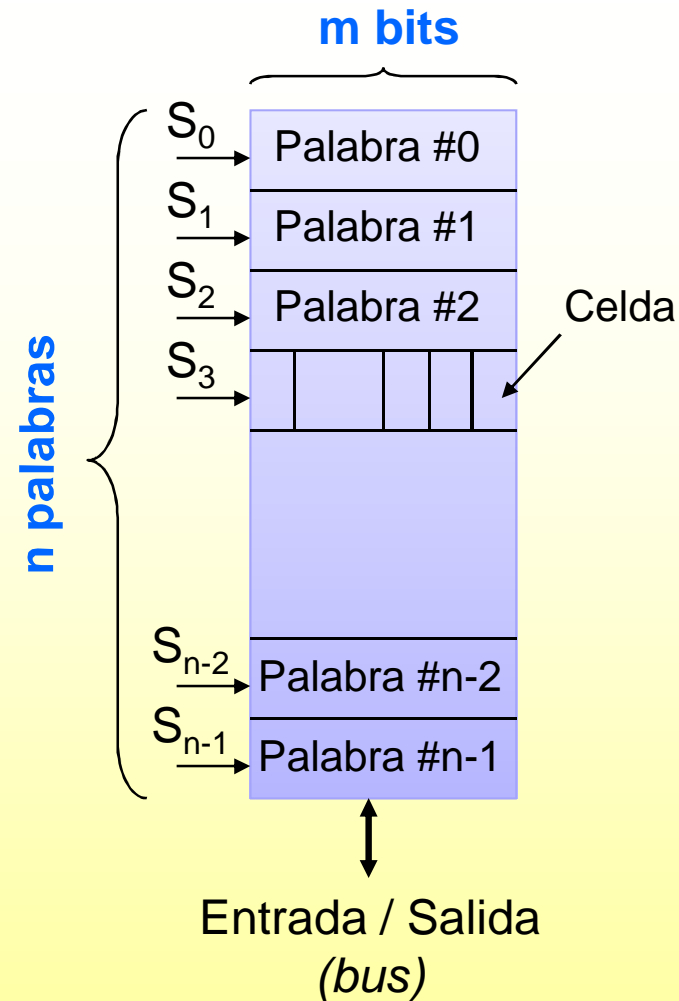
- Tiempo de acceso/lectura
- Tiempo de escritura

- **Etapas de salida:** tri-estado

- **Características eléctricas**

- Tecnología: CMOS, TTL, PMOS, NMOS, BiCMOS
  - Voltajes de entrada y salida
- Consumo (en operaciones de R y W, en *stand-by*)

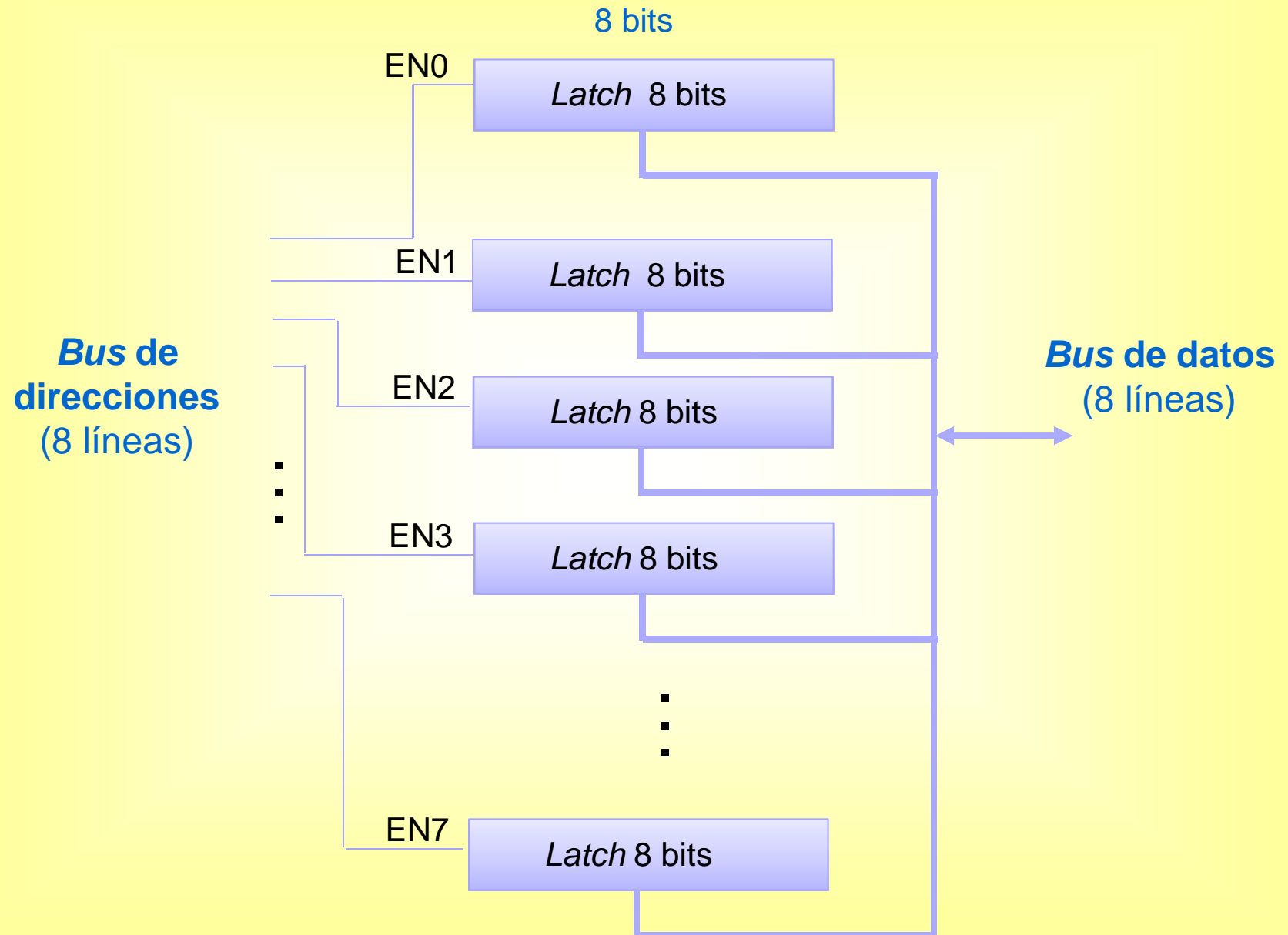
# Estructura interna: arquitectura 1D



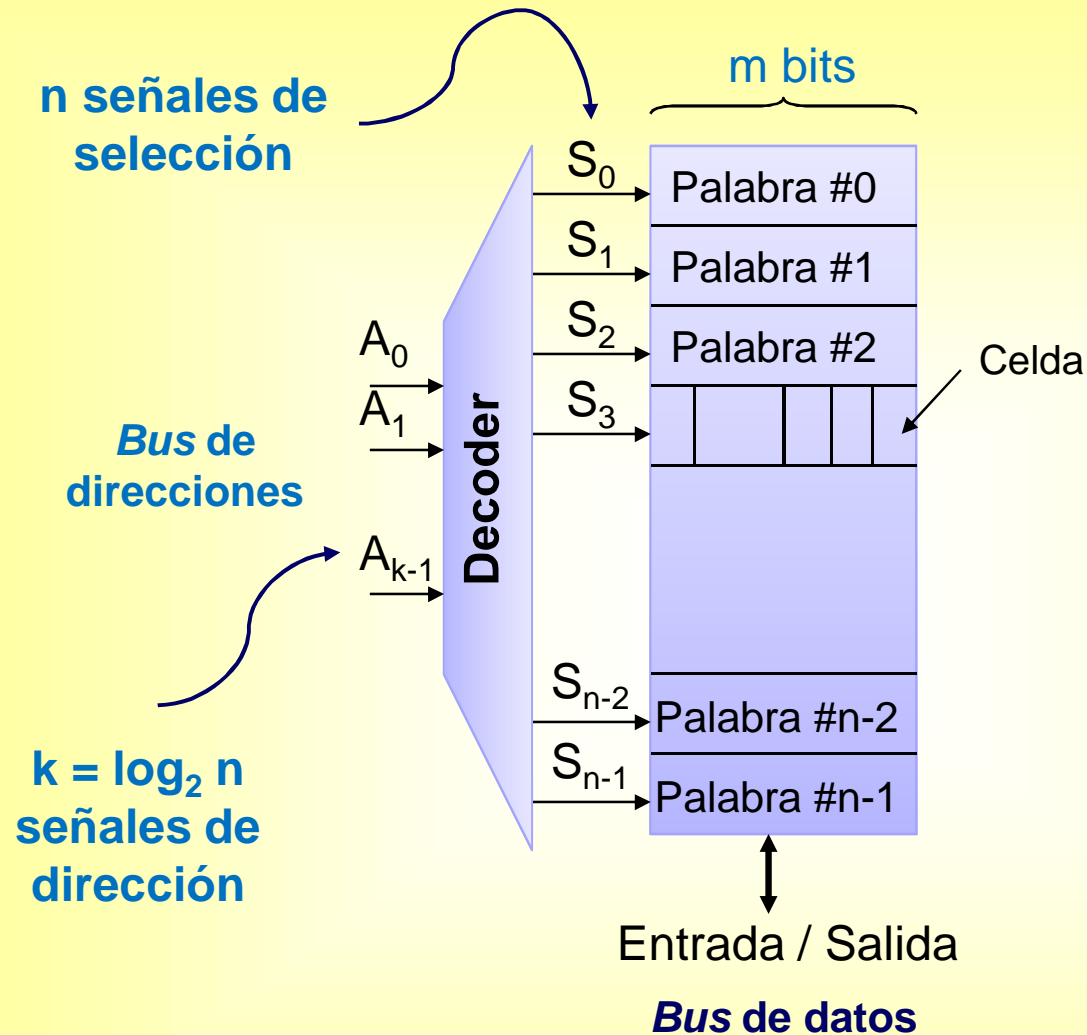
**$n$  palabras  $\rightarrow n$  señales de selección**

1 Mpalabras  $\rightarrow$  1 millón de líneas de selección

## Implementación práctica 1D: memoria de 8 x 8



## Reducción de las líneas de selección

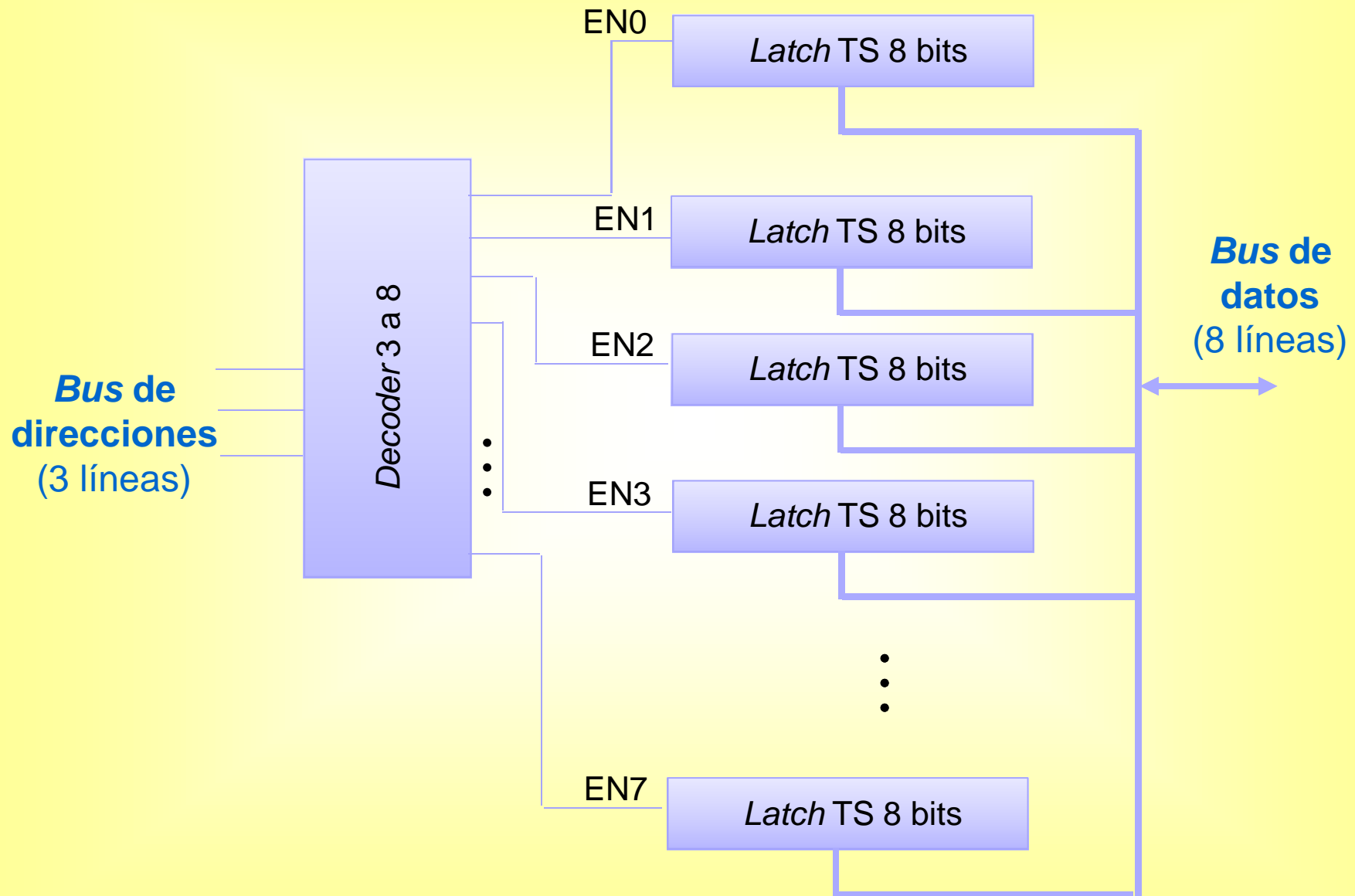


El decodificador reduce # de entradas de selección:  $k = \log_2 n$

1 Mpalabra  $\rightarrow$  20 líneas



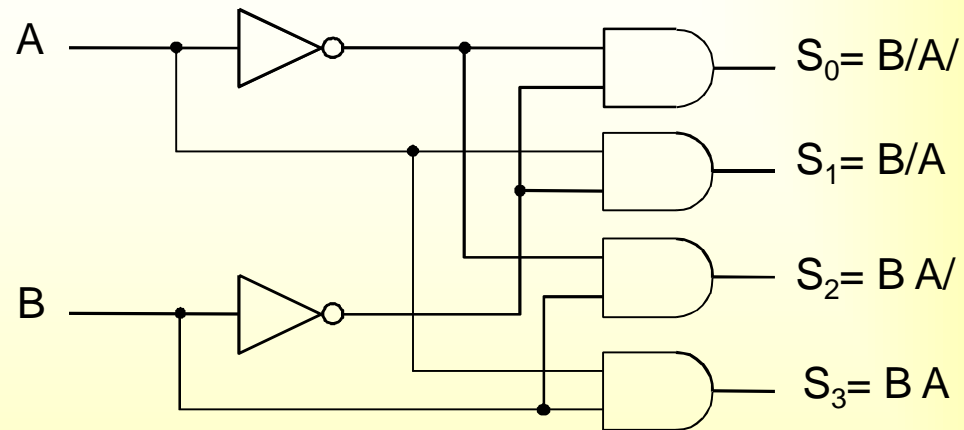
## Implementación práctica 1D con decoder: memoria de 8 x 8



# Limitaciones de la arquitectura 1D

- Memoria de 4 palabras → Decoder de 2 a 4

4 compuertas AND de 2 entradas



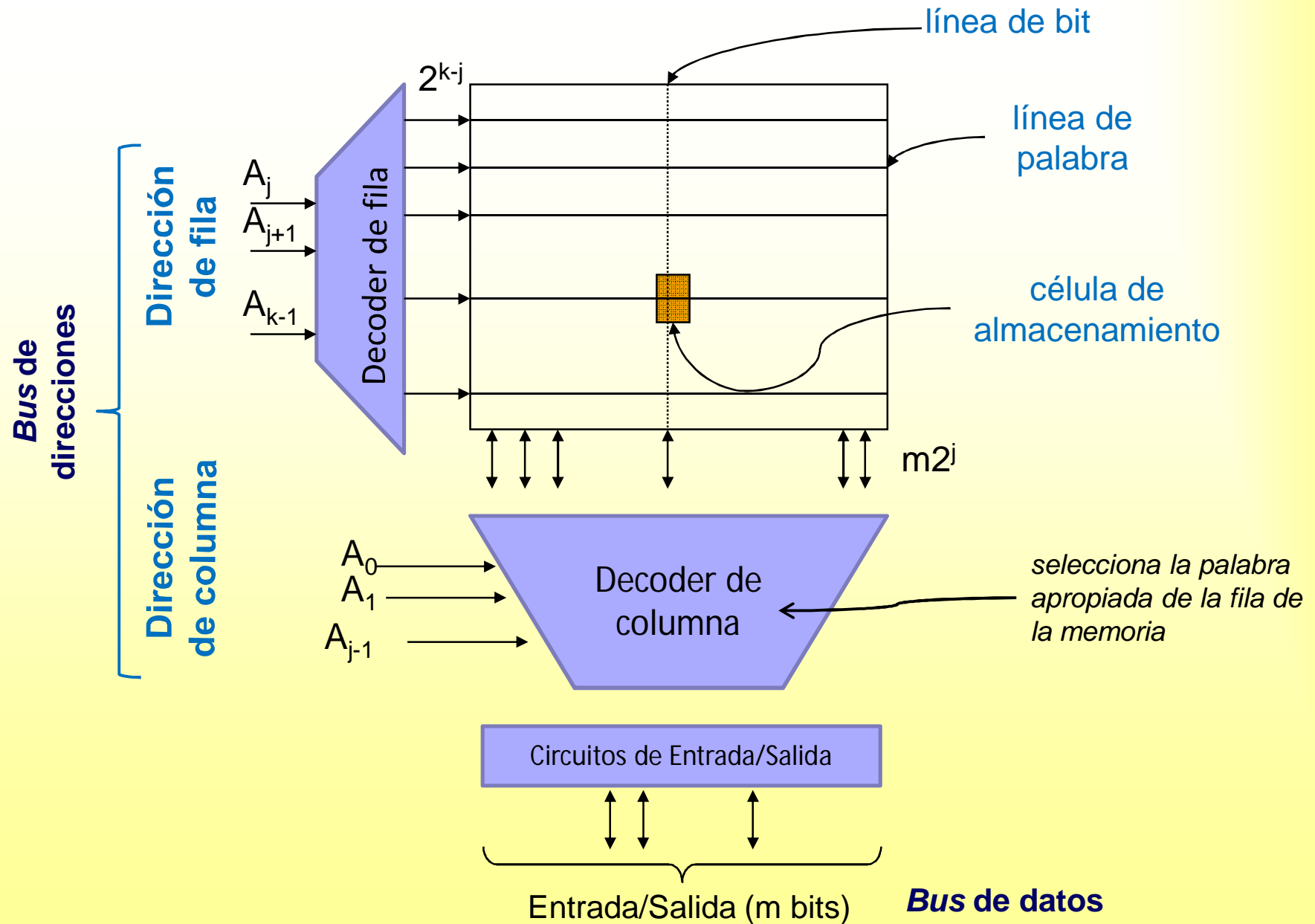
- Memoria de 128 palabras → Decoder de 7 a 128

128 compuertas AND de 7 entradas

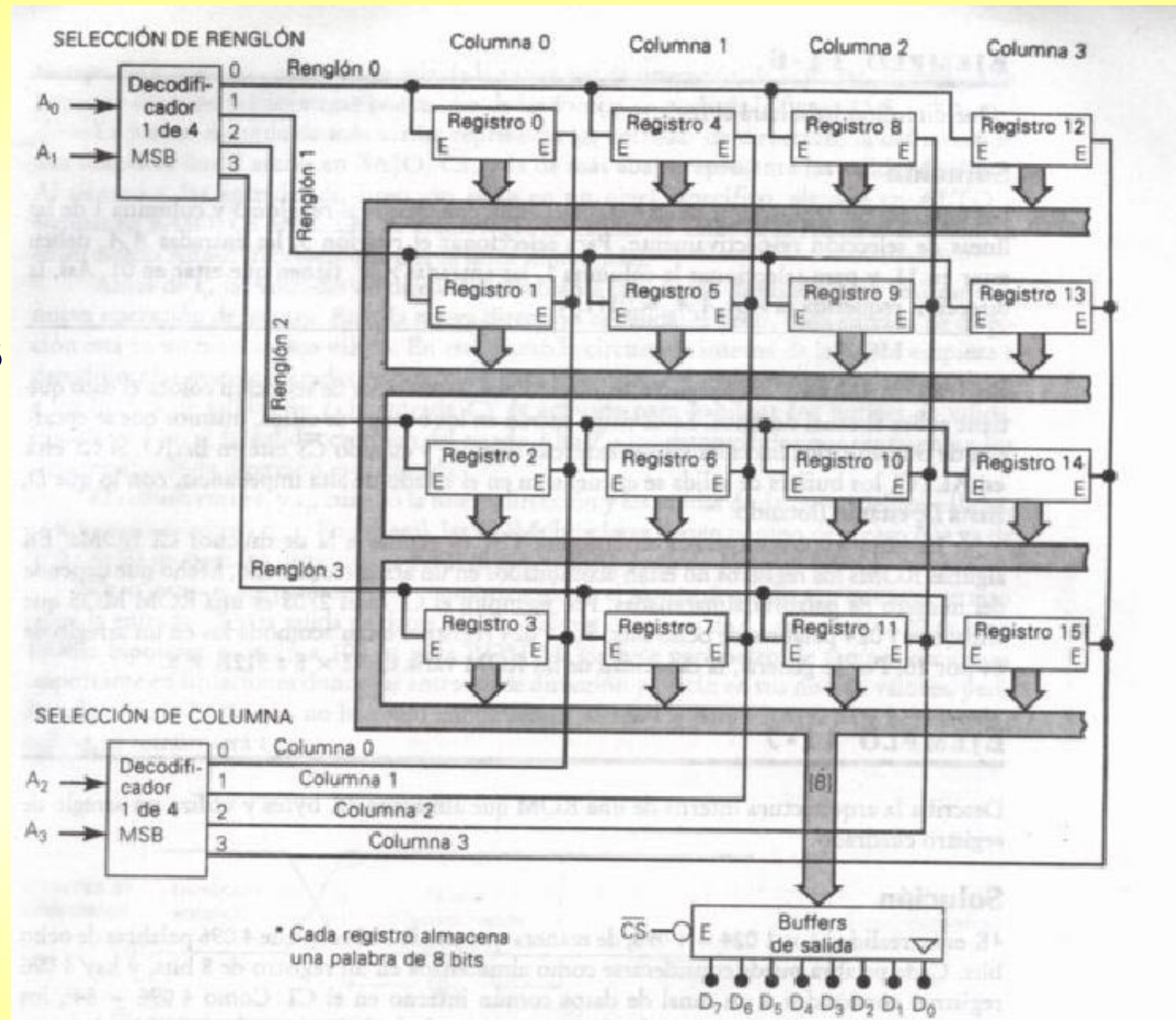
- Memoria de 1M palabra → Decoder de 20 a 1M

1.048.756 compuertas AND de 20 entradas ☹️

# Estructura interna: arquitectura 2D



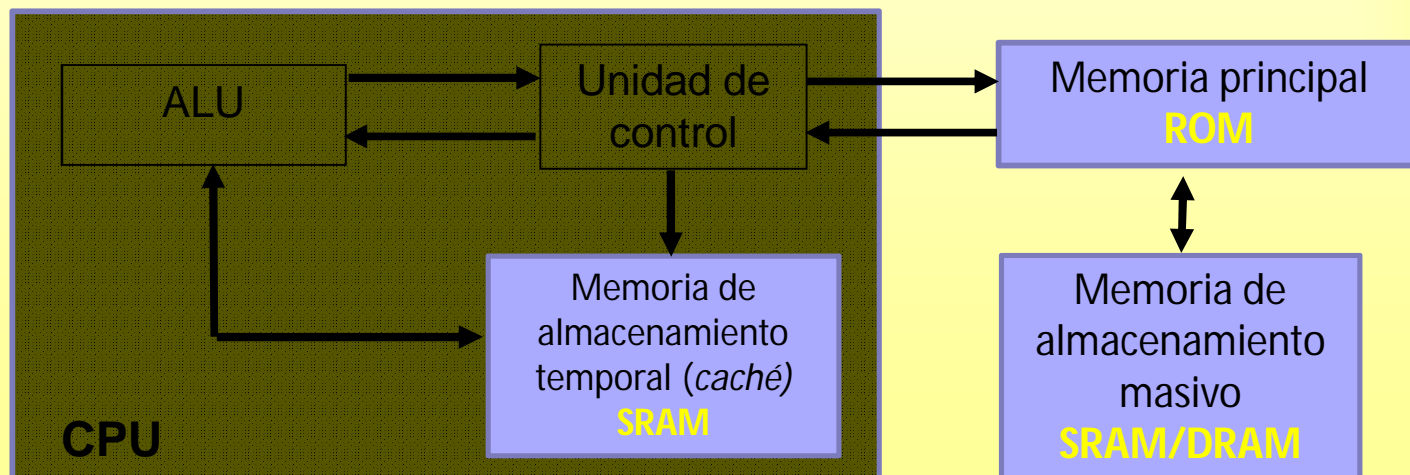
## Implementación práctica 2D: memoria de 16 x 8



# Clasificación de las memorias



RWM Read-Write Memory		ROM Read Only Memory	NVRWM Non Volatile RWM
Random Access Memory (RAM)	Non-Random Access Memory	MROM Mask ROM	EPROM Erasable PROM
SRAM Static RAM	FIFO/LIFO First Input First Output Last Input First Output	PROM Programmable ROM	E <sup>2</sup> PROM Electrically Erasable PROM
DRAM Dynamic RAM	Shift Register		FLASH NVRAM



## Y más...

- **FeRAM**: *Ferroelectric RAM*
- **MRAM**: *Magnetoresistive RAM*
- **PRAM**: *Phase-change memory (PCM, PRAM, PCRAM, Ovonic Unified Memory and Chalcogenide RAM o C-RAM)*
- **SONOS**: *Semiconductor-Oxide-Nitride-Oxide-Semiconductor*
- **RRAM**: *Resistive Random Access Memory*
- **NRAM**: *nano-RAM*
- .....

# Memorias ROM (*Read Only Memory*)

- MROM (*Mask ROM*) - ROM de plantilla
- PROM (*Programmable ROM*)

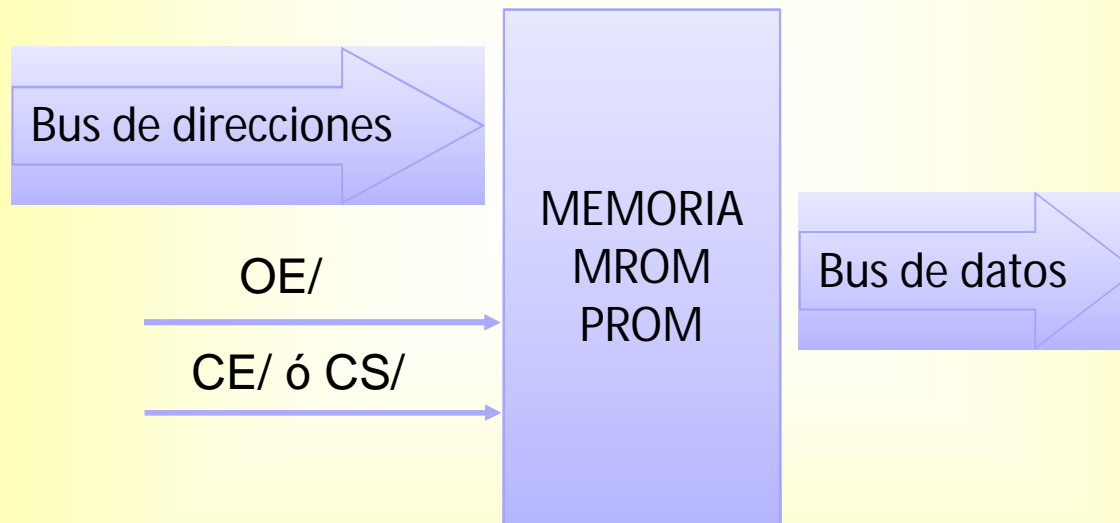
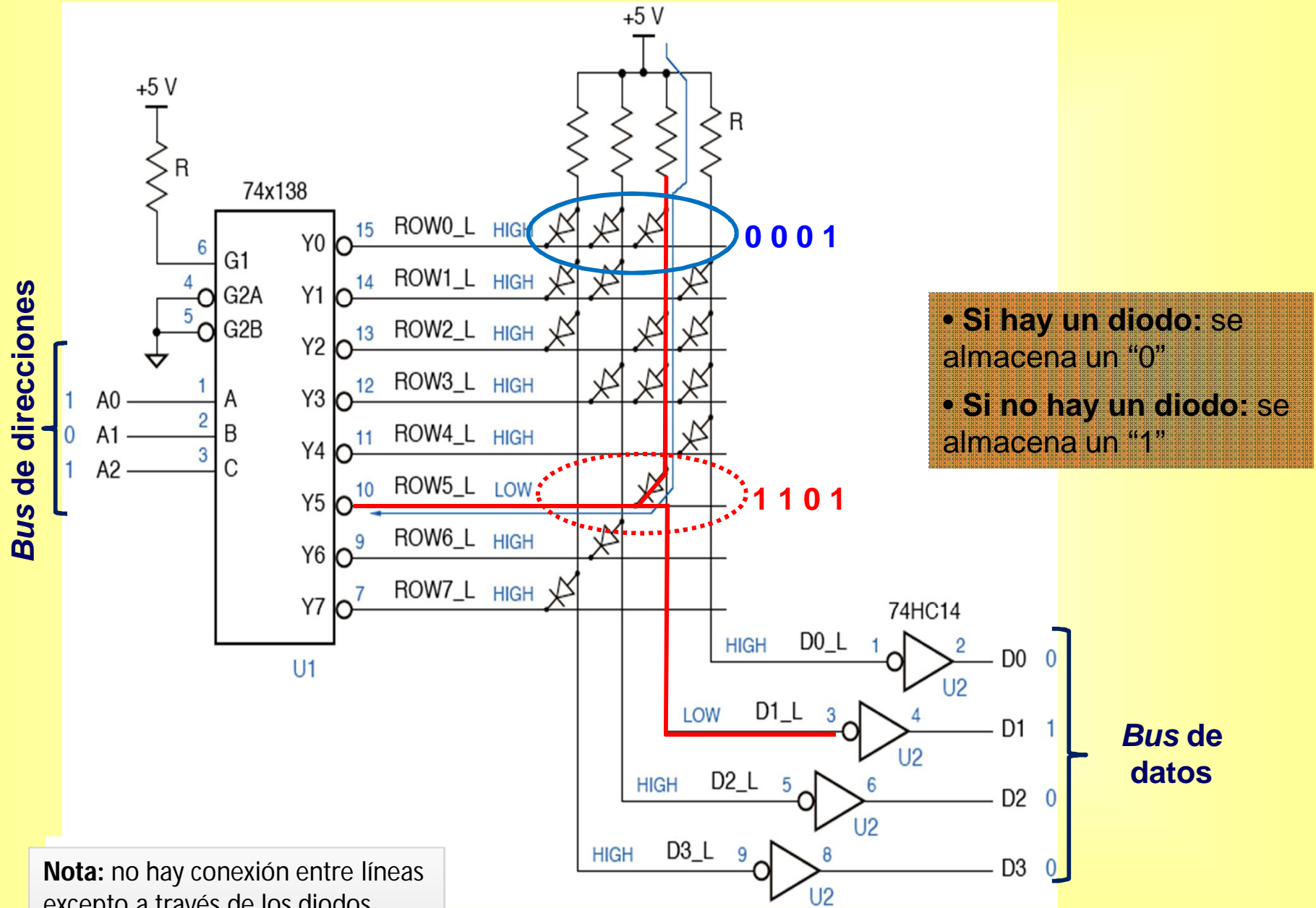


Diagrama en bloque  
de una ROM

### Ejemplo de ROM 8 x 4 (arquitectura 1D con diodos)

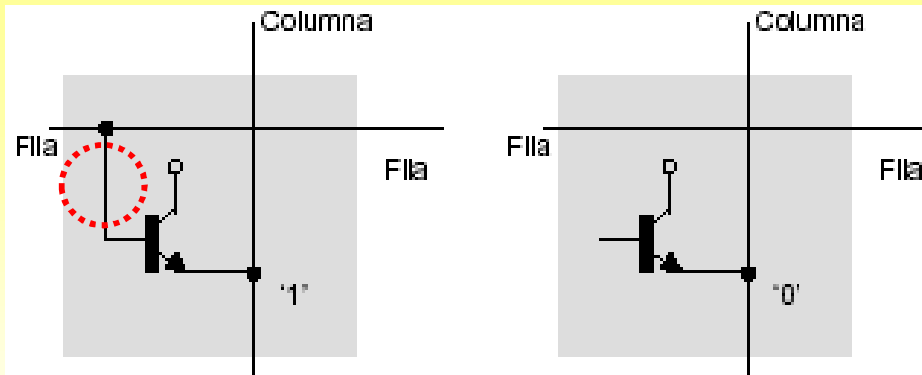


**Nota:** no hay conexión entre líneas excepto a través de los diodos



## PROM Bipolar

1 lógico

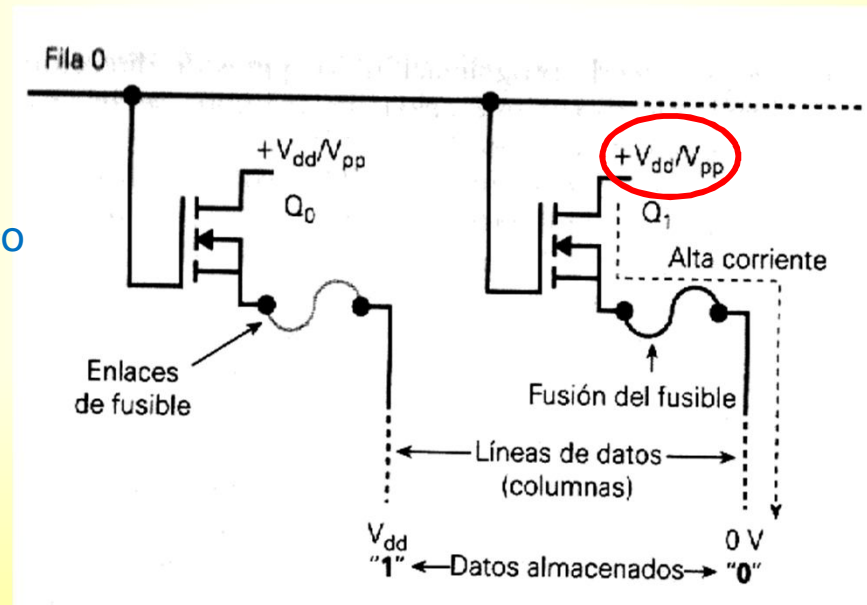


0 lógico

Figura 5.14 Celdas ROM bipolares.

## PROM MOS

1 lógico

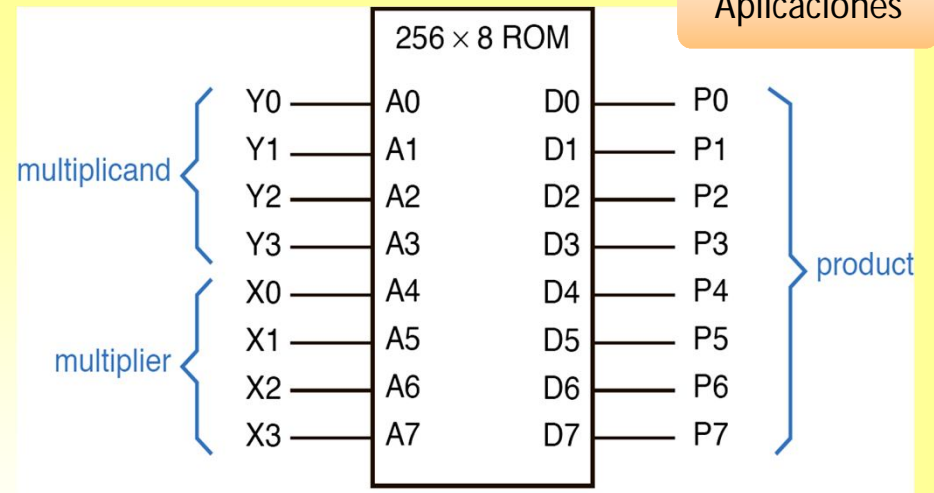


0 lógico

Bus de datos

# Aplicación:

## Multiplicador binario



	0	1	2	3	4	5	6	7	8	9	A	B	C	D
00:	00	00	00	00	00	00	00	00	00	00	00	00	00	00
10:	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D
20:	00	02	04	06	08	0A	0C	0E	10	12	14	16	18	1A
30:	00	03	06	09	0C	0F	12	15	18	1B	1E	21	24	27
40:	00	04	08	0C	10	14	18	1C	20	24	28	2C	30	34
50:	00	05	0A	0F	14	19	1E	23	28	2D	32	37	3C	41
60:	00	06	0C	12	18	1E	24	2A	30	36	3C	42	48	4E
70:	00	07	0E	15	1C	23	2A	31	38	3F	46	4D	54	5B
80:	00	08	10	18	20	28	30	38	40	48	50	58	60	68
90:	00	09	12	1B	24	2D	36	3F	48	51	5A	63	6C	75
A0:	00	0A	14	1E	28	32	3C	46	50	5A	64	6E	78	82
B0:	00	0B	16	21	2C	37	42	4D	58	63	6E	79	84	8F
C0:	00	0C	18	24	30	3C	48	54	60	6C	78	84	90	9C
D0:	00	0D	1A	27	34	41	4E	5B	68	75	82	8F	9C	A9
E0:	00	0E	1C	2A	38	46	54	62	70	7E	8C	9A	A8	B6
F0:	00	0F	1E	2D	3C	4B	5A	69	78	87	96	A5	B4	C3

### Ejemplo:

$$12 \times 10 = 120$$

$$C \times A = 78H$$

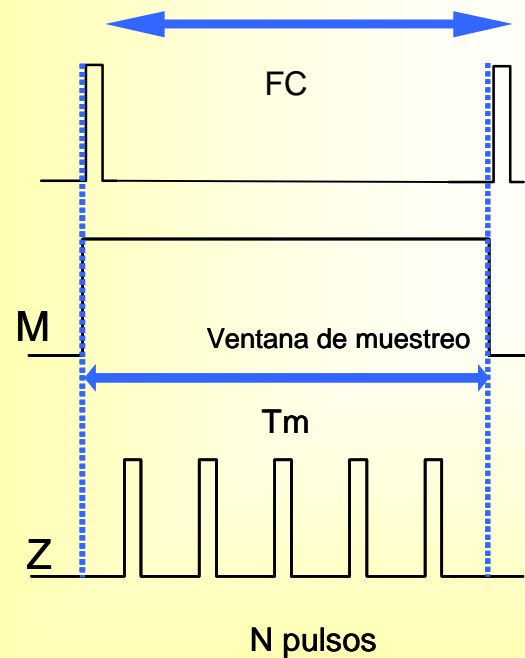
Dirección: 1100 1010

**Nota:** la tabla no está completa!

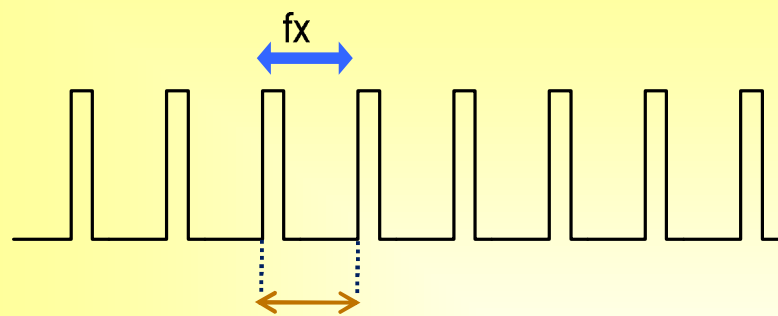
# Aplicación:

## Cálculo de la frecuencia cardiaca

- Almacenar una tabla y acceder según el valor del período (en mseg)



Período (mseg)	Frecuencia (ppm)
....	....
967	58
983	59
1000	60
1017	61
1033	62
1050	63
...	....



**T calculado**

Dirección

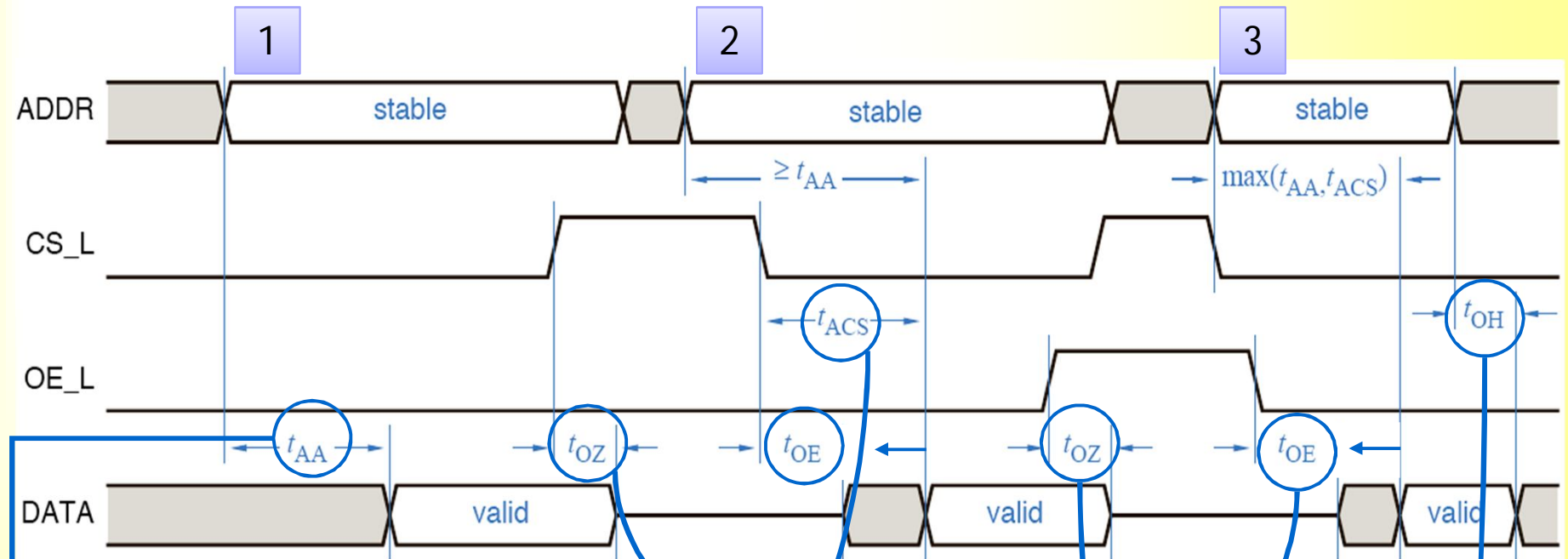
Memoria

Dato

**Frecuencia (ppm)**

Período (mseg)	Dirección	Frecuencia (ppm)	Dato
1500	000H	40 (min)	28H
....		....	...
1034	012H	58	3AH
1017	013H	59	3BH
1000	014H	60	3CH
...	...	...	...
273	0B4H	220 (max)	DCH

# Temporización de ROM



$t_{AA}$ : tiempo de acceso de dirección

$t_{ACS}$ : tiempo de acceso de chip

$t_{OE}$ : tiempo de habilitación de salida

$t_{OZ}$ : tiempo de deshabilitación de salida

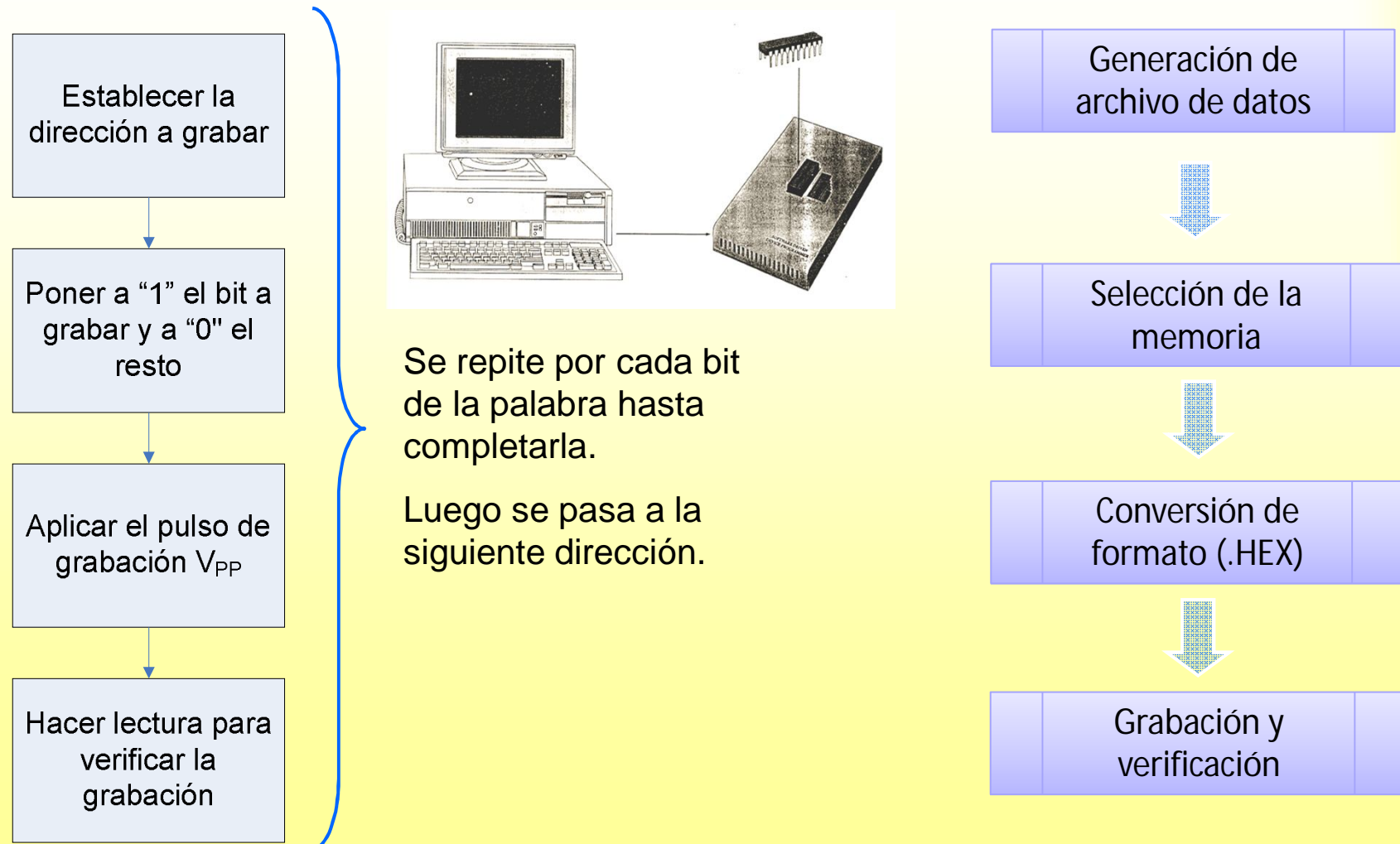
$t_{OH}$ : tiempo de retención de salida

## Definiciones

- **$t_{AA}$ : tiempo de acceso de dirección:** desde una dirección válida aplicada hasta que se dispone un dato válido en el bus, con las líneas de control asertivas.
- **$t_{ACS}$ : tiempo de acceso de chip:** desde  $/CS$  asertivo hasta dato válido disponible, con la dirección ya establecida.
- **$t_{OE}$ : tiempo de habilitación de salida:** desde habilitación de salida  $/OE$  y  $/CS$  asertivas hasta dato válido disponible, con la dirección ya establecida.
- **$t_{OZ}$ : tiempo de deshabilitación de salida:** tiempo desde  $/CS$  o  $/OE$  no asertivas hasta que la salida pasa a alta impedancia, con la dirección establecida.
- **$t_{OH}$ : tiempo de retención de salida:** tiempo de dato válido desde cambio de dirección con líneas de control asertivas.

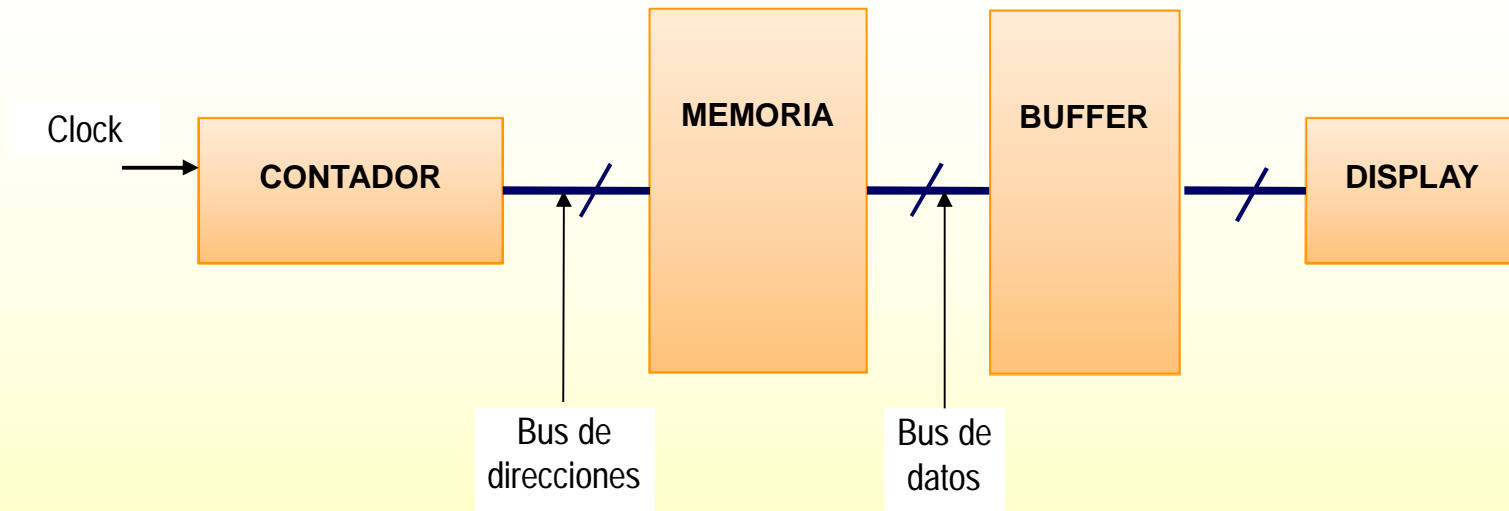
# Grabación de PROM

- Voltajes y corrientes elevados (ejemplo:  $V_{PP} = 10-30\text{ V}$  e  $I_{PP} = 700\text{ mA}$ )
- Programación bit a bit, para evitar sobrecalentamiento.



## Aplicación:

Circuito para lectura y visualización del contenido de una memoria





- **TMS47256** (bipolar)  
32K x 8  
200 ns  
82.5 mW en espera
- **TMS47C256** (CMOS)  
32K x 8  
100 ns  
2.8 mW en espera
- **TMS27PC256** (CMOS)  
32K x 8  
100 a 250 ns  
14 mW (en espera)
- **DM74S573**  
(1024 x 4) 4096 bit TTL PROM  
25 a 45 ns

## DM54/74S573 (1024 x 4) 4096-Bit TTL PROM

### General Description

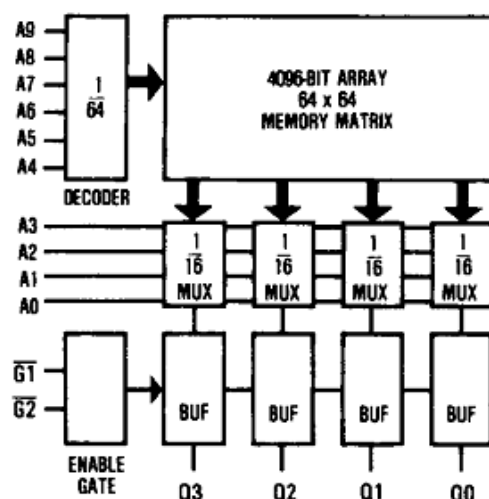
This Schottky memory is organized in the popular 1024 words by 4 bits configuration. Memory enable inputs are provided to control the output states. When the device is enabled, the outputs represent the contents of the selected word. When disabled, the 4 outputs go to the "OFF" or high impedance state.

PROMs are shipped from the factory with lows in all locations. A high may be programmed into any selected location by following the programming instructions.

### Features

- Advanced titanium-tungsten (Ti-W) fuses
- Schottky-clamped for high speed
  - Address access—down to 35 ns max
  - Enable access—25 ns max
  - Enable recovery—25 ns max
- PNP inputs for reduced input loading
- All DC and AC parameters guaranteed over temperature
- Low voltage TRI-SAFE™ programming
- TRI-STATE® Outputs

### Block Diagram



Pin Names

A0-A9	Addresses
$\overline{G1}-\overline{G2}$	Output Enables
GND	Ground
Q0-Q3	Outputs
V <sub>CC</sub>	Power Supply

## DC Electrical Characteristics (Note 1)

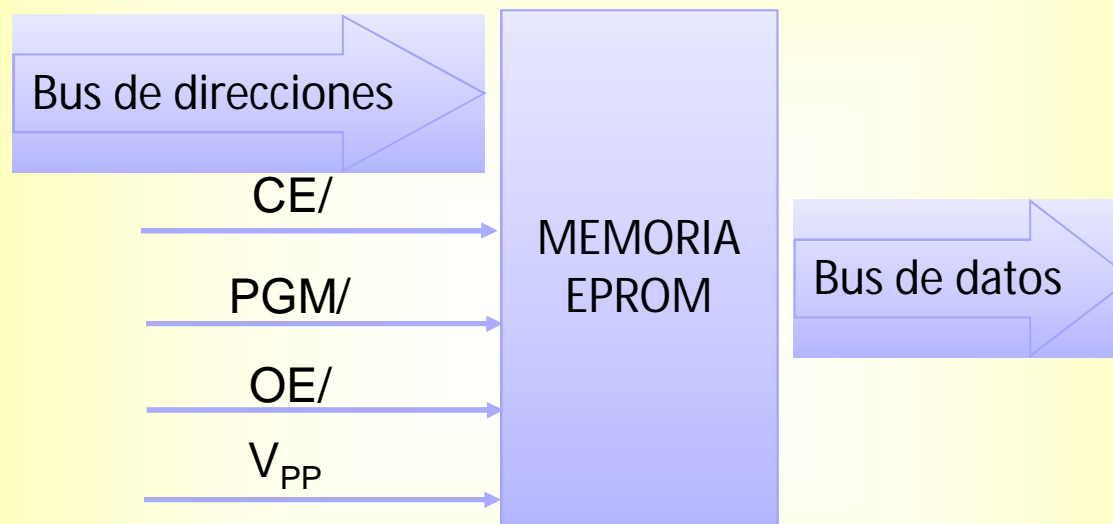
Symbol	Parameter	Conditions	DM54S573			DM74S573			Units
			Min	Typ	Max	Min	Typ	Max	
$I_{IL}$	Input Load Current	$V_{CC} = \text{Max}, V_{IN} = 0.45\text{V}$		-80	-250		-80	-250	$\mu\text{A}$
$I_{IH}$	Input Leakage Current	$V_{CC} = \text{Max}, V_{IN} = 2.7\text{V}$			25			25	$\mu\text{A}$
		$V_{CC} = \text{Max}, V_{IN} = 5.5\text{V}$			1.0			1.0	$\text{mA}$
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = 16\text{ mA}$		0.35	0.50		0.35	0.45	$\text{V}$
$V_{IL}$	Low Level Input Voltage				0.80			0.80	$\text{V}$
$V_{IH}$	High Level Input Voltage		2.0			2.0			$\text{V}$
$V_C$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_{IN} = -18\text{ mA}$		-0.8	-1.2		-0.8	-1.2	$\text{V}$
$C_I$	Input Capacitance	$V_{CC} = 5.0\text{V}, V_{IN} = 2.0\text{V}$ $T_A = 25^\circ\text{C}, 1\text{ MHz}$		4.0			4.0		$\text{pF}$
$C_O$	Output Capacitance	$V_{CC} = 5.0\text{V}, V_O = 2.0\text{V}$ $T_A = 25^\circ\text{C}, 1\text{ MHz}, \text{Outputs Off}$		6.0			6.0		$\text{pF}$
$I_{CC}$	Power Supply Current	$V_{CC} = \text{Max}, \text{Input Grounded}$ All Outputs Open		100	140		100	140	$\text{mA}$
$I_{OS}$	Short Circuit Output Current	$V_O = 0\text{V}, V_{CC} = \text{Max}$ (Note 2)	-20		-70	-20		-70	$\text{mA}$
$I_{OZ}$	Output Leakage (TRI-STATE)	$V_{CC} = \text{Max}, V_O = 0.45\text{V to } 2.4\text{V}$ Chip Disabled			+50			+50	$\mu\text{A}$
					-50			-50	$\mu\text{A}$
$V_{OH}$	Output Voltage High	$I_{OH} = -2.0\text{ mA}$	2.4	3.2					$\text{V}$
		$I_{OH} = -6.5\text{ mA}$				2.4	3.2		$\text{V}$

# Clasificación

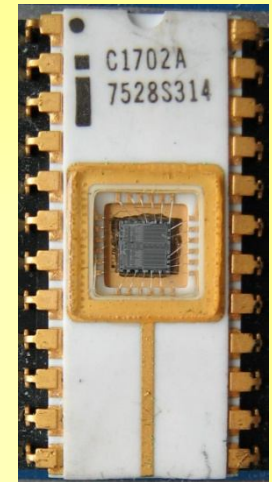


<b>RWM</b> Read-Write Memories		<b>ROM</b> Read Only Memories	<b>NVRWM</b> Non Volatile RWM
<b>Random Access Memories (RAM)</b>	<b>Non-Random Access Memories</b>	MROM Mask ROM	EPROM Erasable PROM
SRAM Static RAM  DRAM Dynamic RAM	FIFO/LIFO First Input First Output Last Input First Output  Shift Register	PROM Programmable ROM	E <sup>2</sup> PROM Electrically Erasable PROM  FLASH

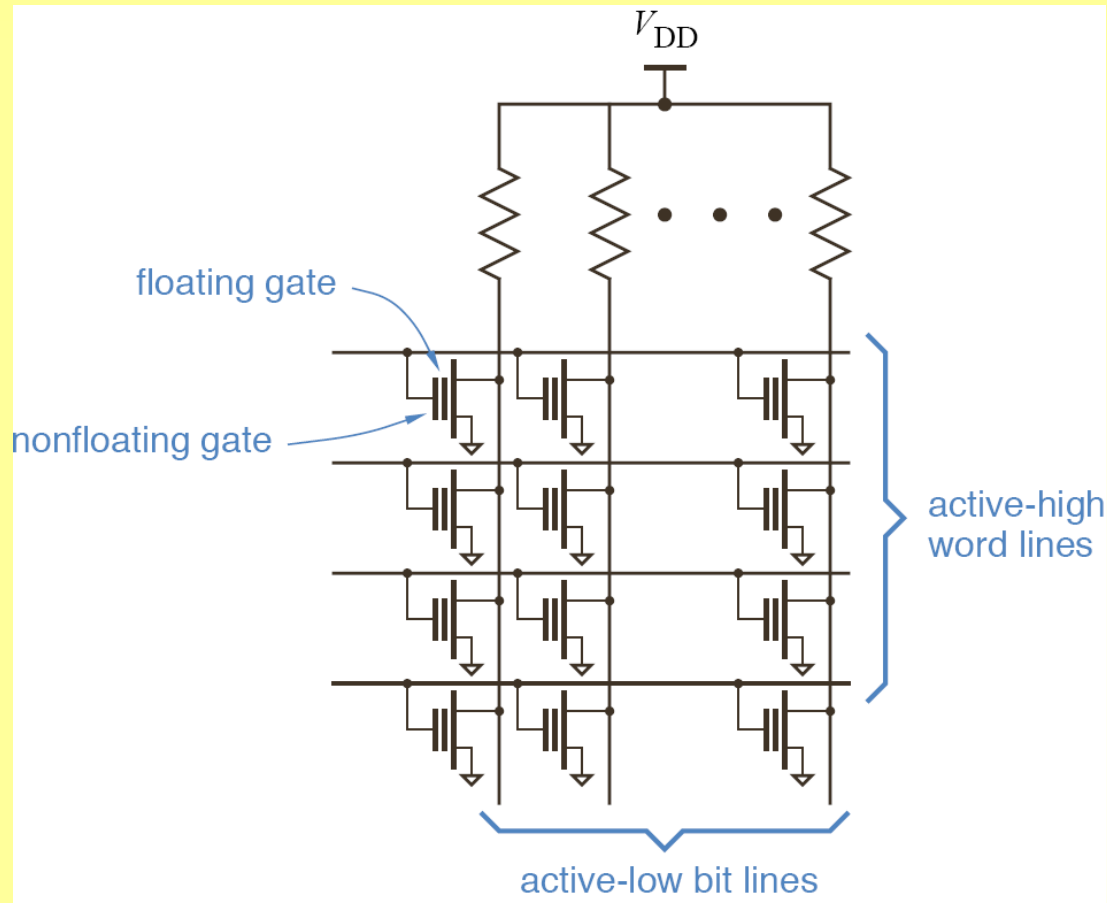
# Memorias EPROM (*Erasable PROM*)



Algunos pines de control pueden compartir funciones



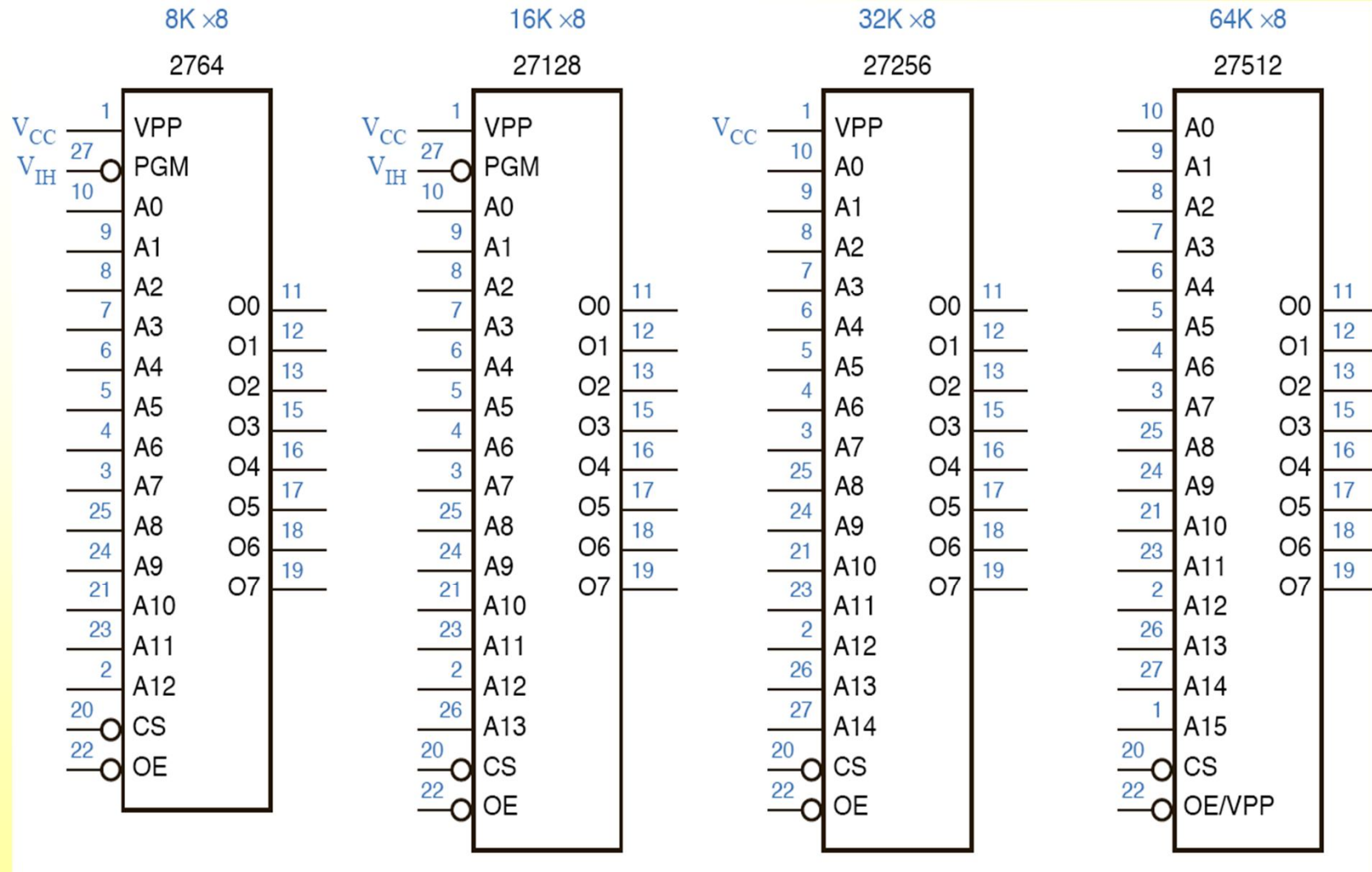
Intel 1702



**27C256:** 32KB (256Kbit) EPROM

- **Escritura:** Transistores MOS de *compuerta flotante* → almacena temporalmente un “0” al aplicar un voltaje alto a la compuerta (*gate*).
- **Almacenamiento:** garantizado por al menos 10 años
- **Borrado:** el material aislante de la *gate* flotante se vuelve conductivo al aplicar UV

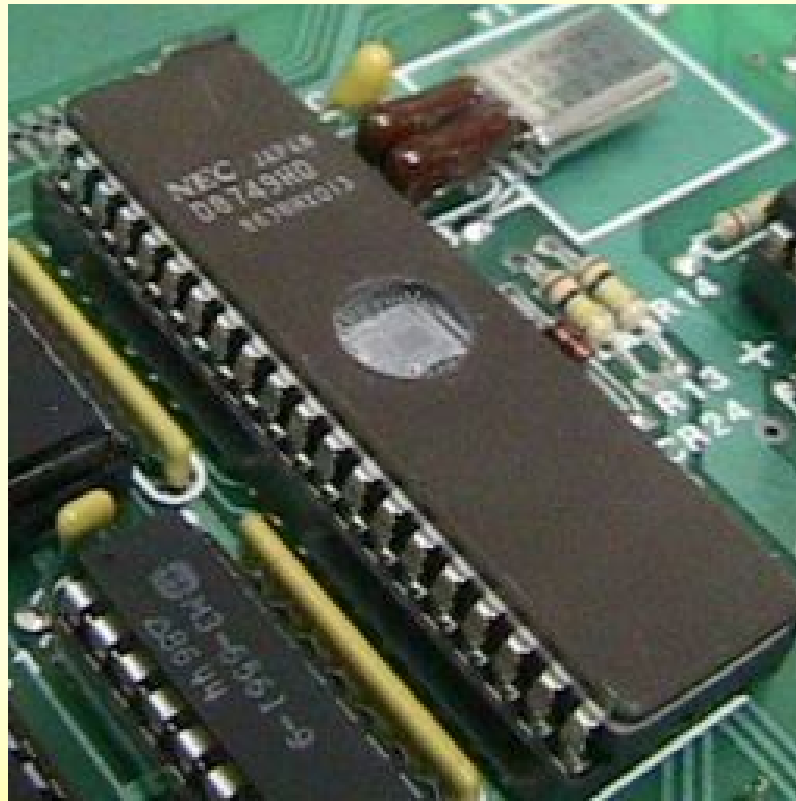
## Formas comerciales



- **27C16:** 16,384-Bit (2048 x 8) UV Erasable CMOS PROM - 450 ns
- **27C64:** 8K x 8 – 100 ns

## **EPROMs *on-chip***

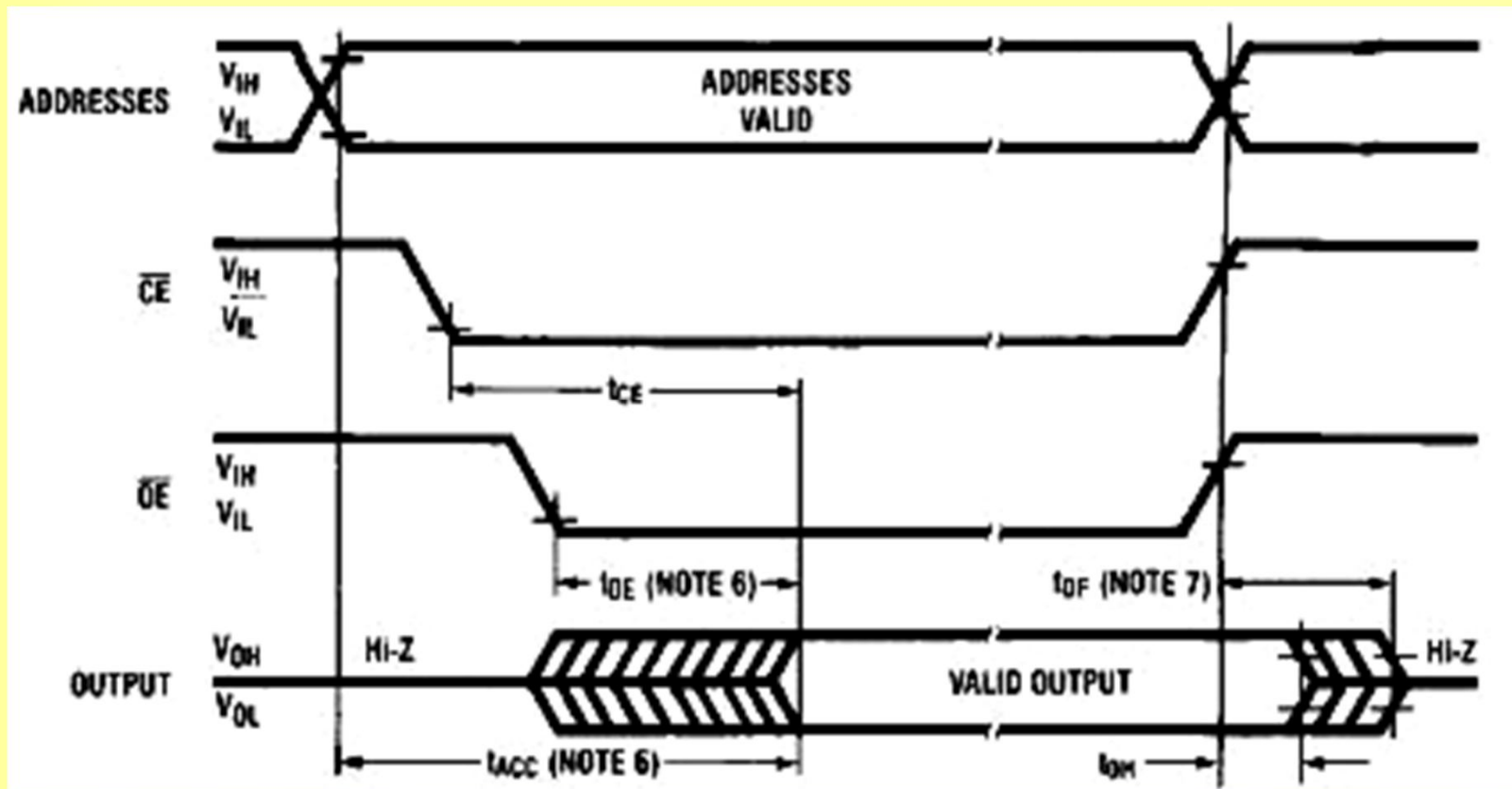
**OTPROM:** *One Time Programmable*: no tienen ventana de cuarzo



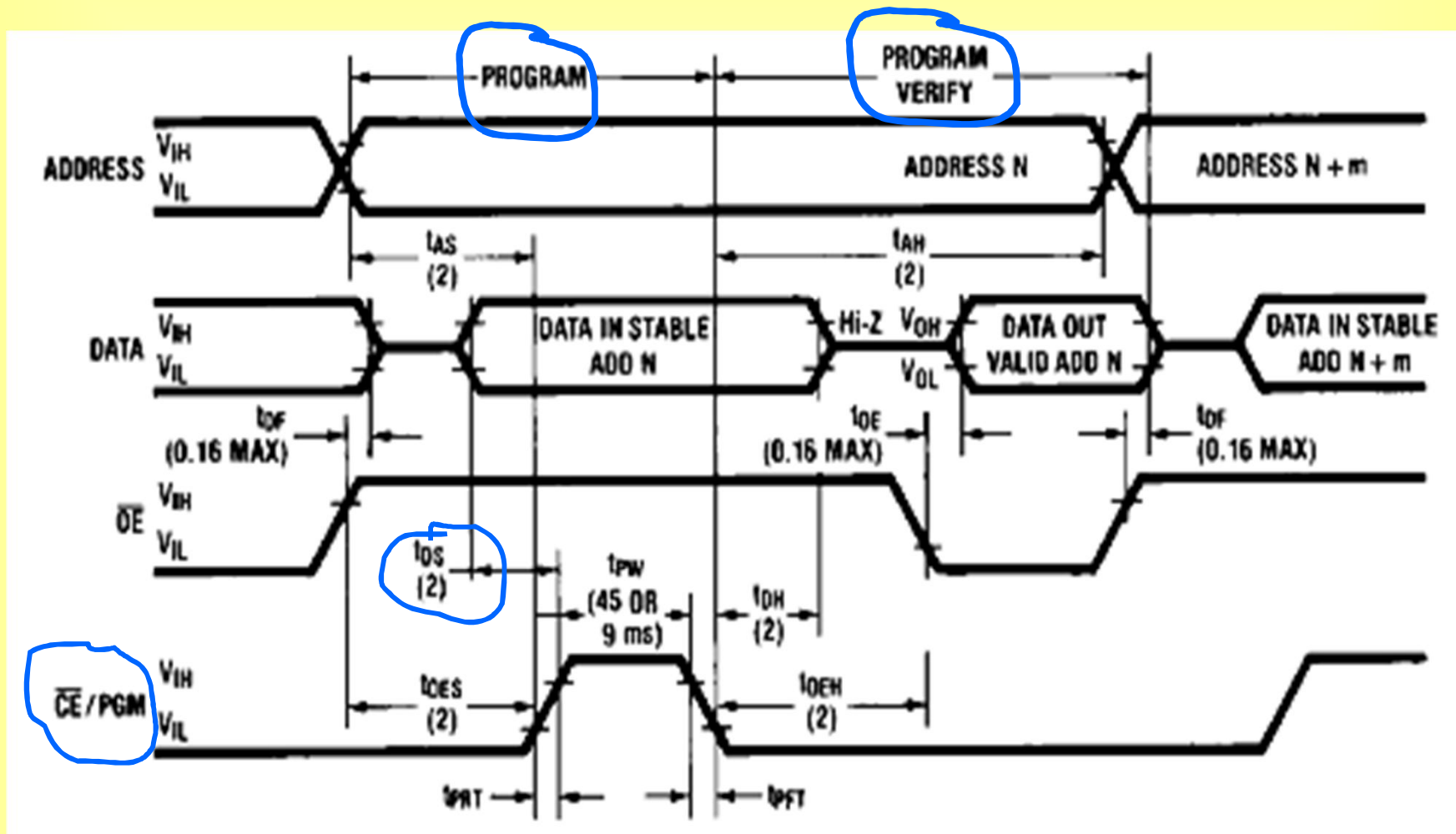
8749 Microcontroller (Intel)



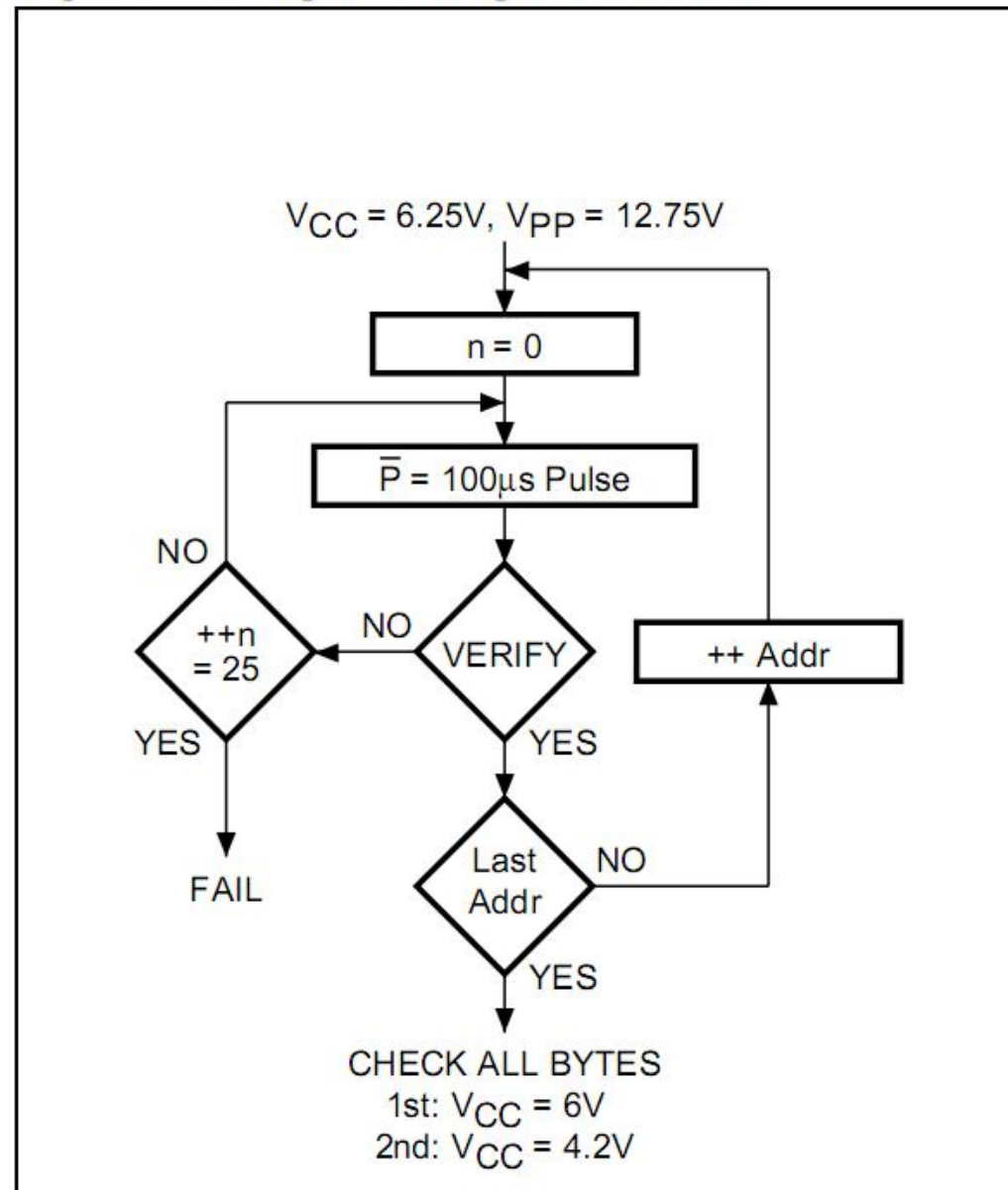
## Ciclo de lectura (27C16)



## Ciclo de escritura (27C16)



**Figure 7. Programming Flowchart**



**27C1001:** 1 Mbit (128Kb x8) UV EPROM and OTP EPROM

# Memorias EEPROM (*Electrically Erasable PROM*)

## Ventajas

- Borrado eléctrico
- Programación por byte
- No requieren extracción del circuito

## Desventajas

- Menor densidad
- Precio

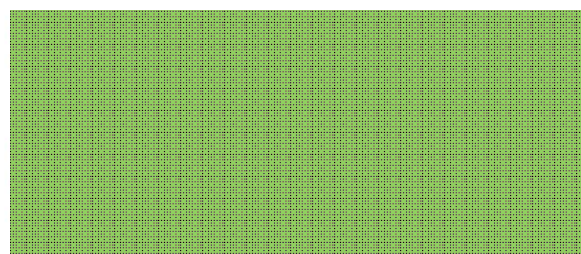


# 28C64A

Formas  
comerciales

## 64K (8K x 8) CMOS EEPROM

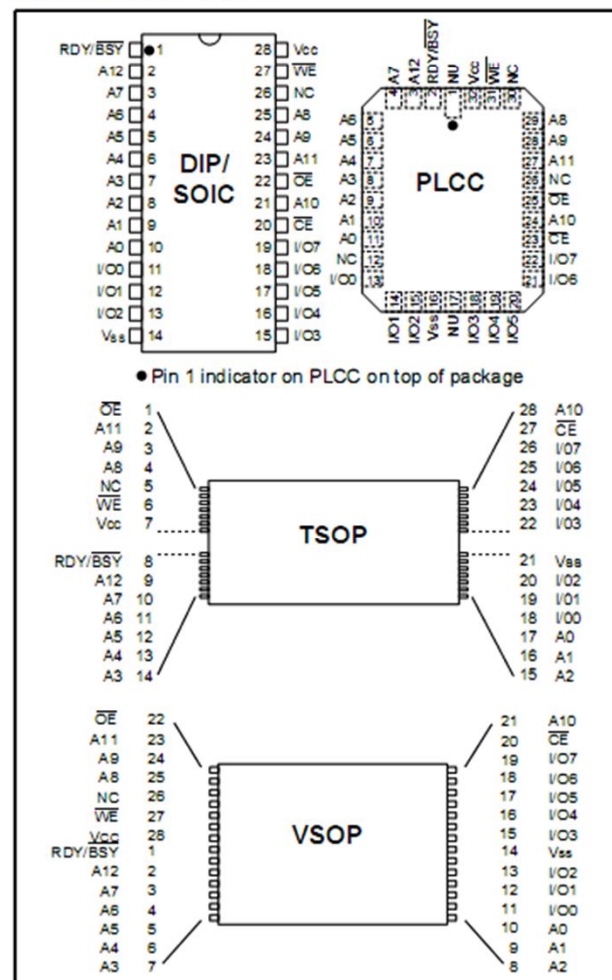
### FEATURES



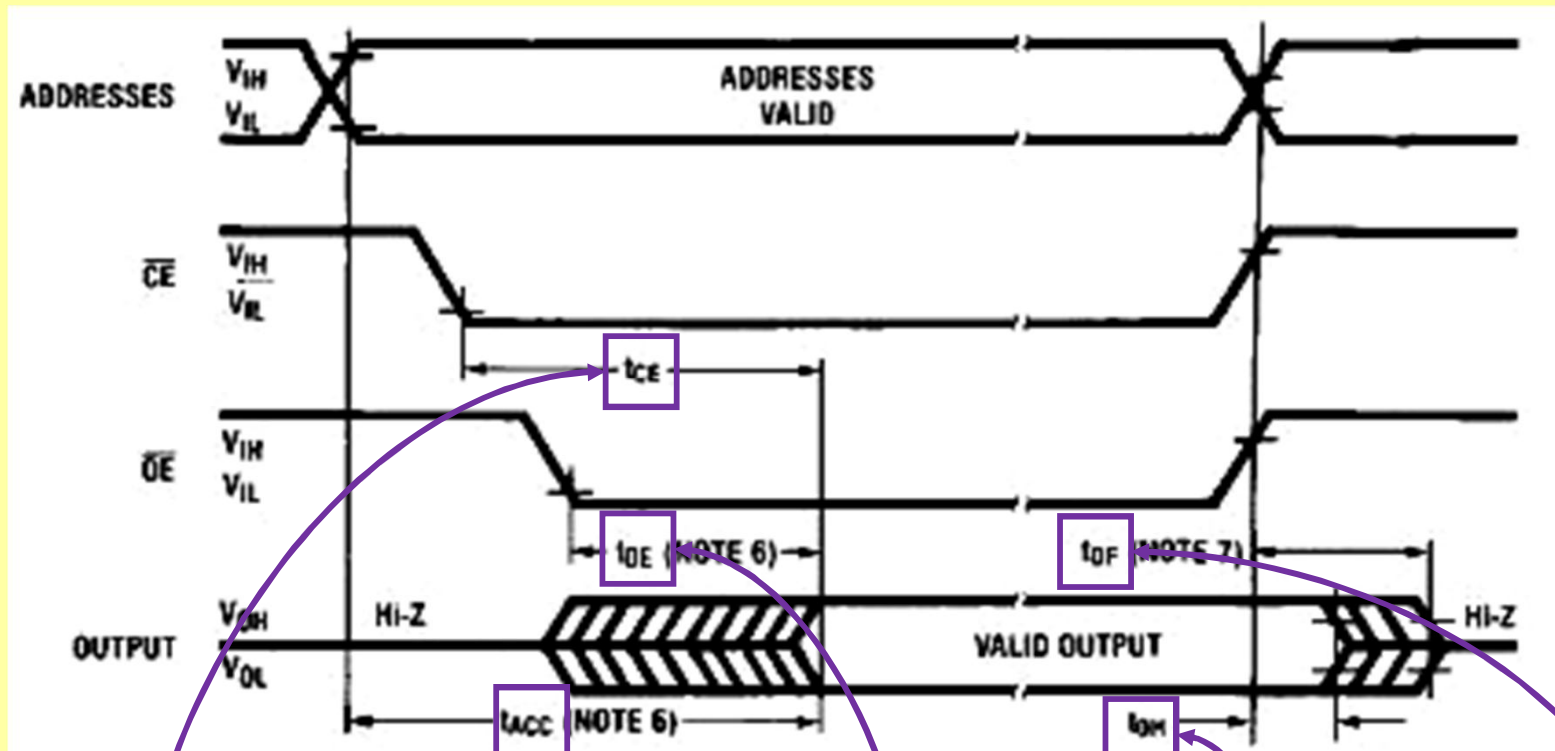
- Automatic Write Operation
  - Internal Control Timer
  - Auto-Clear Before Write Operation
  - On-Chip Address and Data Latches
- Data Polling
- Ready/Busy
- Chip Clear Operation
- Enhanced Data Protection
  - Vcc Detector
  - Pulse Filter
  - Write Inhibit
- Electronic Signature for Device Identification
- 5-Volt-Only Operation
- Organized 8Kx8 JEDEC Standard Pinout
  - 28-pin Dual-In-Line Package
  - 32-pin PLCC Package
  - 28-pin Thin Small Outline Package (TSOP) 8x20mm
  - 28-pin Very Small Outline Package (VSOP) 8x13.4mm
- Available for Extended Temperature Ranges:
  - Commercial: 0°C to +70°C

### DESCRIPTION

### PACKAGE TYPE

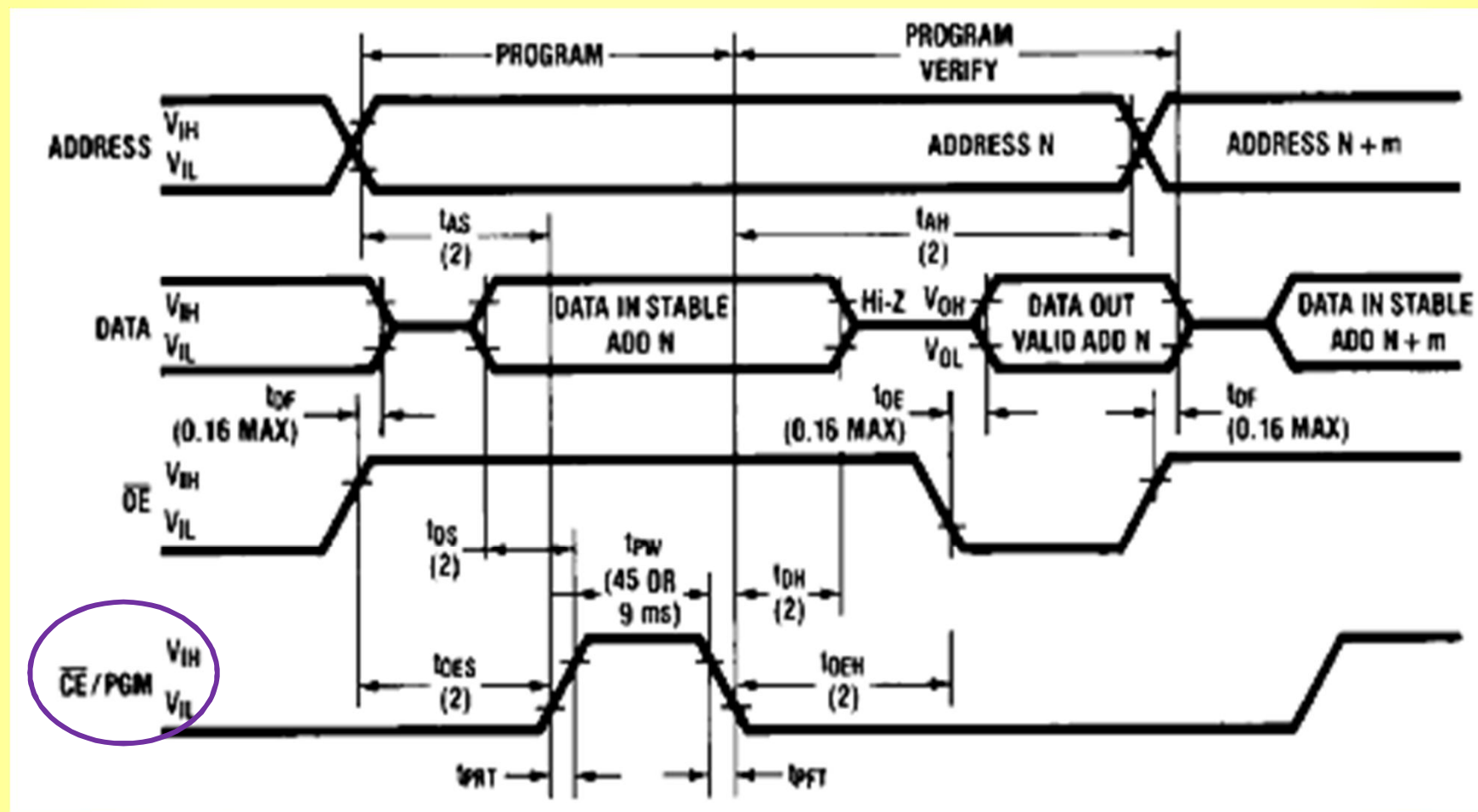


## Ciclo de lectura (28C64)



- $t_{CE}$ : tiempo de habilitación de chip
- $t_{ACC}$ : tiempo de acceso
- $t_{OE}$ : tiempo de habilitación de salida
- $t_{OH}$ : tiempo de retención de salida
- $t_{DF}$ : tiempo retardo a salida flotante

## Ciclo de programación o escritura (28C64)

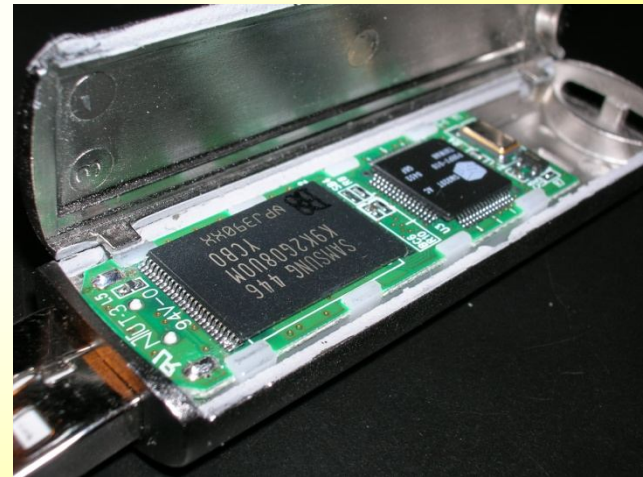


# Memorias EEPROM Flash

- Menor costo por bit que EEPROM
- Borrado eléctrico masivo (total o por sector; no por byte)
  - 512 x 8 típico
- Operación rápida por comandos
- Disponible *on-chip* en  $\mu$ P y  $\mu$ C

## Forma comercial:

**28F256A:** CMOS – 32K x 8



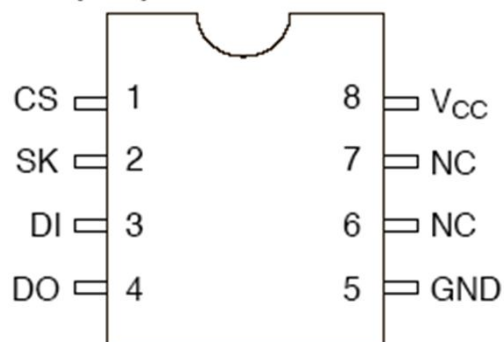


# EEPROM serie

- Operación de lectura y escritura **serial**
- Tecnología CMOS
- Operación mediante instrucciones (comandos)
- **Pocos pines** (DIP8 típico)
  - Típicos: CS/  
CLK  
SDI: Entrada dato serie  
SDO: Salida dato serie
- **Aplicación:** almacenamiento de datos de usuario, calibración, etc.

## Forma comercial: NM93C06 256-Bit Serial CMOS EEPROM (Fairchild)

Dual-In-Line Package (N),  
8-Pin SO (M8) and 8-Pin TSSOP (MT8)

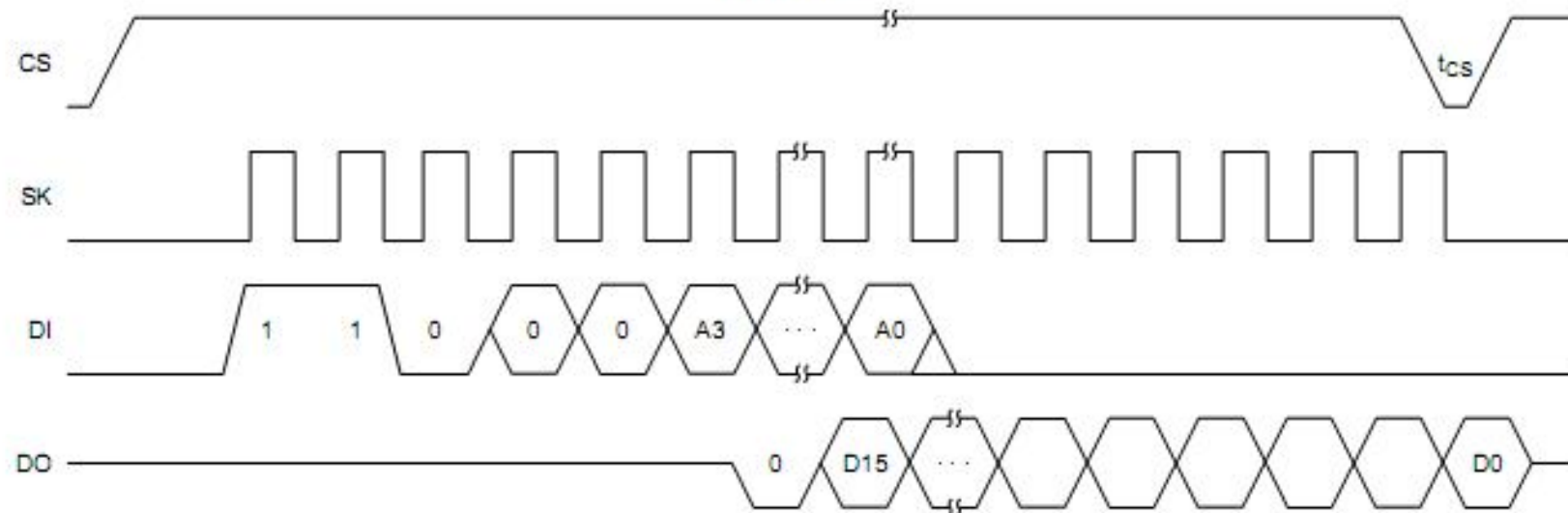


Pin Names

CS	Chip Select
SK	Serial Data Clock
DI	Serial Data Input
DO	Serial Data Output
GND	Ground
V <sub>cc</sub>	Power Supply

- 16 registros de 16 bits
- 7 instrucciones: Read, Write Enable, Erase, Erase All, Write, Write All, and Write Disable.
- Corriente *standby* típica (memoria deshabilitada):  
10mA, 1mA (L) y 0.1 mA (LZ)
- No requiere borrado antes de escritura
- Operación entre 2.7V y 5.5V
- 40 años de retención de datos
- Resistencia: 1,000,000 de cambios de datos

## READ



## WRITE

