

ARCHI2 - Compte-rendu du TME1

Nicolas Phan

pour le 17 Janvier 2018

Table des matières

1	Automate du composant PibusSimpleRam	2
2	Automate du composant PibusSimpleMaster	3

1 Automate du composant PibusSimpleRam

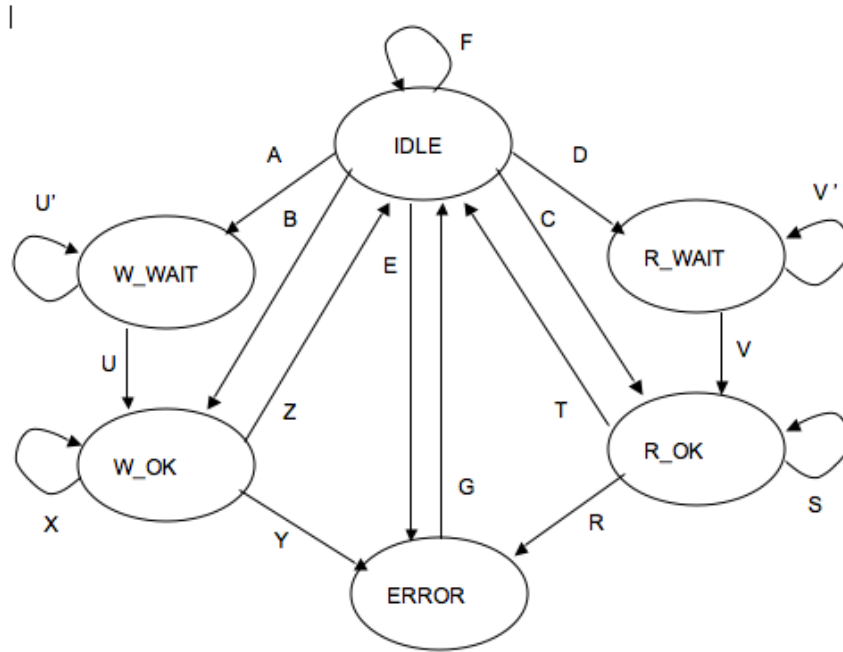


FIGURE 1 – Graphe de la MAE du composant RAM

Fonction	Transition
A	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}} . \text{DELAY}$
B	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}} . \text{DELAY}$
C	$\text{SEL} . \text{ADR_OK} . \text{READ} . \text{DELAY}$
D	$\text{SEL} . \text{ADR_OK} . \text{READ} . \text{DELAY}$
E	$\text{SEL} . \overline{\text{ADR_OK}}$
F	$\overline{\text{SEL}}$
G	1
U	$\overline{\text{GO}}$
U'	GO
V	$\overline{\text{GO}}$
V'	GO
X	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}}$
Y	$\text{SEL} . (\text{ADR_OK} + \text{READ})$
Z	$\overline{\text{SEL}}$
R	$\text{SEL} . (\overline{\text{ADR_OK}} + \overline{\text{READ}})$
S	$\text{SEL} . \text{ADR_OK} . \text{READ}$
T	$\overline{\text{SEL}}$

	ACK_EN	ACK_VALUE	DT_EN	MEM_CMD
IDLE	0	WAIT	0	NOPE
R_WAIT	1	WAIT	0	READ
R_OK	1	READY	0	READ
W_WAIT	1	WAIT	1	WRITE
W_OK	1	READY	1	WRITE
ERROR	1	ERROR	0	NOPE

TABLE 1 – Fonctions de transition et valers de sortie de la MAE du composant RAM

2 Automate du composant PibusSimpleMaster

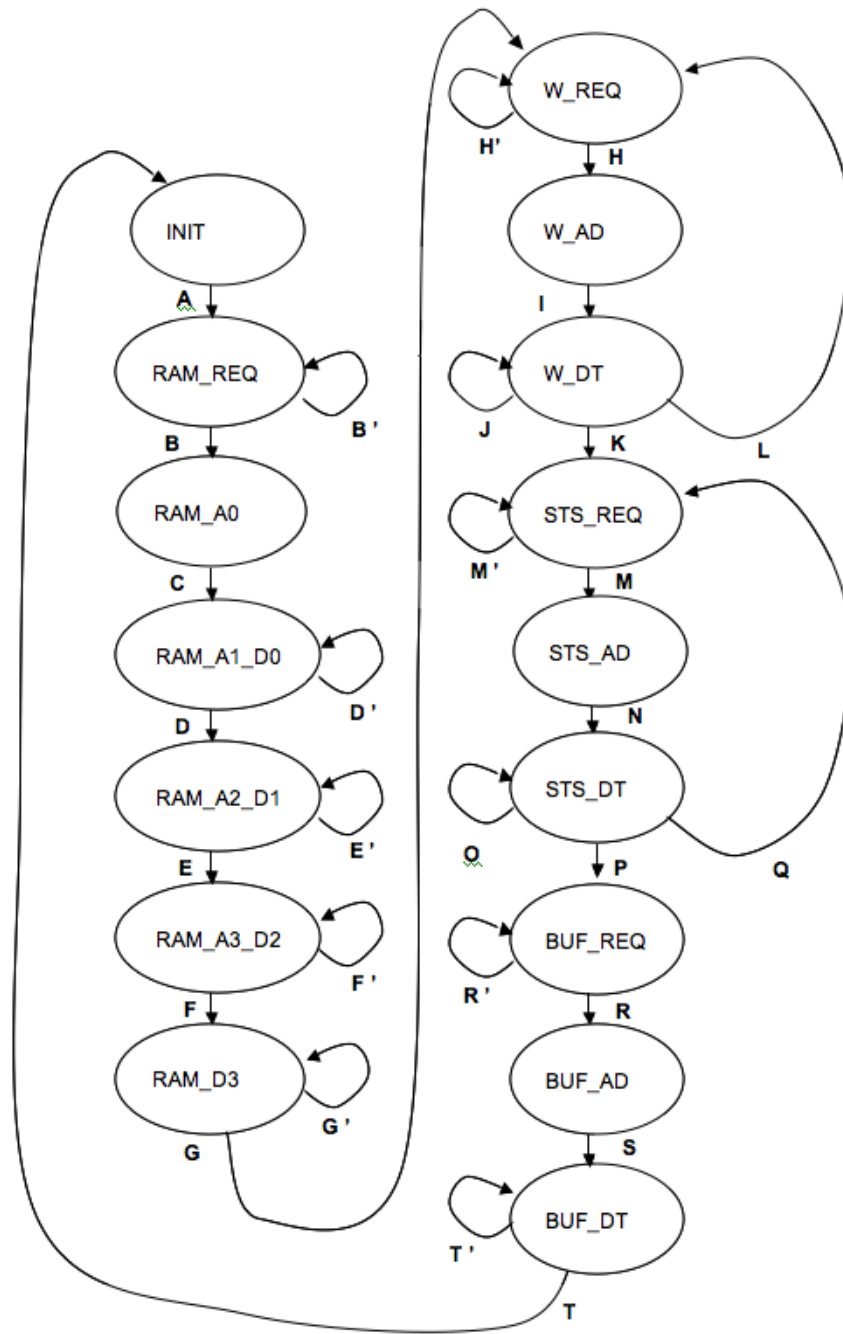


FIGURE 2 – Graphe de la MAE du composant Master

Fonction	Transition
A	1
B'	\overline{GNT}
B	GNT
C	1
D'	RDY
D	\overline{RDY}
E	RDY
E'	\overline{RDY}
F	RDY
F'	\overline{RDY}
G	RDY
G'	\overline{RDY}
H'	\overline{GNT}
H	GNT
I	1
J	\overline{RDY}
K	RDY . LAST
L	RDY . \overline{LAST}
M'	\overline{GNT}
M	GNT
N	1
O	\overline{RDY}
P	RDY . \overline{NUL}
Q	RDY . NUL
R'	\overline{GNT}
R	GNT
S	1
T'	\overline{RDY}
T	RDY

TABLE 2 – Expression des fonctions de transitions de la MAE du composant Master

	REQ	CMD_EN	ADR_VALUE	READ_VALUE	LOCK_VAL	DT_EN
INIT	0	0	X	X	X	0
RAM_REQ	1	0	X	X	X	0
RAM_A0	0	1	ram_base	1	1	0
RAM_A1D0	0	1	ram_base + 4	1	1	0
RAM_A2D1	0	1	ram_base + 8	1	1	0
RAM_A3D2	0	1	ram_base + 12	1	1	0
RAM_D3	0	0	X	X	0	0
W_REQ	1	0	X	X	X	0
W_AD	0	1	seg_tty_base	0	0	0
W_DT	0	0	seg_tty_base	0	0	1
STS_REQ	1	0	X	X	X	0
STS_AD	0	1	seg_tty_base + 4	1	0	0
STS_DT	0	0	seg_tty_base + 4	1	0	0
BUF_REQ	1	0	X	X	X	0
BUF_AD	0	1	seg_tty_base + 8	1	0	0
BUF_DT	0	0	X	X	X	0

TABLE 3 – Valeurs des signaux de sortie de la MAE du composant Master

1. **Modélisation** : Cela consiste en la description d'un modèle du processeur,

La Figure ?? résume le flot de travail et les outils utilisés pour les étapes de Syntaxe, Placement et Routage.

$$\sum_{\substack{k \in [[0,4]] \\ \text{shift_value}(k)=1}} 2^k = \text{shift_value}$$