

ARCHI2 - Compte-rendu du TME1

Nicolas Phan

pour le 17 Janvier 2018

Table des matières

1	Automate du composant PibusSimpleRam	2
1.1	Machine à états du composant	2

1 Automate du composant PibusSimpleRam

1.1 Machine à états du composant

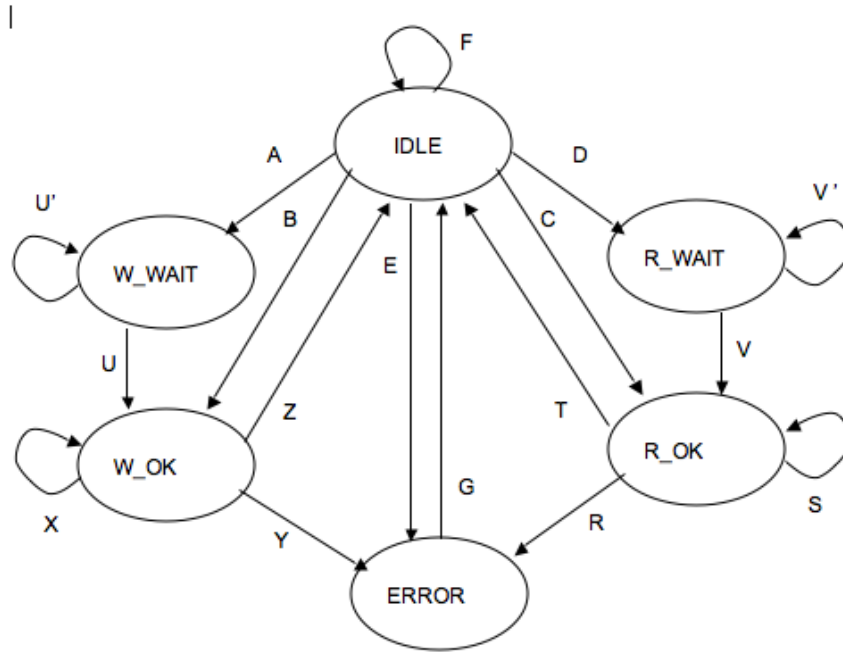


FIGURE 1 – Graphe de la MAE du composant RAM

Fonction	Transition
A	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}} . \text{DELAY}$
B	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}} . \text{DELAY}$
C	$\text{SEL} . \text{ADR_OK} . \text{READ} . \text{DELAY}$
D	$\text{SEL} . \text{ADR_OK} . \text{READ} . \text{DELAY}$
E	$\text{SEL} . \overline{\text{ADR_OK}}$
F	$\overline{\text{SEL}}$
G	1
U	$\overline{\text{GO}}$
U'	GO
V	$\overline{\text{GO}}$
V'	GO
X	$\text{SEL} . \text{ADR_OK} . \overline{\text{READ}}$
Y	$\text{SEL} . (\text{ADR_OK} + \text{READ})$
Z	$\overline{\text{SEL}}$
R	$\text{SEL} . (\overline{\text{ADR_OK}} + \overline{\text{READ}})$
S	$\text{SEL} . \text{ADR_OK} . \text{READ}$
T	$\overline{\text{SEL}}$

TABLE 1 – Expression des fonctions de transitions de la MAE du composant RAM

	ACK_EN	ACK_VALUE	DT_EN	MEM_CMD
IDLE	0	WAIT	0	NOPE
R_WAIT	1	WAIT	0	READ
R_OK	1	READY	0	READ
W_WAIT	1	WAIT	1	WRITE
W_OK	1	READY	1	WRITE
ERROR	1	ERROR	0	NOPE

TABLE 2 – Expression des fonctions de transitions de la MAE du composant RAM

1. **Modélisation** : Cela consiste en la description d'un modèle du processeur,

La Figure ?? résume le flot de travail et les outils utilisés pour les étapes de Synthèse, Placement et Routage.

$$\sum_{\substack{k \in [[0,4]] \\ \text{shift_value}(k)=1}} 2^k = \text{shift_value}$$