ARCHI2 - Compte-rendu du TME1

Nicolas Phan

pour le 17 Janvier 2018

Table des matières

1 Automate du composant PibusSimpleRam

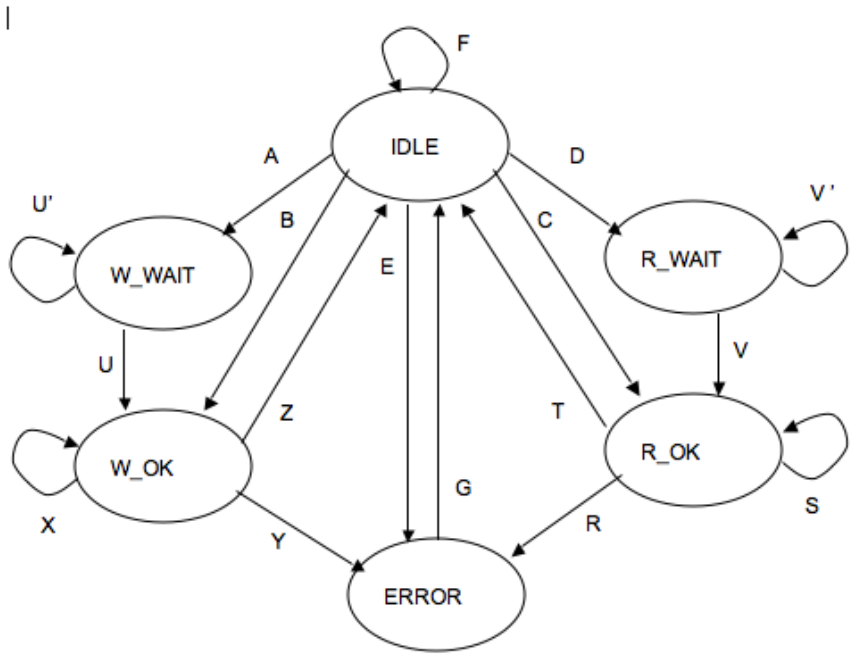

FIGURE 1 – Graphe de la MAE du composant RAM

TABLE 1 – Fonctions de transition de la MAE de SimpleRam

Nom	Transition
A	SEL.ADR_OK.$\overline{\text{READ}}$.DELAY
B	SEL.ADR_OK.$\overline{\text{READ}}$.$\overline{\text{DELAY}}$
C	SEL.ADR_OK.READ.$\overline{\text{DELAY}}$
D	SEL.ADR_OK.READ.DELAY
E	SEL.$\overline{\text{ADR\_OK}}$
F	$\overline{\text{SEL}}$
G	1
U	$\overline{\text{GO}}$
U'	GO
V	$\overline{\text{GO}}$
V'	GO
X	SEL.ADR_OK.$\overline{\text{READ}}$
Y	SEL.($\overline{\text{ADR\_OK}}$ + READ)
Z	$\overline{\text{SEL}}$
R	SEL.($\overline{\text{ADR\_OK}}$ + $\overline{\text{READ}}$)
S	SEL.ADR_OK.READ
T	$\overline{\text{SEL}}$

TABLE 2 – Valeurs de sortie de la MAE de SimpleRam

	ACK_EN	ACK_VALUE	DT_EN	MEM_CMD
IDLE	0	WAIT	0	NOPE
R_WAIT	1	WAIT	0	READ
R_OK	1	READY	0	READ
W_WAIT	1	WAIT	1	WRITE
W_OK	1	READY	1	WRITE
ERROR	1	ERROR	0	NOPE

2 Automate du composant PibusSimpleMaster

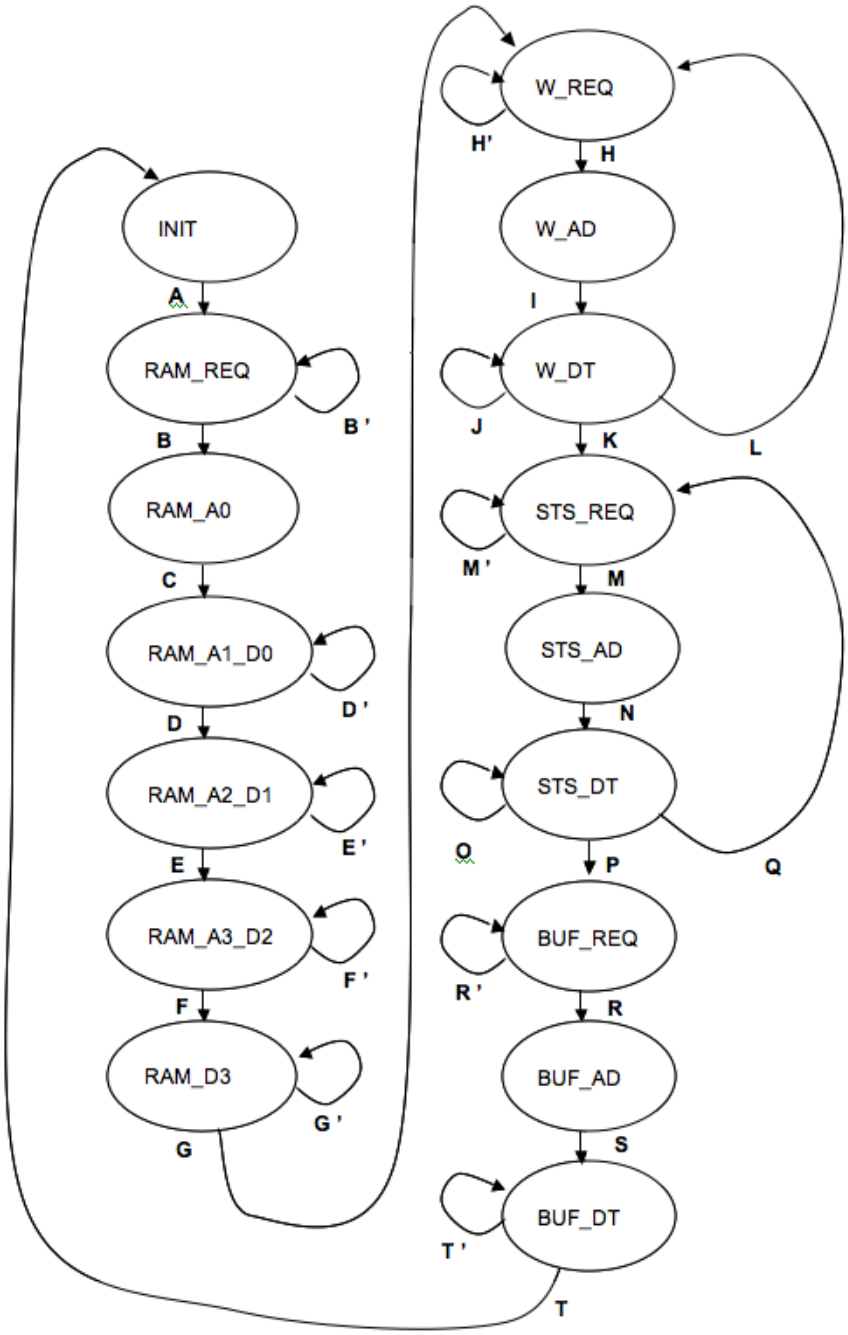

FIGURE 2 – Graphe de la MAE du composant Master

TABLE 3 – Fonctions de transition de SimpleMaster

Nom	Transition
A	1
B'	$\overline{\texttt{GNT}}$
B	GNT
C	1
D'	RDY
D	$\overline{\texttt{RDY}}$
E	RDY
E'	$\overline{\texttt{RDY}}$
F	RDY
F'	$\overline{\texttt{RDY}}$
G	RDY
G'	$\overline{\texttt{RDY}}$
H'	$\overline{\texttt{GNT}}$
H	GNT
I	1
J	$\overline{\texttt{RDY}}$
K	RDY.LAST
L	RDY.$\overline{\texttt{LAST}}$
M'	$\overline{\texttt{GNT}}$
M	GNT
N	1
O	$\overline{\texttt{RDY}}$
P	RDY.$\overline{\texttt{NUL}}$
Q	RDY.NUL
R'	$\overline{\texttt{GNT}}$
R	GNT
S	1
T'	$\overline{\texttt{RDY}}$
T	RDY

TABLE 4 – Valeurs de sortie de SimpleMaster

	REQ	CMD_EN	ADR_VALUE	READ_VALUE	LOCK_VAL	DT_EN
INIT	0	0	X	X	X	0
RAM_REQ	1	0	X	X	X	0
RAM_A0	0	1	ram_base	1	1	0
RAM_A1D0	0	1	ram_base + 4	1	1	0
RAM_A2D1	0	1	ram_base + 8	1	1	0
RAM_A3D2	0	1	ram_base + 12	1	1	0
RAM_D3	0	0	X	X	0	0
W_REQ	1	0	X	X	X	0
W_AD	0	1	seg_tty_base	0	0	0
W_DT	0	0	seg_tty_base	0	0	1
STS_REQ	1	0	X	X	X	0
STS_AD	0	1	seg_tty_base + 4	1	0	0
STS_DT	0	0	seg_tty_base + 4	1	0	0
BUF_REQ	1	0	X	X	X	0
BUF_AD	0	1	seg_tty_base + 8	1	0	0
BUF_DT	0	0	X	X	X	0

1. **Modélisation** : Cela consiste en la description d'un modèle du processeur,

La Figure **??** résume le flot de travail et les outils utilisés pour les étapes de Syntèse, Placement et Routage.

$$\sum_{\substack{k\in[[0,4]]\\ \texttt{shift\_value(k)}=1}} 2^k \quad = \texttt{shift\_value}$$