

- 4.12 本练习题讨论流水线处理器中旁路的成本/复杂度/性能折中。参考图 4-45 的流水线数据通路，假设指令中有部分存在 RAW（read after write，写后读）数据相关。RAW 数据相关根据生成结果的流水级（EX 或 MEM）和使用结果的流水级（1st 意味着生成结果后的第一条指令，2nd 意味着生成结果后的第二条指令）确认。假设在时钟周期的前半部分写寄存器，在后半部分读寄存器，这样“EX to 3rd”和“MEM to 3rd”相关不会产生数据冒险。最后假设无数据冒险时处理器的 CPI 为 1。

仅 EX to 1 st	仅 MEM to 1 st	仅 EX to 2 nd	仅 MEM to 2 nd	EX to 1 st 和 MEM to 2 nd	其他 RAW 相关
5%	20%	5%	10%	10%	10%

假定各级流水线延迟如下。其中 EX 级给出了不同旁路情况下的延迟。

IF	ID	EX (无旁路)	EX (全旁路)	EX (仅有 EX/MEM 的旁路)	EX (仅有 (MEM/WB 的旁路)	MEM	WB
150ps	100ps	120ps	150ps	140ps	130ps	120ps	100ps

- 4.12.1 [10] <4.7> 如果不使用旁路，会有百分之多少的时钟周期因为数据冒险阻塞？
- 4.12.2 [5] <4.7> 如果使用完全的旁路（旁路所有可以旁路的结果），会有百分之多少的时钟周期因为数据冒险阻塞？
- 4.12.3 [10] <4.7> 假设不能提供三输入多路器（对完全的旁路是必需的），我们必须确定从 EX/MEM 流水线寄存器旁路（旁路下一个周期）还是从 MEM/WB 流水线寄存器旁路（旁路 2 个周期）更好？哪种方法会产生更少的数据阻塞？
- 4.12.4 [10] <4.7> 对给定的冒险概念和流水级延迟，完全的旁路相对于无旁路的加速比是多少？
- 4.12.5 [10] <4.7> 如果加入能消除所有数据冒险的时间旅行旁路，其相对于具有旁路机制的处理器的加速比是多少？假设在 EX 级完全旁路的基础上加入这个还没发明的时间旅行旁路的代价是增加 100ps 的延迟。

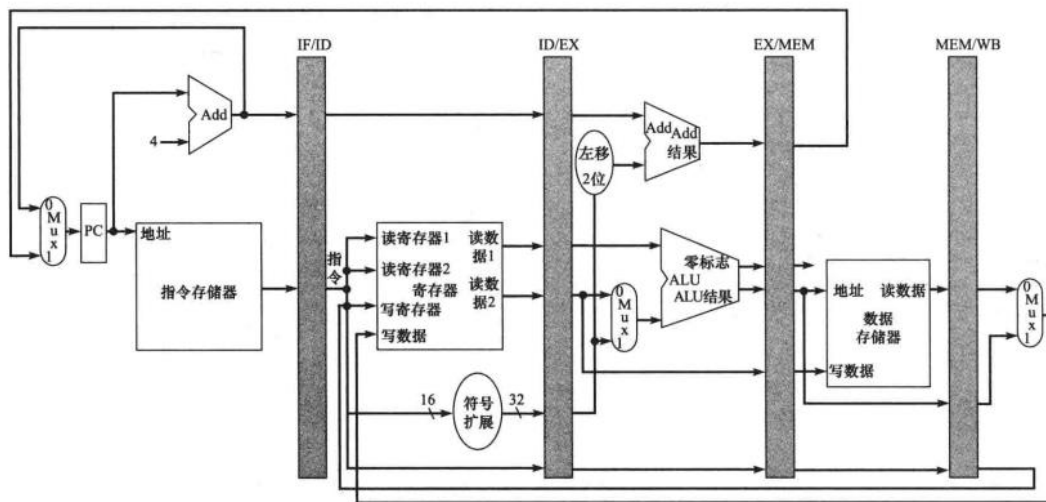


图 4-45 对应图 4-43 和图 4-44 的流水线第 5 个时钟周期的单时钟周期流水线。从图中可以看出，单时钟周期图就是从多时钟周期图中抽出的一列