

Милош Радмановић

Упутство за Intel ModelSim

Ниш, новембар 2021.

1 INTEL MODELSIM

ModelSim је апликација, креирана од стране Mentor Graphics компаније, која се користи за симулацију VHDL и Verilog дизајна. То је најшире коришћени симулациони програм у компанијама и образовању. Ово упутство прво објашњава зашто је симулација важна, а затим показује како се може бесплатно набавити ModelSim за своју личну употребу али само у едукативне сврхе.

Симулација је критичан корак у дизајнирању FPGA и ASIC-а. Симулација омогућава дизајнерима да стимулише свој дизајн и види како код који је написан реагује на стимуланс. Одлична симулација ће користити сва могућа стања дизајна како би се осигурало да ће сви улазни сценарији бити обрађени на одговарајући начин.

Да ли је Моделсим преузет и инсталиран на вашем рачунару?

Може се преузети на адресама :

ModelSim-Intel FPGA Edition (includes Starter Edition) 1.1 GB

http://download.altera.com/akdlm/software/acdsinst/18.1std/625/ib_installers/ModelSimSetup-18.1.0.625-windows.exe

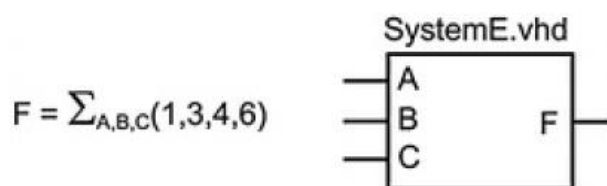
или

https://drive.google.com/drive/folders/1qjGeAKh1XBMfDftkOOx3775xJVP_NL50?usp=sharing

Инсталацију треба извршити са подразумеваним параметрима.

1.1 VHDL код

Код који ћемо симулирати је VHDL дизајн испод. Стварни код није важан, не морате да знате VHDL за овај водич. VHDL код креира једноставан дигитални систем задат 3-улазном листом минтерма приказаног на слици



```

entity SystemE is
    port (A,B,C : in bit;
          F: out bit);
end entity;

architecture SystemE_arch of SystemE is
    signal An, Bn, Cn : bit;
    signal m1, m3, m4, m6 : bit;
begin
    An <= not A;
    Bn <= not B;
    Cn <= not C;

    m1 <= An and Bn and C;
    m3 <= An and B and C;
    m4 <= A and Bn and Cn;
    m6 <= A and B and Cn;

    F <= m1 or m3 or m4 or m6;
end architecture;

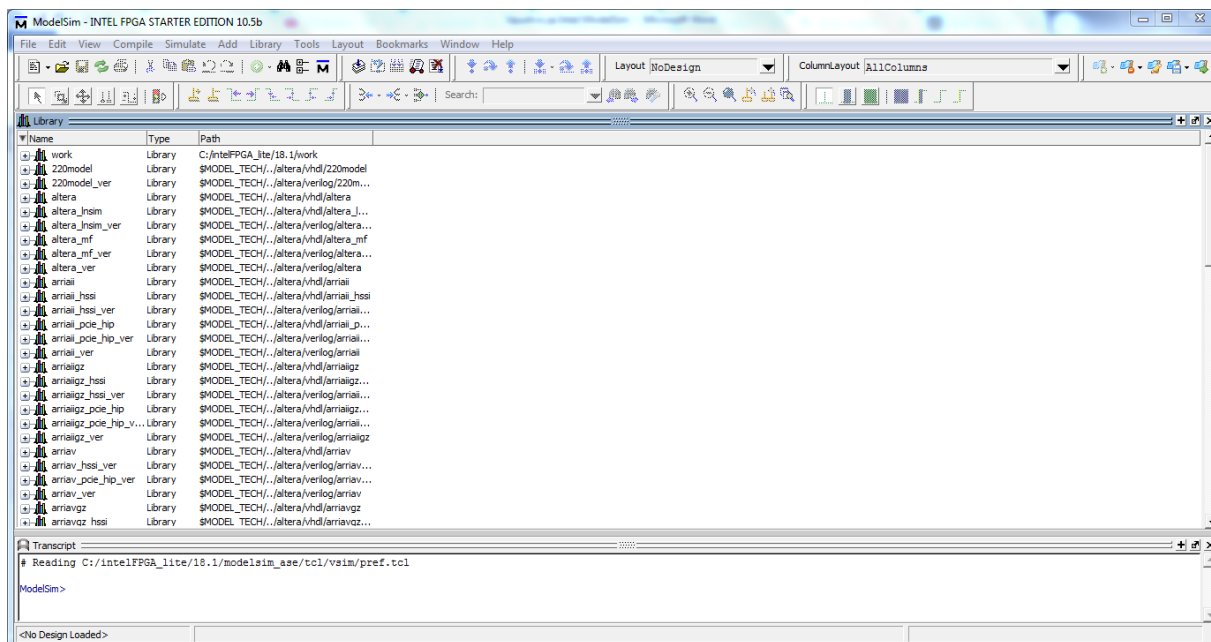
entity SystemE_TB is
end entity;

architecture SystemE_TB_arch of SystemE_TB is
    component SystemE
        port (A,B,C : in bit;
              F: out bit);
    end component;
    signal A_TB, B_TB, C_TB : bit;
    signal F_TB : bit;
begin
    DUT1: SystemE port map (A => A_TB, B => B_TB, C => C_TB, F => F_TB);
    STIMULUS : process
    begin
        A_TB <= '0'; B_TB <= '1'; C_TB <='1'; wait for 100 ps;
        A_TB <= '1'; B_TB <= '1'; C_TB <='1'; wait for 100 ps;
    end process;
end architecture;

```

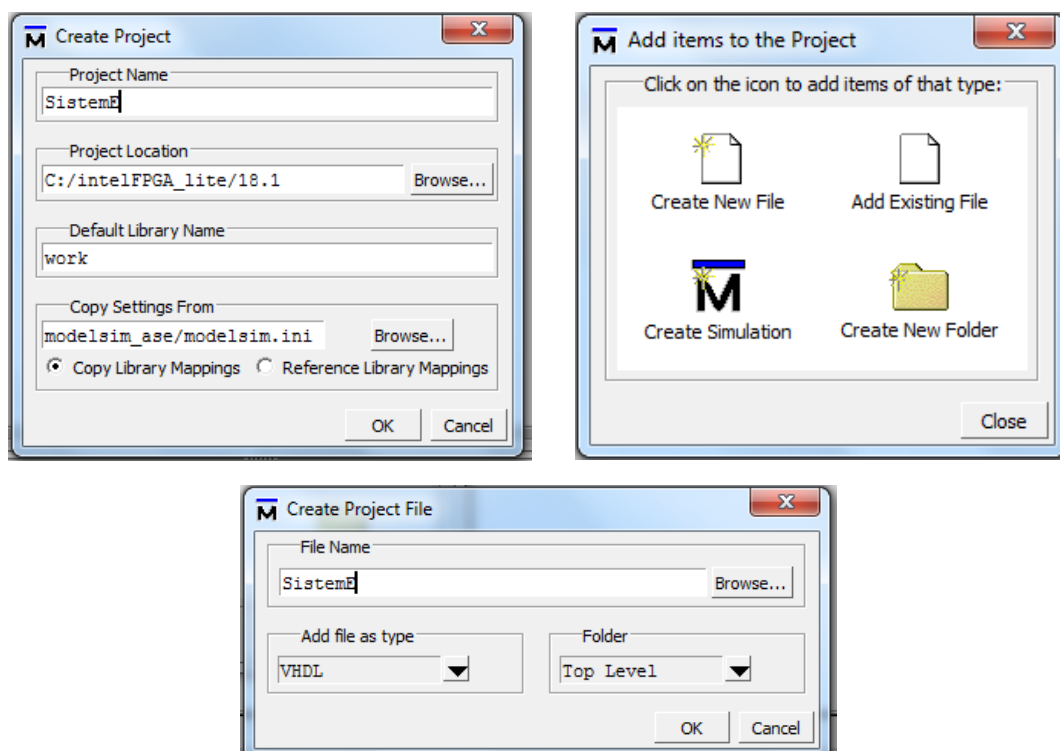
1.2 Radno okruženje

Након покретања апликације ModelSim, екран корисника има изглед као на Слици 1.



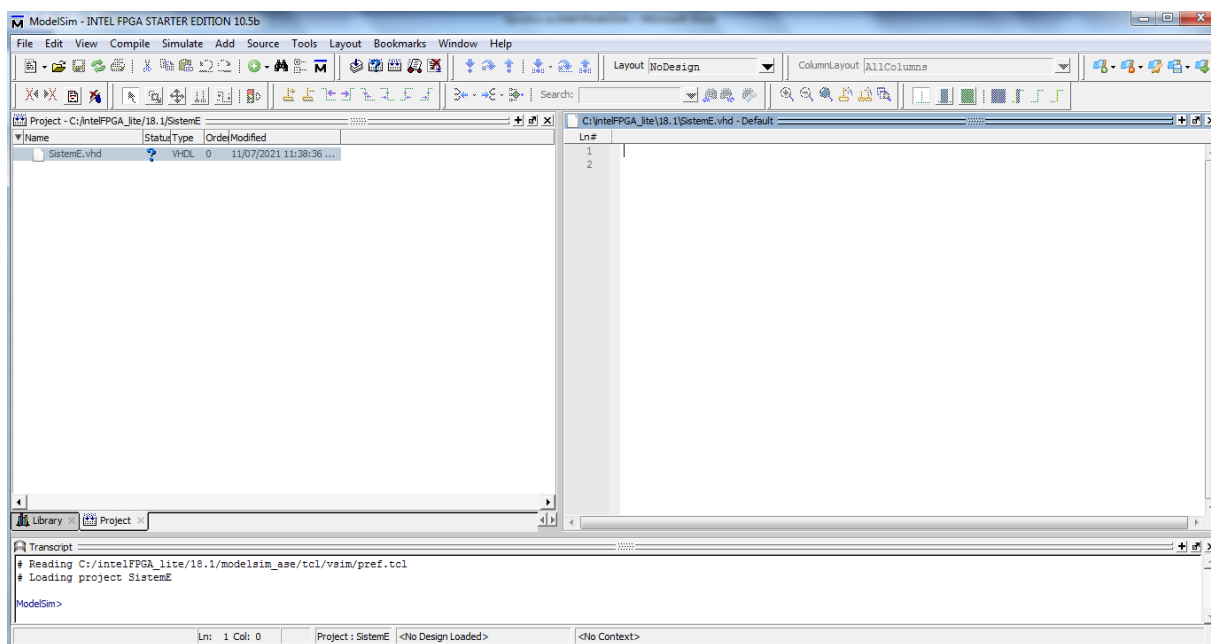
Слика 1. Поћетни изглед радног окружења ModelSim.

Да бисте покренули симулацију, потребно је да креирате пројекат. Кликните на File -> New -> Project. Видећете прозор приказан на слици 2 (лево). А потом излази прозор за креирање новог фајла и дефинисање његовог имена.



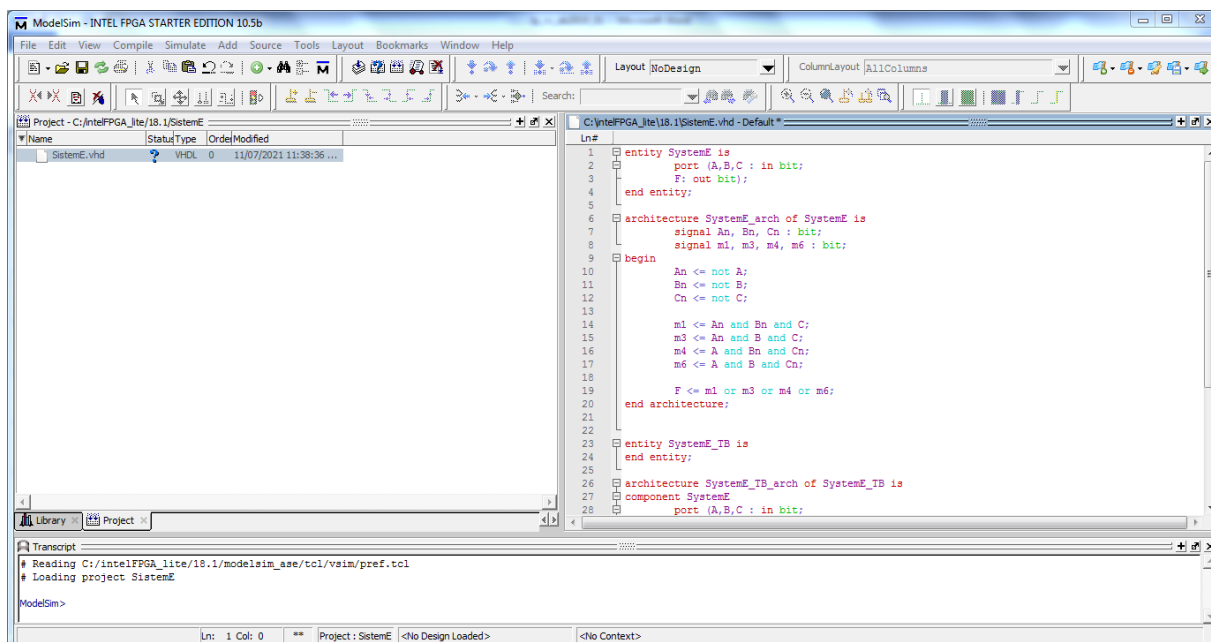
Слика 2. Креирање новог пројекта.

Након креирања пројекта и VHDL фајла, дуплим кликом на фајл, екран корисника има изглед као на Сlici 3.



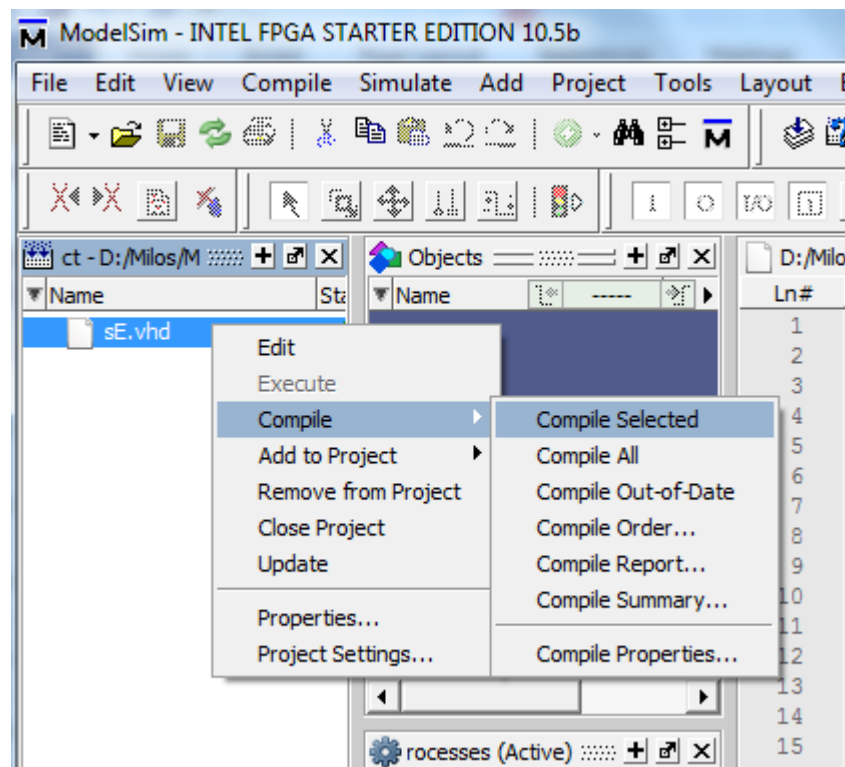
Слика 3. Изглед радног окружења након креирања пројекта.

У прозор десно се уноси VHDL код (можете са сору/paste да убаците VHDL код из претрходног поглавља). Екран корисника сада има изглед као на Слици 4.



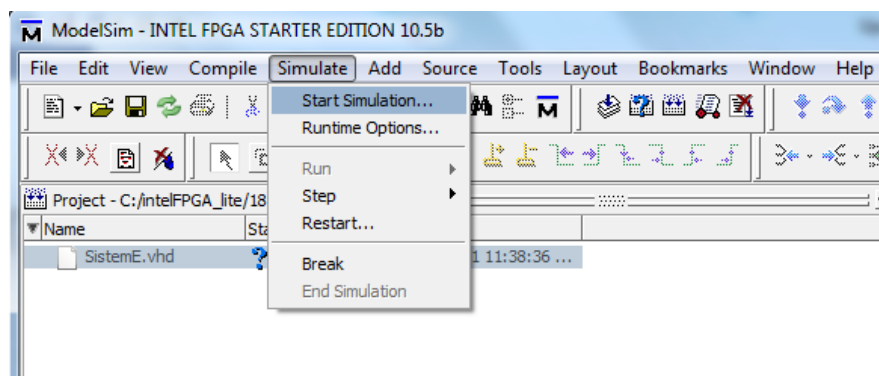
Слика 4. Изглед радног окружења након уноса VHDL кода.

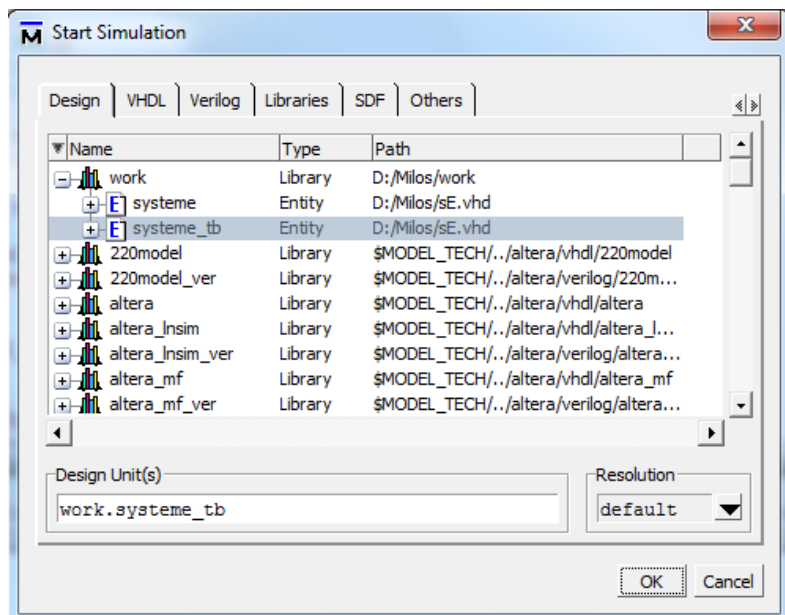
Компајлирање ВХДЛ фајла је приказано на следећој слици.



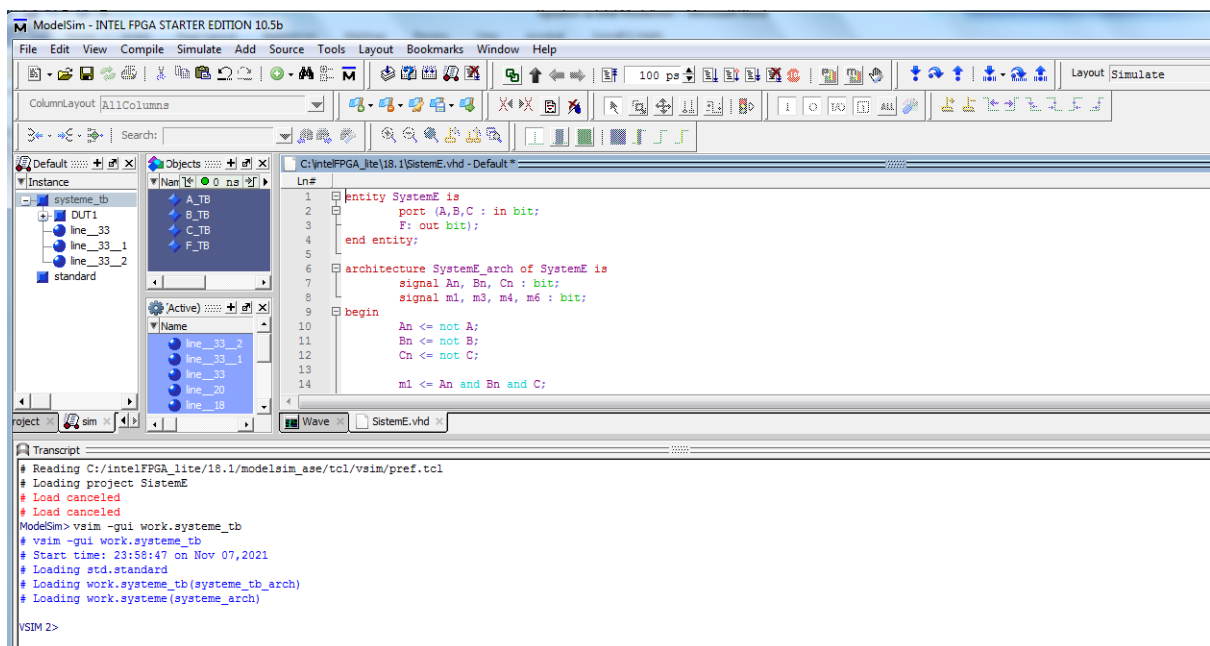
Слика 5. Компајлирање VHDL фајла.

Стартовање симулације је приказано на слици 6. Изаберите симулацију entity SystemE_TB.). Екран корисника сада има изглед као на Слици 7.



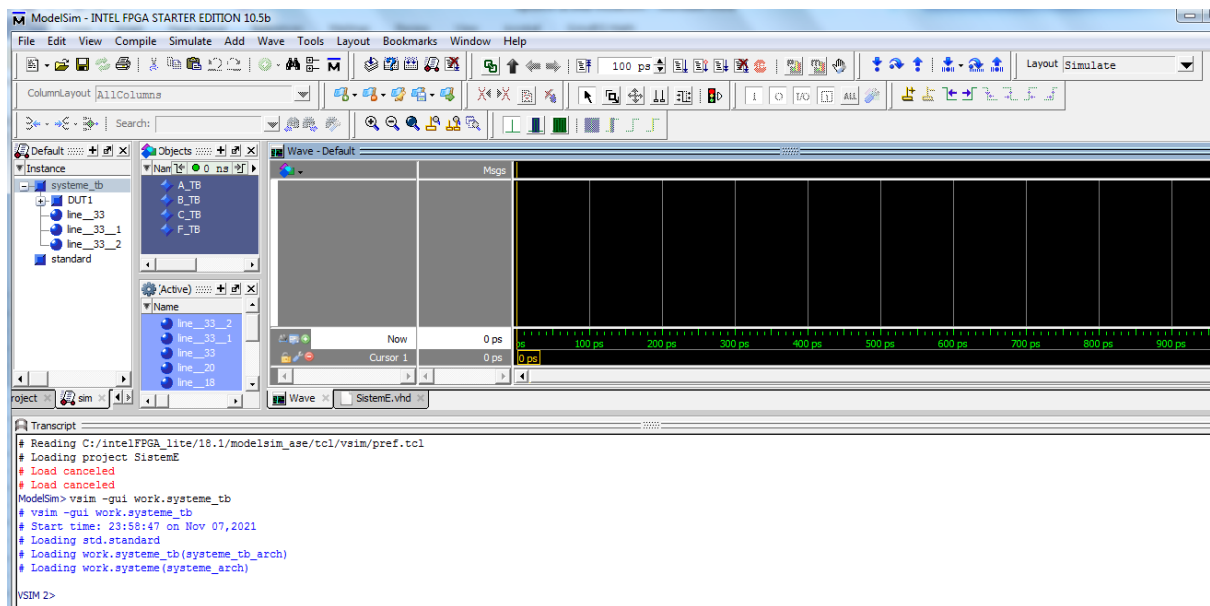


Слика 6. Стартовање симулације.



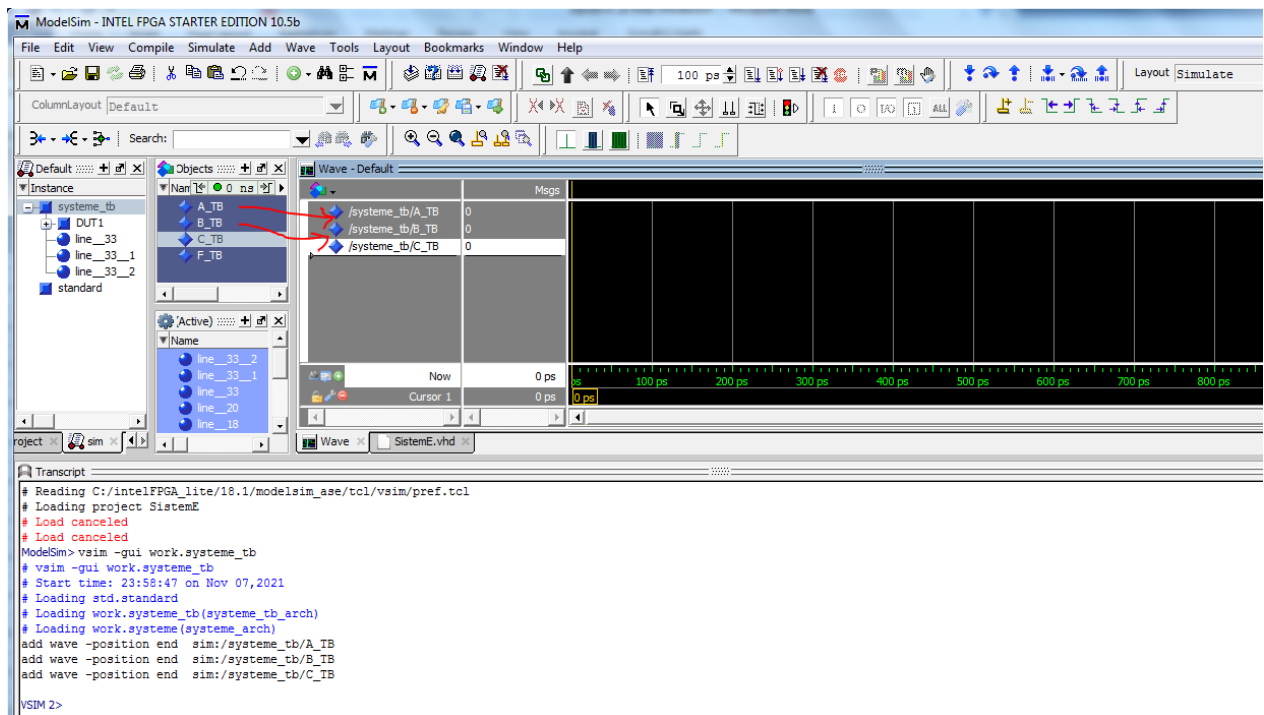
Слика 7. Изглед радног окружења након стартовања симулације.

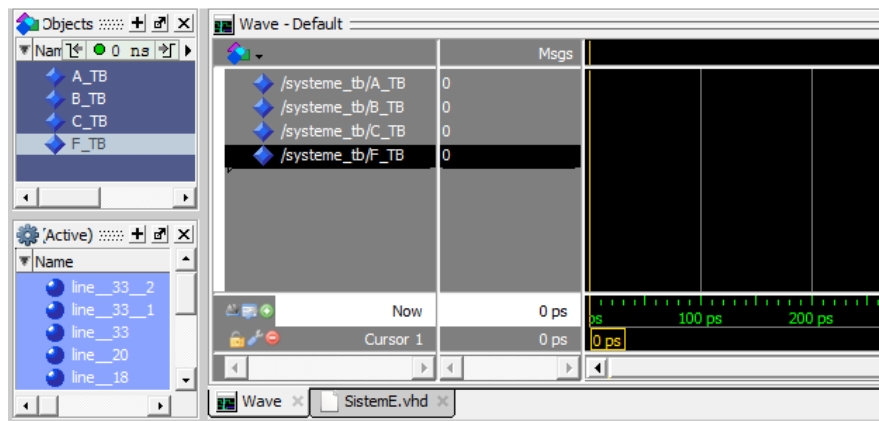
Пребаците прозор на картицу Wave, екран корисника сада има изглед као на Слици 8. Уколико картица Wave није видљива може се учинити видљивом из менија View->Wave.



Слика 8. Изглед радног окружења након приказа картице Wave.

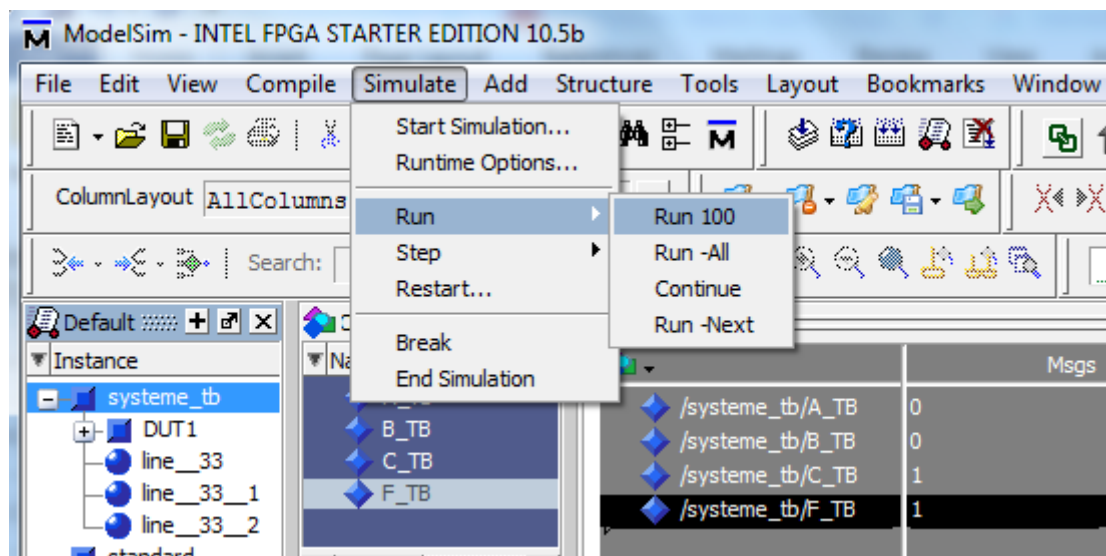
Превуците са drag-drop (црвена стрелица) променљиве из левог прозора (слика 9).



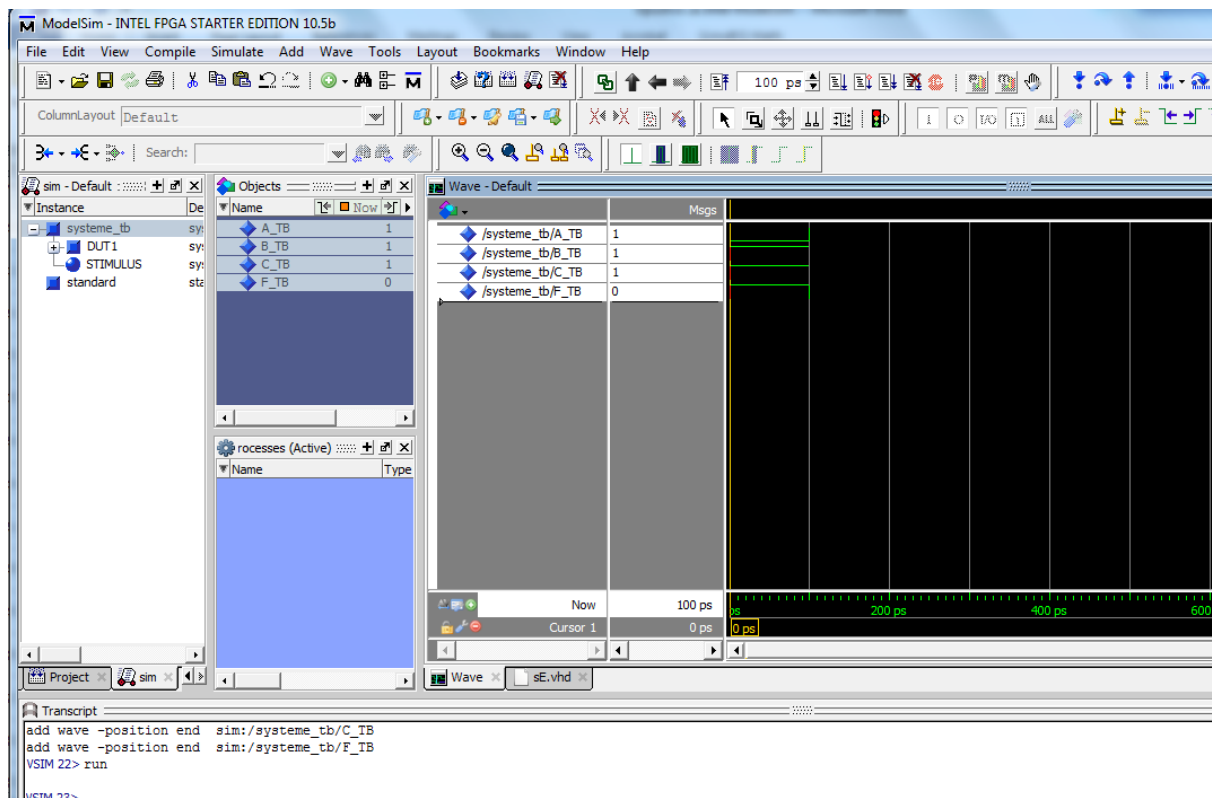


Слика 9. Изглед радног окружења након превлачења променљивих

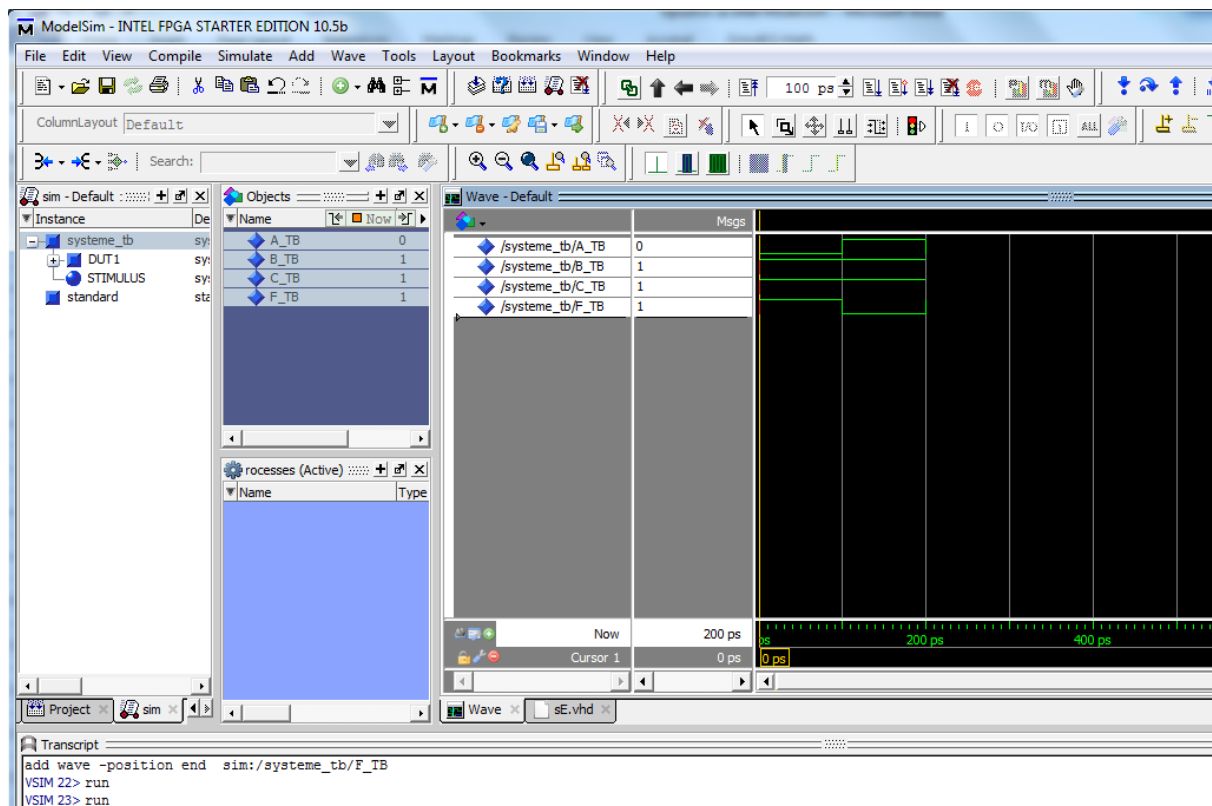
Стартовање симулације је приказано на сликама 10, 11 и 12.



Слика 10. Run100



Слика 11. Изглед радног окружења након Run100



Слика 12. Изглед радног окружења након поновљене команде Run100

