

目 录

第 1 章计算机系统概述	2
1.2 计算机系统层次结构(答案见原书 P10)	2
1.3 计算机的性能指标(答案见原书 P19)	6
第 2 章数据的表示和运算	14
2.1 数制与编码(答案见原书 P35)	14
2.2 运算方法和运算电路(答案见原书 P51)	20
2.3 浮点数的表示与运算(答案见原书 P69)	27
第 3 章存储系统	40
3.1 存储器概述(答案见原书 P84)	40
3.2 主存储器(答案见原书 P95)	42
3.3 主存储器与 CPU 的连接(答案见原书 P106)	50
3.4 外部存储器(答案见原书 P113)	54
3.5 高速缓冲存储器(答案见原书 P130)	56
3.6 虚拟存储器(答案见原书 P148)	64
第 4 章指令系统	70
4.1 指令系统(答案见原书 P162)	70
4.2 指令的寻址方式(答案见原书 P177)	73
4.3 程序的机器级代码表示(答案见原书 P198)	80
4.4 CISC 和 RISC 的基本概念(答案见原书 P204)	83
第 5 章中央处理器	85
5.1 CPU 的功能和基本结构(答案见原书 P210)	85
5.2 指令执行过程(答案见原书 P217)	90
5.3 数据通路的功能和基本结构(答案见原书 P229)	93
5.4 控制器的功能和工作原理(答案见原书 P245)	96
5.5 异常和中断机制(答案见原书 P252)	103
5.6 指令流水线(答案见原书 P267)	106
5.7 多处理器的基本概念(答案见原书 P278)	113
第 6 章总线	117
6.1 总线概述(答案见原书 P285)	117
6.2 总线事务和定时(答案见原书 P295)	122
第 7 章输入/输出系统	127
7.1 I/O 系统基本概念(答案见原书 P301)	127
7.2 I/O 接口(答案见原书 P305)	127
7.3 I/O 方式(答案见原书 P325)	131

第1章计算机系统概述

1.2 计算机系统层次结构(答案见原书 P10)

(1) 完整的计算机系统应包括 ()

- A. 运算器、存储器、控制器
- B. 外部设备和主机
- C. 主机和应用程序
- D. 配套的硬件设备和软件系统

(2) 冯·诺依曼机的基本工作方式是 ()

- A. 控制流驱动方式
- B. 多指令多数据流方式
- C. 微程序控制方式
- D. 数据流驱动方式

(3) 下列 () 是冯·诺依曼机工作方式的基本特点。

- A. 多指令流单数据流
- B. 按地址访问并顺序执行指令
- C. 堆栈操作
- D. 存储器按内容选择地址

(4) 以下说法错误的是 ()

- A. 硬盘是外部设备
- B. 软件的功能与硬件的功能在逻辑上是等效的
- C. 硬件实现的功能一般比软件实现具有更高的执行速度
- D. 软件的功能不能用硬件取代

(5) 存放当前执行指令的寄存器是 ()

- A. *MAR*
- B. *PC*
- C. *MDR*
- D. *IR*

(6) 在 *CPU* 中,跟踪下一条要执行的指令的地址的寄存器是 ()

- A. *PC* B. *MAR* C. *MDR* D. *IR*

(7) *CPU* 不包括 ()

- A. 地址寄存器 B. 指令寄存器 (*IR*) C. 地址译码器 D. 通用寄存器

(8) *MAR* 和 *MDR* 的位数分别为 ()

- A. 地址码长度、存储字长 B. 存储字长、存储字长
C. 地址码长度、地址码长度 D. 存储字长、地址码长度

(9) 在运算器中,不包含 ()

- A. 状态寄存器 B. 数据总线 C. *ALU* D. 地址寄存器

(10) 下列关于 *CPU* 存取速度的比较中,正确的是 ()

- A. *Cache* > 内存 > 寄存器 B. *Cache* > 寄存器 > 内存
C. 寄存器 > *Cache* > 内存 D. 寄存器 > 内存 > *Cache*

(11) 若一个 8 位的计算机系统以 16 位来表示地址,则该计算机系统有 () 个地址空间。

- A. 256 B. 65535 C. 65536 D. 131072

(12) () 是程序运行时的存储位置,包括所需的数据。

- A. 数据通路 B. 主存 C. 硬盘 D. 操作系统

(13) 关于编译程序和解释程序,下列说法中错误的是 ()

- A. 编译程序和解释程序的作用都是将高级语言程序转换成机器语言程序
B. 编译程序编译时间较长,运行速度较快
C. 解释程序方法较简单,运行速度也较快
D. 解释程序将源程序翻译成机器语言,并且翻译一条以后,立即执行这条语句

(14) 可以在计算机中直接执行的语言和用助记符编写的语言分别是 ()

- I.* 机器语言 *II.* 汇编语言 *III.* 高级语言 *IV.* 操作系统原语 *V.* 正则语言
A. *II*、*III* B. *II*、*IV* C. *I*、*II* D. *I*、*V*

(15) 只有当程序执行时才将源程序翻译成机器语言,并且一次只能翻译一行语句,边翻译边执行的是

() 程序,把汇编语言源程序转变为机器语言程序的过程是 ()

I. 编译 *II.* 目标 *III.* 汇编 *IV.* 解释

- A. *I*、*II* B. *IV*、*II* C. *IV*、*I* D. *IV*、*III*

(16) 下列关于各种级别语言的描述中,错误的是 ()

- A. 可用高级语言和低级语言编写出功能等价的程序
B. 低级语言的执行效率一般情况下高于高级语言
C. 机器语言源程序可在机器上直接执行,而高级语言和汇编语言源程序不可以
D. 汇编语言与机器结构无关

(17) 下列关于机器指令和汇编指令的叙述中,错误的是()

- A. 可以直接用机器语言 (机器指令) 编写程序
- B. 汇编指令和机器指令都能被计算机直接执行
- C. 汇编语言和机器语言都与计算机系统结构相关
- D. 汇编指令和机器指令一一对应,功能相同

(18) 下列叙述中,正确的是()

- I. 实际应用程序的测试结果能够全面代表计算机的性能
- II. 系列机的基本特性是指令系统向后兼容
- III. 软件和硬件在逻辑功能上是等价的

- A. II
- B. III
- C. II 和 III
- D. I、II 和 III

(19) 在 CPU 的组成中,不包括()

- A. 运算器
- B. 存储器
- C. 控制器
- D. 寄存器

(20) 关于相联存储器,下列说法中正确的是()

- A. 只可以按地址寻址
- B. 只可以按内容寻址
- C. 既可按地址寻址又可按内容寻址
- D. 以上说法均不完善

(21) 【2015 统考真题】计算机硬件能够直接执行的是()

- I. 机器语言程序
- II. 汇编语言程序
- III. 硬件描述语言程序

- A. 仅 I
- B. 仅 I、II
- C. 仅 I、III
- D. I、II、III

(22) 【2016 统考真题】将高级语言源程序转换为机器级目标代码文件的程序是()

- A. 汇编程序
- B. 链接程序
- C. 编译程序
- D. 解释程序

(23) 【2019 统考真题】下列关于冯·诺依曼计算机基本思想的叙述中, 错误的是()

- A. 程序的功能都通过中央处理器执行指令实现
- B. 指令和数据都用二进制数表示,形式上无差别
- C. 指令按地址访问,数据都在指令中直接给出
- D. 程序执行前,指令和数据需预先存放在存储器中

(24) 【2022 统考真题】将高级语言源程序转换为可执行目标文件的主要过程是()

- A. 预处理 → 编译 → 汇编 → 链接
- B. 预处理 → 汇编 → 编译 → 链接
- C. 预处理 → 编译 → 链接 → 汇编
- D. 预处理 → 汇编 → 链接 → 编译

1.3 计算机的性能指标 (答案见原书 P19)

(1) 关于 *CPU* 主频、*CPI*、*MIPS*、*MFLOPS*, 说法正确的是()

- A. *CPU* 主频是指 *CPU* 系统执行指令的频率, *CPI* 是执行一条指令平均使用的频率
- B. *CPI* 是执行一条指令平均使用 *CPU* 时钟的个数, *MIPS* 描述一条 *CPU* 指令平均使用的 *CPU* 时钟周期数
- C. *MIPS* 是描述 *CPU* 执行指令的频率, *MFLOPS* 是计算机系统的浮点数指令
- D. *CPU* 主频指 *CPU* 使用的时钟频率, *CPI* 是执行一条指令平均使用的 *CPU* 时钟周期数

(2) 存储字长是指()

- A. 存放在一个存储单元中的二进制代码组合
- B. 存放在一个存储单元中的二进制代码位数
- C. 存储单元的个数
- D. 机器指令的位数

(3) 以下说法中, 错误的是 ()

- A. 计算机的机器字长是指数据运算的基本单位长度
- B. 寄存器由触发器构成
- C. 计算机中一个字的长度都是 32 位
- D. 磁盘可以永久性存放数据和程序

(4) 下列关于机器字长、指令字长和存储字长的说法中, 正确的是 ()

- I.* 三者在数值上总是相等的
- II.* 三者在数值上可能不等
- III.* 存储字长是存放在一个存储单元中的二进制代码位数
- IV.* 机器字长就是 *MDR* 的位数

- A. *I*、*III*
- B. *I*、*IV*
- C. *II*、*III*
- D. *II*、*IV*

(5) 下列关于机器字长的叙述中, 错误的是 ()

- A. 机器字长是指 *CPU* 中定点运算的数据通路宽度
- B. 机器字长一般与 *CPU* 中通用寄存器的位数有关
- C. 机器字长决定了数据的表示范围和表示精度
- D. 机器字长对计算机硬件的造价没有影响

(6) 32 位微机是指该计算机所用 *CPU* ()

- A. 具有 32 位寄存器
- B. 能同时处理 32 位的二进制数
- C. 具有 32 个寄存器
- D. 能处理 32 个字符

(7) 用于科学计算的计算机中, 标志系统性能的最有用的参数是 ()

- A. 主时钟频率
- B. 主存容量
- C. *MFLOPS*
- D. *MIPS*

(8) 在计算机 $M1$ 和计算机 $M2$ 上分别运行功能完全相同的高级语言程序, 程序在 $M1$ 和 $M2$ 上的平均 CPI 相等, 则对于该类程序而言 ()

- A. $M1$ 和 $M2$ 执行速度相等
- B. $M1$ 和 $M2$ 中主频高的计算机执行速度快
- C. $M1$ 和 $M2$ 中主频低的计算机执行速度快
- D. 无法确定哪台机器的执行速度快

(9) 若一台计算机的机器字长为 4 B, 则表明该机器 ()

- A. 能处理的数值最大为 4 位十进制数
- B. 能处理的数值最多为 4 位二进制数
- C. 在 CPU 中能够作为一个整体处理 32 位的二进制代码
- D. 在 CPU 中运算的结果最大为 2^{32}

(10) 在 CPU 的寄存器中, () 对用户是完全透明的。

- A. 程序计数器
- B. 指令寄存器
- C. 状态寄存器
- D. 通用寄存器

(11) 计算机操作的最小单位时间是 ()

- A. 时钟周期
- B. 指令周期
- C. CPU 周期
- D. 中断周期

(12) 计算机中, CPU 的 CPI 与下列 () 因素无关。

- A. 时钟频率
- B. 系统结构
- C. 指令集
- D. 计算机组织

(13) 从用户观点看,评价计算机系统性能的综合参数是()

- A. 指令系统 B. 吞吐率 C. 主存容量 D. 主频率

(14) 当前设计高性能计算机的重要技术途径是()

- A. 提高 CPU 主频 B. 扩大主存容量
C. 采用非冯－诺依曼体系结构 D. 采用并行处理技术

(15) 下列关于“兼容”的叙述,正确的是()

- A. 指计算机软件与硬件之间的通用性, 通常在同一系列不同型号的计算机间存在
B. 指计算机软件或硬件的通用性, 即它们在任何计算机间可以通用
C. 指计算机软件或硬件的通用性,通常在同一系列不同型号的计算机间通用
D. 指软件在不同系列计算机中可以通用,而硬件不能通用

(16) 若某基准测试程序在机器 A 上运行需要的时间是 20s, 而在机器 B 上的运行时间是 16s, 那么, 相对来说, 下列给出的结论中, () 是正确的。

- A. 所有程序在机器 A 上都比在机器上运行速度慢
B. 机器 B 的速度是机器 A 的 1.25 倍
C. 机器 A 的速度是机器 B 的 1.25 倍
D. 机器 A 比机器 B 慢 1.25 倍

(17) 机器 A 的主频为 800MHz , 某程序在 A 上运行需要 12s 。现在硬件设计人员想设计机器 B , 希望该程序在 B 上的运行时间能缩短为 8 s , 使用新技术后可使 B 的主频大幅度提高, 但在 B 上运行该程序所需的时钟周期数为在 A 上的 1.5 倍。则机器 B 的主频至少应为 ()

- A. 800MHz B. 1.2GHz C. 1.5GHz D. 1.8GHz

(18) 下列可用于评价计算机系统性能的指标是 ()

- I. MIPS II. IPC III. CPI IV. 字长

- A. I、III B. I、III 和 IV C. I、II 和 III D. 全部

(19) 计算机的机器字长与下列 () 指标最为密切相关。

- A. 运算速度 B. 存取速度 C. 内存容量 D. 运算精确度

(20) 假定编译器对高级语言的某条语句可以编译生成两种不同的指令序列, A 、 B 和 C 三类指令的 CPI 和两种不同序列所含的三类指令条数如下表所示, 两个指令序列都在时钟周期为 2ns 的机器上运行, 则下列结论中正确的是 ()

指令类型	CPI	序列一的指令条数	序列二的指令条数
A	1	1	2
B	2	1	1
C	3	4	2

- A. 序列一的 MIPS 数比序列二多 50 , 序列一的执行速度比序列二快 10ns
 B. 序列一的 MIPS 数比序列二多 50 , 序列二的执行速度比序列一快 10ns
 C. 序列二的 MIPS 数比序列一多 50 , 序列一的执行速度比序列二快 10ns
 D. 序列二的 MIPS 数比序列一多 50 , 序列二的执行速度比序列一快 10ns

(21) 用一台 40MHz 的 CPU 执行标准测试程序, 共包含 100 条指令, 它所包含的指令混合比和不同指令的 CPI 见下表。该段程序的平均 CPI 和程序的执行时间分别为 ()

指令类型	CPI	指令混合比	指令类型	CPI	指令混合比
算术和逻辑	1	60%	转移	4	12%
高速缓存命中的访存	2	18%	高速缓存失败的访存	8	10%

- A. $2.26, 5.6 \times 10^{-8}s$ B. $2.26, 5.6 \times 10^{-6}s$ C. $2.24, 5.6 \times 10^{-6}s$ D. $2.24, 5.6 \times 10^{-8}s$

(22) 下列给出了改善计算机性能的 4 种措施:

- I. 用更快的处理器来替换原来的慢速处理器
- II. 增加同类处理器个数, 使得不同的处理器同时执行程序
- III. 优化编译生成的代码, 使得程序执行的总时钟周期数减少
- IV. 减少指令执行过程中访问内存的时间

对于某个特定的程序, 在以上措施中, 能缩短其执行时间的措施是 ()

- A. I、II 和 III B. I、II 和 IV C. I、III 和 IV D. 全部

(23) 【2010 统考真题】下列选项中, 能缩短程序执行时间的措施是 ()

- I. 提高 CPU 时钟频率 II. 优化数据通路结构 III. 对程序进行编译优化
- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I、II、III

(24) 【2011 统考真题】下列选项中, 描述浮点数操作速度指标的是 ()

- A. MIPS B. CPI C. IPC D. MFLOPS

(25) 【2012 统考真题】假定基准程序 A 在某计算机上的运行时间为 $100s$, 其中 $90s$ 为 CPU 时间, 其余为 I/O 时间。若 CPU 速度提高 50% , I/O 速度不变, 则运行基准程序 A 所耗费的时间是 ()

- A. $55s$ B. $60s$ C. $65s$ D. $70s$

(26) 【2013 统考真题】某计算机的主频为 $1.2GHz$, 其指令分为 4 类, 它们在基准程序中所占比例及 CPI 如下表所示。该机的 $MIPS$ 数是 ()

指令类型	所占比例	CPI	指令类型	所占比例	CPI
A	50%	2	C	10%	4
B	20%	3	D	20%	5

- A. 100 B. 200 C. 400 D. 600

(27) 【2014 统考真题】程序 P 在机器 M 上的执行时间是 $20s$, 编译优化后, P 执行的指令数减少到原来的 70% , 而 CPI 增加到原来的 1.2 倍, 则 P 在 M 上的执行时间是 ()

- A. $8.4s$ B. $11.7s$ C. $14s$ D. $16.8s$

(28) 【2017 统考真题】假定计算机 $M1$ 和 $M2$ 具有相同的指令集体系结构 (ISA), 主频分别为 $1.5GHz$ 和 $1.2GHz$ 。在 $M1$ 和 $M2$ 上运行某基准程序 P , 平均 CPI 分别为 2 和 1, 则程序 P 在 $M1$ 和 $M2$ 上运行时间的比值是 ()

- A. 0.4 B. 0.625 C. 1.6 D. 2.5

(29) 【2020 统考真题】下列给出的部件中, 其位数 (宽度) 一定与机器字长相同的是 ()

I . ALU II . 指令寄存器 III . 通用寄存器 IV . 浮点寄存器

- A. 仅 I 、 II B. 仅 I 、 III C. 仅 II 、 III D. 仅 II 、 III 、 IV

(30) 【2021 统考真题】2017 年公布的全球超级计算机 TOP500 排名中,我国“神威 太湖之光”超级计算机蝉联第一,其浮点运算速度为 $93.0146PFLOPS$,说明该计算机每秒钟内完成的浮点操作次数约为()

- A. 9.3×10^{13} 次 B. 9.3×10^{15} 次 C. 9.3 千万亿次 D. 9.3 亿亿次

(31) 【2022 统考真题】某计算机主频为 $1GHz$, 程序 P 运行过程中,共执行了 10000 条指令,其中 80% 的指令执行平均需 1 个时钟周期,20% 的指令执行平均需 10 个时钟周期。程序 P 的平均 CPI 和 CPU 执行时间分别是()

- A. 2.8, $28\mu s$ B. 28, $28\mu s$ C. 2.8, $28ms$ D. 28, $28ms$

(32) 【2023 统考真题】若机器 M 的主频为 $1.5GHz$, 在 M 上执行程序 P 的指令条数为 5×10^5 , P 的平均 CPI 为 1.2, 则 P 在 M 上的指令执行速度和用户 CPU 时间分别为()

- A. $0.8GIPS$, $0.4ms$ B. $0.8GIPS$, $0.4\mu s$ C. $1.25GIPS$, $0.4ms$ D. $1.25GIPS$, $0.4\mu s$

第2章数据的表示和运算

2.1 数制与编码 (答案见原书 P35)

(1) 若十进制数为 137.5, 则其八进制数为 ()

- A. 89.8 B. 211.4 C. 211.5 D. 1011111.101

(2) 一个 16 位无符号二进制数的表示范围是 ()

- A. $0 \sim 65536$ B. $0 \sim 65535$ C. $-32768 \sim 32767$ D. $-32768 \sim 32768$

(3) 下列说法有误的是 ()

- A. 任何二进制整数都可以用十进制表示 B. 任何二进制小数都可以用十进制表示
C. 任何十进制整数都可以用二进制表示 D. 任何十进制小数都可以用二进制表示

(4) 对真值 0 表示形式唯一的机器数是 ()

- A. 原码 B. 补码和移码 C. 反码 D. 以上都不对

(5) 若 $[X]_{\text{补}} = 1.1101010$, 则 $[X]_{\text{原}} = ()$

- A. 1.0010101 B. 1.0010110 C. 0.0010110 D. 0.1101010

(6) 若 X 为负数, 则由 $[X]_{\text{补}}$ 求 $[-X]_{\text{补}}$ 是将 ()

- A. $[X]_{\text{补}}$ 各值保持不变
 B. $[X]_{\text{补}}$ 符号位变反, 其他各位不变
 C. $[X]_{\text{补}}$ 除符号位外, 各位变反, 末位加 1
 D. $[X]_{\text{补}}$ 连同符号位一起变反, 末位加 1

(7) 8 位原码能表示的不同数据有 () 个。

- A. 15
 B. 16
 C. 255
 D. 256

(8) 一个 $n+1$ 位整数 x 原码的数值范围是 ()

- A. $-2^n + 1 < x < 2^n - 1$
 B. $-2^n + 1 \leq x < 2^n - 1$
 C. $-2^n + 1 < x \leq 2^n - 1$
 D. $-2^n + 1 \leq x \leq 2^n - 1$

(9) n 位定点整数 (有符号) 表示的最大值是 ()

- A. 2^n
 B. $2^n - 1$
 C. 2^{n-1}
 D. $2^{n-1} - 1$

(10) 对于相同位数 (设为 N 位, 不考虑符号位) 的二进制补码小数和十进制小数, 二进制小数能表示的数的个数 / 十进制小数所能表示数的个数为 ()

- A. $(0.2)^N$
 B. $(0.2)^{N-1}$
 C. $(0.02)^N$
 D. $(0.02)^{N-1}$

(11) 若定点整数为 64 位,含 1 位符号位,则采用补码表示的绝对值最大的负数为 ()

- A. -2^{64} B. $-(2^{64}-1)$ C. -2^{63} D. $-(2^{63}-1)$

(12) 下列关于补码和移码关系的叙述中, () 是不正确的。

- A. 相同位数的补码和移码表示具有相同的数据表示范围
B. 0 的补码和移码表示相同
C. 同一个数的补码和移码表示,其数值部分相同,而符号相反
D. 一般用移码表示浮点数的阶,而补码表示定点整数

(13) 若 $[x]_{\text{补}} = 1, x_1x_2x_3x_4x_5x_6$, 其中 x_i 取 0 或 1, 若要 $x > -32$, 应当满足 ()

- A. x_1 为 0, 其他各位任意 B. x_1 为 1, 其他各位任意
C. x_1 为 1, $x_2 \sim x_6$ 中至少有一位为 1 D. x_1 为 0, $x_2 \sim x_6$ 中至少有一位为 1

(14) 设 x 为整数, $[x]_{\text{补}} = 1, x_1x_2x_3x_4x_5$ 若要 $x < -16$, $x_1 \sim x_5$ 应满足的条件是 ()

- A. $x_1 \sim x_5$ 至少有一个为 1 B. x_1 必须为 0, $x_2 \sim x_5$ 至少有一个为 1
C. x_1 必须为 0, $x_2 \sim x_5$ 任意 D. x_1 必须为 1, $x_2 \sim x_5$ 任意

(15) 设 x 为真值, x^* 为其绝对值, 满足 $[-x^*]_{\text{补}} = [-x]_{\text{补}}$, 当且仅当 ()

- A. x 任意 B. x 为正数 C. x 为负数 D. 以上说法都不对

(16) 假定一个十进制数为 -66 ,按补码形式存放在一个 8 位寄存器中,该寄存器的内容用十六进制表示为()

- A. $C2H$ B. BEH C. BDH D. $42H$

(17) 设机器数采用补码表示(含 1 位符号位),若寄存器内容为 $9BH$,则对应的十进制数为()

- A. -27 B. -97 C. -101 D. 155

(18) 若寄存器内容为 10000000 ,若它等于 -0 ,则为()

- A. 原码 B. 补码 C. 反码 D. 移码

(19) 若寄存器内容为 11111111 若它等于 $+127$, 则为()

- A. 反码 B. 补码 C. 原码 D. 移码

(20) 若寄存器内容为 11111111 ,若它等于 -1 , 则为()

- A. 原码 B. 补码 C. 反码 D. 移码

(21) 若寄存器内容为 00000000 若它等于 -128 , 则为()

- A. 原码 B. 补码 C. 反码 D. 移码

(22) 若二进制定点小数真值是 -0.1101 , 机器表示为 1.0010 , 则为 ()

- A. 原码 B. 补码 C. 反码 D. 移码

(23) 下列为 8 位移码机器数 $[x]_{\text{移}}$, 求 $[-x]_{\text{移}}$ 时, () 将会发生溢出。

- A. 11111111 B. 00000000 C. 10000000 D. 01111111

(24) 一个 8 位的二进制整数由 2 个“0”和 6 个“1”组成, 采用补码或者移码表示, 则下列说法中正确的是 ()

- A. 若采用移码表示, 偏置值为 127, 则此整数最小为 -64
 B. 若采用移码表示, 偏置值为 128, 则此整数最大为 123
 C. 若采用补码表示, 则此整数最小为 -96
 D. 若采用补码表示, 则此整数最大为 252

(25) 计算机内部的定点数大多用补码表示, 以下是一些关于补码特点的叙述:

- I.* 零的表示是唯一的 *II.* 符号位可以和数值部分一起参加运算
III. 和其真值的对应关系简单、直观 *IV.* 减法可以用加法来实现

在以上叙述中, () 是补码表示的特点。

- A. *I*、*II* B. *I*、*III* C. *I*、*II*、*III* D. *I*、*II*、*IV*

(26) 在计算机中, 通常用来表示主存地址的是 ()

- A. 移码 B. 补码 C. 原码 D. 无符号数

(27) 16 位补码 $0x8FA0$ 扩展为 32 位应该是 ()

- A. $0x00008FA0$ B. $0xFFFF8FA0$ C. $0xFFFFFA0$ D. $0x80008FA0$

(28) 【2012 统考真题】假定编译器规定 `int` 型和 `short` 型长度分别为 32 位和 16 位, 执行下列 C 语言语句:

`unsigned short x = 65530;`

`unsigned int y = x;`

得到 y 的机器数为 ()

- A. $00007FFAH$ B. $0000FFFAH$ C. $FFFF7FFAH$ D. $FFFFFFFFAH$

(29) 【2015 统考真题】由 3 个“1”和 5 个“0”组成的 8 位二进制补码, 能表示的最小整数是 ()

- A. -126 B. -125 C. -32 D. -3

(30) 【2016 统考真题】有如下 C 语言程序段:

`shorts i = -32767;`

`unsigned short usi = si;`

执行上述两条语句后, usi 的值为 ()

- A. -32767 B. 32767 C. 32768 D. 32769

(31) 【2018 统考真题】冯·诺依曼结构计算机中的数据采用二进制编码表示, 其主要原因是 ()

I. 二进制的运算规则简单 II. 制造两个稳态的物理器件较容易

III. 便于用逻辑门电路实现算术运算

- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II 和 III

(32) 【2019 统考真题】考虑以下 C 语言代码:

```
unsigned short usi = 65535;
```

```
short si = usi;
```

执行上述程序段后, si 的值是 ()

- A. -1 B. -32767 C. -32768 D. -65535

(33) 【2021 统考真题】已知有符号整数用补码表示, 变量 x, y, z 的机器数分别为 $FFFDH, FFDFH, 7FFCH$, 下列结论中, 正确的是 ()

- A. 若 x, y 和 z 为无符号整数, 则 $z < x < y$ B. 若 x, y 和 z 为无符号整数, 则 $x < y < z$
C. 若 x, y 和 z 为有符号整数, 则 $x < y < z$ D. 若 x, y 和 z 为有符号整数, 则 $y < x < z$

(34) 【2022 统考真题】32 位补码所能表示的整数范围是 ()

- A. $-2^{32} \sim 2^{31} - 1$ B. $-2^{31} \sim 2^{31} - 1$ C. $-2^{32} \sim 2^{32} - 1$ D. $-2^{31} \sim 2^{32} - 1$

2.2 运算方法和运算电路 (答案见原书 P51)

(1) ALU 作为运算器的核心部件, 其属于 ()

- A. 时序逻辑电路 B. 组合逻辑电路 C. 控制器 D. 寄存器

(2) 组成一个运算器需要多个部件, 但下面的 () 不是组成运算器的部件。

- A. 状态寄存器 B. 数据总线 C. ALU D. 地址寄存器

(3) 算术逻辑单元 (ALU) 的功能一般包括 ()

- A. 算术运算
- B. 逻辑运算
- C. 算术运算和逻辑运算
- D. 加法运算

(4) 补码定点整数 01010101 算术左移两位后的值为 ()

- A. 01000111
- B. 01010100
- C. 01000110
- D. 01010101

(5) 下列四个补码整数存放于 8 位寄存器中,算术左移不会发生溢出的是 ()

- A. $80H$
- B. $90H$
- C. $B0H$
- D. $C0H$

(6) 补码定点整数 10010101 右移一位后的值为 ()

- A. 01001010
- B. 010010101
- C. 10001010
- D. 11001010

(7) 两个机器数 $7E5H$ 和 $4D3H$ 相加, 得 ()

- A. $BD8H$
- B. $CD8H$
- C. $CB8H$
- D. $CC8H$

(8) 设机器数字长 8 位 (含 1 位符号位), 机器数 BAH 为原码, 算术左移 1 位和算术右移 1 位分别得 ()

- A. $F4H, EDH$
- B. $B4H, 6DH$
- C. $74H, DDH$
- D. $B5H, EDH$

(9) 在定点运算器中,无论是采用双符号位还是采用单符号位,必须有 ()

- A. 译码电路,它一般用“与非”门来实现
- B. 编码电路,它一般用“或非”门来实现
- C. 溢出判断电路,它一般用“异或”门来实现
- D. 移位电路,它一般用“与或非”门来实现

(10) 机器运算发生溢出的根本原因是 ()

- A. 寄存器的位数有限
- B. 运算中将符号位的进位丢弃
- C. 运算中将符号位的借位丢弃
- D. 数据运算中发生错误

(11) 假定有两个整数用 8 位补码分别表示为 $r_1 = FSH$, $r_2 = EEH$ 。若将运算结果存放在一个 8 位寄存器中,则下列运算会发生溢出的是 ()

- A. $r_1 + r_2$
- B. $r_1 - r_2$
- C. $r_1 \times r_2$
- D. r_1 / r_2

(12) 关于模 4 补码,下列说法正确的是 ()

- A. 模 4 补码和模 2 补码不同,它不容易检查乘除运算中的溢出问题
- B. 每个模 4 补码存储时只需一个符号位
- C. 存储每个模 4 补码需要两个符号位
- D. 模 4 补码,在算术与逻辑部件中为一个符号位

(13) 若采用双符号位,则两个正数相加产生溢出的特征时,双符号位为 ()

- A. 00
- B. 01
- C. 10
- D. 11

(14) 判断加减法溢出时, 可采用判断进位的方式, 若符号位的进位为 C_0 , 最高位的进位为 C_1 , 则产生溢出的条件是 ()

- I. C_0 产生进位 II. C_1 产生进位 III. C_0 、 C_1 都产生进位 IV. C_0 、 C_1 都不产生进位
V. C_0 产生进位, C_1 不产生进位 VI. C_0 不产生进位, C_1 产生进位
- A. I 和 II B. III C. IV D. V 和 VI

(15) 在补码的加减法中, 用两位符号位判断溢出, 两位符号位 $S_{S1}S_{S2} = 10$ 时, 表示 ()

- A. 结果为正数, 无溢出 B. 结果正溢出
C. 结果负溢出 D. 结果为负数, 无溢出

(16) 若 $[X]_{\text{补}} = X_0X_1X_2 \cdots X_n$, 其中 X_0 为符号位, X_1 为最高数位。若 (), 则当补码左移时, 将会发生溢出。

- A. $X_0 = X_1$ B. $X_0 \neq X_1$ C. $X_1 = 0$ D. $X_1 = 1$

(17) 原码乘法是 ()

- A. 先取操作数绝对值相乘, 符号位单独处理
B. 用原码表示操作数, 然后直接相乘
C. 被乘数用原码表示, 乘数取绝对值, 然后相乘
D. 乘数用原码表示, 被乘数取绝对值, 然后相乘

(18) 在原码乘法中, ()

- A. 符号位参加运算
B. 符号位不参加运算
C. 符号位参加运算, 并根据运算结果改变结果中的符号位
D. 符号位不参加运算, 并根据运算结果确定结果中的符号

(19) 原码乘法时, 符号位单独处理乘积的方式是 ()

- A. 两个操作数符号相“与”
- B. 两个操作数符号相“或”
- C. 两个操作数符号相“异或”
- D. 两个操作数中绝对值较大数的符号

(20) 下列关于移位运算的说法中, 正确的是 ()

I. 补码算术左移时, 高位移出, 低位补 0, 若左移前后的符号位不同, 则发生溢出

II. 无符号数逻辑左移时, 若最高位移出的是 1, 则发生溢出

III. 逻辑左移和算术左移的结果都一样, 都是移出最高位, 并在低位补 0

- A. I、III
- B. 仅 II
- C. 仅 III
- D. I、II、III

(21) 某计算机字长为 8 位, CPU 中有一个 8 位加法器。已知无符号数 $x = 69, y = 38$, 如果在该加法器中计算 $x - y$, 则加法器的两个输入端信息和输入的低位进位信息分别为 ()

- A. 01000101、00100110、0
- B. 01000101、11011001、1
- C. 01000101、11011010、0
- D. 01000101、11011010、1

(22) 某计算机中有一个 8 位加法器, 有符号整数 x 和 y 的机器数用补码表示, $[x]_{\text{补}} = F5H, [y]_{\text{补}} = 7EH$, 如果在该加法器中计算 $x - y$, 则加法器的低位进位输入信息和运算后的溢出标志 OF 分别是 ()

- A. 1、1
- B. 1、0
- C. 0、1
- D. 0、0

(23) 某 8 位计算机中, x 和 y 是两个有符号整数, 用补码表示, $[x]_{\text{补}} = 44H, [y]_{\text{补}} = DCH$, 则 $x/2 + 2y$ 的机器数及相应的溢出标志 OF 分别是 ()

- A. CAH 、0
- B. CAH 、1
- C. DAH 、0
- D. DAH 、1

(24) 某 8 位计算机中, x 和 y 是两个有符号整数, 用补码表示, $[x]_{\text{补}} = 44H$, $[y]_{\text{补}} = DCH$, 则 $x - 2y$ 的机器数及相应的溢出标志 OF 分别是 ()

- A. $8CH$ 、1 B. $8CH$ 、0 C. $68H$ 、1 D. $68H$ 、0

(25) 某 C 语言代码段如下:

```
int si = 65536;
```

```
short i = si;
```

```
unsigned j = 0;
```

```
if(i <= j - 1) printf("王道");
```

```
else printf("计算机教育");
```

当上述代码段执行到 if 分支条件的判断时, 会根据标志寄存器中的 () 决定执行顺序。最终的输出结果是 ()

- A. CF ,王道 B. CF ,计算机教育 C. OF ,王道 D. OF ,计算机教育

(26) 【2009 统考真题】一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x 、 y 、 z , 其中 x 和 z 为 int 型, y 为 short 型。当 $x = 127$, $y = -9$ 时, 执行赋值语句 $z = x + y$ 后, x 、 y 、 z 的值分别是 ()

- A. $x = 0000007FH$, $y = FFF9H$, $z = 00000076H$
 B. $x = 0000007FH$, $y = FFF9H$, $z = FFFF0076H$
 C. $x = 0000007FH$, $y = FFF7H$, $z = FFFF0076H$
 D. $x = 0000007FH$, $y = FFF7H$, $z = 00000076H$

(27) 【2010 统考真题】假定有四个整数用 8 位补码分别表示: $r_1 = FEH$ 、 $r_2 = F2H$ 、 $r_3 = 90H$ 、 $r_4 = F8H$, 若将运算结果存放在一个 8 位寄存器中, 则下列运算会发生溢出的是 ()

- A. $r_1 \times r_2$ B. $r_2 \times r_3$ C. $r_1 \times r_4$ D. $r_2 \times r_4$

(28) 【2013 统考真题】某字长为 8 位的计算机中, 已知整型变量 x 、 y 的机器数分别为 $[x]_{\text{补}} = 11110100$, $[y]_{\text{补}} = 10110000$ 。若整型变量 $z = 2x + y/2$, 则 z 的机器数为 ()

- A. 11000000 B. 00100100 C. 10101010 D. 溢出

(29) 【2014 统考真题】若 $x = 103$, $y = -25$, 则下列表达式采用 8 位定点补码运算实现时, 会发生溢出的是 ()

- A. $x + y$ B. $-x + y$ C. $x - y$ D. $-x - y$

(30) 【2018 统考真题】假定有符号整数采用补码表示, 若 int 型变量 x 和 y 的机器数分别是 $FFFFFDH$ 和 $00000041H$, 则 x 、 y 的值及 $x - y$ 的机器数分别是 ()

- A. $x = -65$, $y = 41$, $x - y$ 的机器数溢出
 B. $x = -33$, $y = 65$, $x - y$ 的机器数为 $FFFFFF9DH$
 C. $x = -33$, $y = 65$, $x - y$ 的机器数为 $FFFFFF9EH$
 D. $x = -65$, $y = 41$, $x - y$ 的机器数为 $FFFFFF96H$

(31) 【2018 统考真题】整数 x 的机器数为 11011000, 分别对 x 进行逻辑右移 1 位和算术右移 1 位操作, 得到的机器数各是 ()

- A. 11101100、11101100 B. 01101100、11101100
 C. 11101100、01101100 D. 01101100、01101100

(32) 【2018 统考真题】减法指令“ $\text{sub } R1, R2, R3$ ”的功能为“ $(R1) - (R2) \rightarrow R3$ ”, 该指令执行后将生成进位 / 借位标志 CF 和溢出标志 OF 。若 $(R1) = FFFFFFFFH$, $(R2) = FFFFFFFFH$, 则该减法指令执行后, CF 与 OF 分别为 ()

- A. $CF = 0$, $OF = 0$ B. $CF = 1$, $OF = 0$ C. $CF = 0$, $OF = 1$ D. $CF = 1$, $OF = 1$

(33) 【2023 统考真题】已知 x, y 为 `int` 类型, 当 $x = 100, y = 200$ 时, 执行“ $x - y$ ”指令得到的溢出标志 OF 和借位标志 CF 分别为 0, 1, 那么当 $x = 10, y = -20$ 时, 执行该指令得到的 OF 和 CF 分别为 ()

- A. $OF = 0, CF = 0$ B. $OF = 0, CF = 1$ C. $OF = 1, CF = 0$ D. $OF = 1, CF = 1$

(34) 【2024 统考真题】C 语言代码段如下, 执行该代码段后, j 的值是 ()

```
int i = 32777;
```

```
short si = i;
```

```
int j = si;
```

- A. -32777 B. -32759 C. 32759 D. 32777

(35) 【2024 统考真题】下列关于整数乘法运算的叙述中, 错误的是 ()

- A. 用阵列乘法器实现的乘运算可以在一个时钟周期内完成
B. 用 ALU 和移位器实现的乘运算无法在一个时钟周期内完成
C. 变量与常数的乘运算可编译优化为若干移位及加/减运算指令
D. 两个变量的乘运算无法编译转换为移位及加法等指令的循环实现

2.3 浮点数的表示与运算 (答案见原书 P69)

(1) 在 C 语言的不同类型的数据混合运算中, 要先转换成同一类型后进行运算。设一表达式中包含有 `int`、`long`、`char` 和 `double` 类型的变量与数据, 则表达式最后的运算结果是 (), 这 4 种类型数据的转换规律是 ()

- A. $long, int \rightarrow char \rightarrow double \rightarrow long$ B. $long, char \rightarrow int \rightarrow long \rightarrow double$
C. $double, char \rightarrow int \rightarrow long \rightarrow double$ D. $double, char \rightarrow int \rightarrow double \rightarrow long$

(2) 长度相同但格式不同的两种浮点数,假设前者阶码长、尾数短,后者阶码短、尾数长,其他规定均相同,则它们可表示的数的范围和精度为()

- A. 两者可表示的数的范围和精度相同
- B. 前者可表示的数的范围大但精度低
- C. 后者可表示的数的范围大且精度高
- D. 前者可表示的数的范围大且精度高

(3) 长度相同、格式相同的两种浮点数,假设前者基数大,后者基数小,其他规定均相同,则它们可表示的数的范围和精度为()

- A. 两者可表示的数的范围和精度相同
- B. 前者可表示的数的范围大但精度低
- C. 后者可表示的数的范围大且精度高
- D. 前者可表示的数的范围大且精度高

(4) 下列说法中正确的是()

- A. 采用变形补码进行加减法运算可以避免溢出
- B. 有定点数运算才可能溢出,浮点数运算不会产生溢出
- C. 定点数和浮点数运算都可能产生溢出
- D. 两个正数相加时一定产生溢出

(5) 在规格化浮点运算中,若某浮点数为 $2^5 \times 1.10101$, 其中尾数为补码表示, 则该数()

- A. 不需规格化
- B. 需右移规格化
- C. 需将尾数左移一位规格化
- D. 需将尾数左移两位规格化

(6) 某浮点机, 采用规格化浮点数表示, 阶码用移码表示(最高位代表符号位), 尾数用原码表示。下列() 的表示不是规格化浮点数。

- A. 11111111, 1.1000...00
- B. 00111111, 1.0111...01
- C. 1000001, 0.1111...01
- D. 01111111, 0.1000...10

(7) 下列关于对阶操作说法正确的是 ()

- A. 在浮点加减运算的对阶操作中,若阶码减小,则尾数左移
- B. 在浮点加减运算的对阶操作中,若阶码增大,则尾数右移;若阶码减小,则尾数左移
- C. 在浮点加减运算的对阶操作中,若阶码增大,则尾数右移
- D. 以上都不对

(8) 浮点数的 IEEE754 标准对尾数编码采用的是 ()

- A. 原码
- B. 反码
- C. 补码
- D. 移码

(9) 在 IEEE754 标准规定的 64 位浮点数格式中,符号位为 1 位,阶码为 11 位,尾数为 52 位,则它所能表示的最小规格化负数为 ()

- A. $-(2-2^{52}) \times 2^{-1023}$
- B. $-(2-2^{-52}) \times 2^{+1023}$
- C. -1×2^{-1024}
- D. $-(1-2^{-52}) \times 2^{+2047}$

(10) 按照 IEEE754 标准规定的 32 位单精度浮点数 41 A4C000H 对应的十进制数是 ()

- A. 4.59375
- B. -20.59375
- C. -4.59375
- D. 20.59375

(11) 在浮点数编码表示中, () 在机器数中不出现, 是隐含的。

- A. 阶码
- B. 符号
- C. 尾数
- D. 基数

(12) 如果某单精度浮点数、某原码、某补码、某移码的 32 位机器数均为 0xF0000000。这些数从大到小的顺序是 ()

- A. 浮原补移 B. 浮移补原 C. 移原补浮 D. 移补原浮

(13) 采用规格化的浮点数最主要是为了 ()

- A. 增加数据的表示范围 B. 方便浮点运算
C. 防止运算时数据溢出 D. 增加数据的表示精度

(14) 下列说法中, 正确的是 ()

I. 在计算机中, 表示的数有时会发生溢出, 根本原因是计算机的字长有限

II. 一个正数的补码和这个数的原码表示一样, 而正数的反码是原码各位取反

III. 设有两个正的规格化浮点数 $N_1 = 2^m \times M_1$ 和 $N_2 = 2^n \times M_2$, 若 $m > n$, 则有 $N_1 > N_2$

- A. I B. III C. I、II、III D. I、III

(15) 在浮点运算中, 下溢指的是 ()

- A. 运算结果的绝对值小于机器所能表示的最小绝对值
B. 运算的结果小于机器所能表示的最小负数
C. 运算的结果小于机器所能表示的最小正数
D. 运算结果的最低有效位产生的错误

(16) 判断浮点数运算是否溢出, 取决于 ()

- A. 尾数是否上溢 B. 尾数是否下溢 C. 阶码是否上溢 D. 阶码是否下溢

(17) 假定采用 *IEEE754* 标准中的单精度浮点数格式表示一个数为 $45100000H$, 则该数的值是 ()

- A. $(+1.125)_{10} \times 2^{10}$ B. $(+1.125)_{10} \times 2^{11}$ C. $(+0.125)_{10} \times 2^{11}$ D. $(+0.125)_{10} \times 2^{10}$

(18) 已知 *float* 型采用 *IEEE754* 单精度浮点格式, 若 x, y 为 *float* 型变量, 且 $x = -126, y = 15.75$, 则执行语句 $z = x + y$ 时, 在浮点运算单元中进行对阶操作后的结果是 ()

- A. x 不变, y 为 $010000101, 0.001111110...0$ B. x 不变, y 为 $010000110, 0.001111110...0$
C. y 不变, x 为 $110000101, 0.001111110...0$ D. y 不变, x 为 $110000110, 0.001111110...0$

(19) 在 *IEEE754* 标准浮点格式中, 非规格化浮点数表示为 ()

- A. 阶码为 0, 尾数为任意非 0 的二进制数 B. 阶码为 255, 尾数全为 0
C. 阶码为 255, 尾数为任意非 0 的二进制数 D. 阶码为 0, 尾数全为 0

(20) 在规格化的浮点数中, 将阶码部分的 n 位移码表示改为 n 位补码表示, 其他不变, 则浮点数的表示范围 ()

- A. 增大 B. 减小 C. 不变 D. 都不对

(21) 设浮点数共 12 位。其中阶码含 1 位阶符共 4 位, 以 2 为底, 补码表示; 尾数含 1 位符号共 8 位, 补码表示, 规格化。则该浮点数所能表示的最大正数是 ()

- A. 2^7 B. 2^8 C. $2^8 - 1$ D. $2^7 - 1$

(22) 计算机在进行浮点数的加减运算之前先进行对阶操作, 若 x 的阶码大于 y 的阶码, 则应将 ()

- A. x 的阶码缩小至与 y 的阶码相同, 且使 x 的尾数部分进行算术左移
- B. x 的阶码缩小至与 y 的阶码相同, 且使 x 的尾数部分进行算术右移
- C. y 的阶码扩大至与 x 的阶码相同, 且使 y 的尾数部分进行算术左移
- D. y 的阶码扩大至与 x 的阶码相同, 且使 y 的尾数部分进行算术右移

(23) 若浮点数的尾数用补码表示, 则下列 () 中的尾数是规格化数形式。

- A. 1.11000
- B. 0.01110
- C. 0.01010
- D. 1.00010

(24) 设浮点数的基数为 4, 尾数用原码表示, 则以下 () 是规格化的数。

- A. 1.001101
- B. 0.001101
- C. 1.011011
- D. 0.000010

(25) 下列关于舍入的说法, 正确的是 ()

- I. 不仅仅只有浮点数需要舍入, 定点数在运算时也可能要舍入
- II. 在浮点数舍入中, 只有左规格化时可能要舍入
- III. 在浮点数舍入中, 只有右规格化时可能要舍入
- IV. 在浮点数舍入中, 左、右规格化均可能要舍入
- V. 舍入不一定产生误差

- A. I、III、V
- B. I、II、V
- C. V
- D. I、IV

(26) 计算机中的信息按边界对齐方式存储的含义是 ()

- A. 信息的字节长度必须是整数
- B. 信息单元的字节长度必须是整数
- C. 信息单元的存储地址必须是整数
- D. 信息单元的存储地址是其字节长度的整数倍

(27) 假设已定义三个 `int` 型变量 `x`、`y` 和 `z`, `sizeof(int) = 4`, `double` 型采用 *IEEE754* 双精度浮点数格式, 变量 `dx`、`dy` 和 `dz` 的声明和初始化如下:

`double dx = (double) x;` `double dy = (double) y;` `double dz = (double) z;`

则下列关系表达式中永远为真的是 ()

- I. `dx + dy == (double)(x + y)`
 - II. `dx × dx >= 0`
 - III. `dx/dx == dy/dy`
 - IV. `(dx + dy) + dz == dx + (dy + dz)`
- A. I 和 II B. II 和 III C. III 和 IV D. II 和 IV

(28) 在按字节编址的计算机中, 采用小端方式存储数据, 某静态二维数组 `b` 的声明如下:

`static short b[2][4] = {{2, 9, -1, 5}, {3, 1, -6, 2}};` 若 `b` 的首地址为 `0x8049820`, 采用按行优先存储, 地址 `0x804982c` 中的内容是 ()

- A. `FAH`
- B. `FFH`
- C. `00H`
- D. `05H`

(29) 在按字节编址的计算机中, 数据在存储器中以小端方式存放。假定 `int` 型变量 `i` 的地址为 `08000000H`, `i` 的机器数为 `01234567H`, 地址 `08000000H` 单元的内容是 ()

- A. `01H`
- B. `23H`
- C. `45H`
- D. `67H`

(30) 在按字节编址的 32 位计算机中, 按边界对齐方式为以下结构型变量 x 分配存储空间:

```
struct cont_info{
    char id;
    unsigned post;
    char phone;
}x;
```

若 x 的首地址为 0x8049820, 则成员变量 $phone$ 的起始地址为 ()

- A. 0x8049828 B. 0x8049826 C. 0x8049825 D. 0x8049822

(31) 在按字节编址、采用大端方式的 16 位计算机中, 执行完下列 C 语言程序片段后, m 的低字节地址的内容为 ()

```
int n = 0xA1B6;
unsigned int m = n;
m = m >> 1; //右移
```

- A. 50H B. A1H C. B6H D. DBH

(32) 假定变量 i 、 f 的数据类型分别是 int 、 float 。已知 $i = 12345$, $f = 1.2345 \times 2^3$, 则在一个 32 位机器中执行下列表达式时, 结果为“假”的是 ()

- A. $i == (\text{int})(\text{double})i$ B. $f == (\text{float})(\text{double})f$
C. $i == (\text{int})(\text{float})i$ D. $f == (\text{float})(\text{int})f$

(33) 有以下 C 语言代码段:

```
int m = 13;
float a = 12.6, x;
x = m/2 + a/2;
printf("%f\n", x);
```

执行上述代码后, 输出的 x 值为 ()

- A. 12.000000 B. 12.300000 C. 12.800000 D. 12

(34) 【2009 统考真题】浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判断溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 和 7 (均含 2 位符号位)。若有两个数 $X = 2^7 \times 29/32$ 和 $Y = 2^5 \times 5/8$, 则用浮点加法计算 $X + Y$ 的最终结果是 ()

- A. 001111100010 B. 001110100010 C. 010000010001 D. 发生溢出

(35) 【2010 统考真题】假定变量 i 、 f 和 d 的数据类型分别为 `int`、`float` 和 `double` (`int` 用补码表示, `float` 和 `double` 分别用 *IEEE754* 单精度和双精度浮点数格式表示), 已知 $i = 785$ 、 $f = 1.5678E3$ 、 $d = 1.5E100$, 若在 32 位机器中执行下列关系表达式, 则结果为“真”的是 ()

- I. $i == (\text{int})(\text{float})i$ II. $f == (\text{float})(\text{int})f$
 III. $f == (\text{float})(\text{double})f$ IV. $(d + f) - d == f$

- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. 仅 III 和 IV

(36) 【2011 统考真题】`float` 型数据通常用 *IEEE754* 单精度格式表示。若编译器将 `float` 型变量 x 分配在一个 32 位浮点寄存器 $FR1$ 中, 且 $x = -8.25$, 则 $FR1$ 的内容是 ()

- A. $C1040000H$ B. $C2420000H$ C. $C1840000H$ D. $C1C20000H$

(37) 【2012 统考真题】 *float* 类型 (即 *IEEE754* 单精度浮点数格式) 能表示的最大正整数是 ()

- A. $2^{126} - 2^{103}$ B. $2^{127} - 2^{104}$ C. $2^{127} - 2^{103}$ D. $2^{128} - 2^{104}$

(38) 【2012 统考真题】 某计算机存储器按字节编址,采用小端方式存放数据。假定编译器规定 *int* 型和 *short* 型长度分别为 32 位和 16 位, 并且数据按边界对齐存储。某 C 语言程序段如下:

```
struct{
    int  a;
    char b;
    short c;
}record;
record .a = 273;
```

若 *record* 变量的首地址为 0xC008,地址 0xC008 中的内容及 *record.c* 的地址分别为 ()

- A. 0x00,0xC00D B. 0x00,0xC00E C. 0x11,0xC00D D. 0x11,0xC00E

(39) 【2013 统考真题】 某数采用 *IEEE754* 单精度浮点数格式表示为 C6400000H,则该数的值是 ()

- A. -1.5×2^{13} B. -1.5×2^{12} C. -0.5×2^{13} D. -0.5×2^{12}

(40) 【2014 统考真题】 *float* 型数据常用 *IEEE754* 单精度浮点格式表示。假设两个 *float* 型变量 *x* 和 *y* 分别存放在 32 位寄存器 *f1* 和 *f2* 中,若 $(f1) = CC900000H$, $(f2) = B0C00000H$,则 *x* 和 *y* 之间的关系为 ()

- A. $x < y$ 且符号相同 B. $x < y$ 且符号不同 C. $x > y$ 且符号相同 D. $x > y$ 且符号不同

(41) 【2015 统考真题】下列有关浮点数加减运算的叙述中,正确的是()

- I.对阶操作不会引起阶码上溢或下溢 II.右规和尾数舍入都可能引起阶码上溢
III.左规时可能引起阶码下溢 IV.尾数溢出时结果不一定溢出

A. 仅 II、III B. 仅 I、II、IV C. 仅 I、III、IV D. I、II、III、IV

(42) 【2016 统考真题】某计算机字长为 32 位,按字节编址,采用小端方式存放数据。假定有一个 *double* 型变量,其机器数表示为 1122334455667788H,存放在以 00008040H 开始的连续存储单元中,则存储单元 00008046H 中存放的是()

A. 22H B. 33H C. 77H D. 66H

(43) 【2018 统考真题】IEEE754 单精度浮点格式表示的数中,最小的规格化正数是()

A. 1.0×2^{-126} B. 1.0×2^{-127} C. 1.0×2^{-128} D. 1.0×2^{-149}

(44) 【2018 统考真题】某 32 位计算机按字节编址,采用小端方式。若语句“*inti* = 0;”对应指令的机器代码为“C745FC00000000”,则语句“*inti* = -64;”对应指令的机器代码是()

A. C745FCC0FFFFFF B. C745FC0CFFFFFF
C. C745FCFFFFFFC0 D. C745FCFFFFFF0C

(45) 【2020 统考真题】在按字节编址、采用小端方式的 32 位计算机中,按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间:

```
struct record{
    short x1;
    int x2;
}a;
```

若 a 的首地址为 $2020FE00H$, a 的成员变量 $x2$ 的机器数为 $12340000H$, 则其中 $34H$ 所在存储单元的地址是 ()

- A. $2020FE03H$ B. $2020FE04H$ C. $2020FE05H$ D. $2020FE06H$

(46) 【2020 统考真题】已知有符号整数用补码表示, $float$ 型数据用 $IEEE754$ 标准表示, 假定变量 x 的类型只可能是 int 或 $float$, 当 x 的机器数为 $C8000000H$ 时, x 的值可能是 ()

- A. -7×2^{27} B. -2^{16} C. 2^{17} D. 25×2^{27}

(47) 【2021 统考真题】下列数值中,不能用 $IEEE754$ 浮点格式精确表示的是 ()

- A. 1.2 B. 1.25 C. 2.0 D. 2.5

(48) 【2022 统考真题】 -0.4375 的 $IEEE754$ 单精度浮点数表示为 ()

- A. $BEE00000H$ B. $BF600000H$ C. $BF700000H$ D. $C0E00000H$

(49) 【2023 统考真题】若 *short* 型变量 $x = -8190$, 则 x 的机器数是 ()

- A. $E002H$ B. $E001H$ C. $9FFFH$ D. $9FFE H$

(50) 【2023 统考真题】已知 *float* 型变量用 *IEEE754* 单精度浮点数格式表示。若 *float* 型变量 x 的机器数为 $8020000H$, 则 x 的值是 ()

- A. -2^{-128} B. -1.01×2^{-127} C. -1.01×2^{-126} D. 非数 (*NaN*)

(51) 【2024 统考真题】某科学实验中, 需要使用大量的整型参数, 为了在保证表数精度的基础上提高运算速度, 需要选择合理的数据表示方法。若整型参数 α 、 β 的取值范围分别为 $-2^{20} \sim 2^{20}$ 、 $-2^{40} \sim 2^{40}$, 则在下列选项中, α 、 β 最适合采用的数据表示方法分别是 ()

- A. 32 位整数、32 位整数 B. 单精度浮点数、单精度浮点数
C. 32 位整数、双精度浮点数 D. 单精度浮点数、双精度浮点数

第3章存储系统

3.1 存储器概述 (答案见原书 P84)

(1) 磁盘属于 () 类型的存储器。

- A. 随机存储器 (*RAM*)
- B. 只读存储器 (*ROM*)
- C. 顺序存取存储器 (*SAM*)
- D. 直接存取存储器 (*DAM*)

(2) 存储器的存取周期是指 ()

- A. 存储器的读出时间
- B. 存储器的写入时间
- C. 存储器进行连续读或写操作所允许的最短时间间隔
- D. 存储器进行一次读或写操作所需的平均时间

(3) 设机器字长为 32 位, 一个容量为 16MB 的存储器, *CPU* 按半字寻址, 其可寻址的单元数是 ()

- A. 2^{24}
- B. 2^{23}
- C. 2^{22}
- D. 2^{21}

(4) 相联存储器是按 () 进行寻址的存储器。

- A. 地址指定方式
- B. 堆栈存储方式
- C. 内容指定方式和堆栈存储方式相结合
- D. 内容指定方式和地址指定方式相结合

(5) 在下列几种存储器中, *CPU* 不能直接访问的是 ()

- A. 硬盘
- B. 内存
- C. *Cache*
- D. 寄存器

(6) 若某存储器存储周期为 $250ns$, 每次读出 16 位, 该存储器的数据传输率是 ()

- A. $4 \times 10^6 B/s$ B. $16MB/s$ C. $8 \times 10^6 B/s$ D. $8 \times 2^{20} B/s$

(7) 设机器字长为 64 位, 存储容量为 $128MB$, 若按字编址, 它可寻址的单元个数是 ()

- A. $16MB$ B. $16M$ C. $32M$ D. $32MB$

(8) 计算机的存储器采用分级方式是为了 ()

- A. 方便编程 B. 解决容量、速度、价格三者之间的矛盾
C. 保存大量数据方便 D. 操作方便

(9) 计算机的存储系统是指 ()

- A. RAM B. ROM
C. 主存储器 D. 寄存器、 $Cache$ 、主存储器和外存储器

(10) 在多级存储体系中, “ $Cache$ —主存”结构的作用是解决 () 的问题。

- A. 主存容量不足 B. 主存与辅存速度不匹配
C. 辅存与 CPU 速度不匹配 D. 主存与 CPU 速度不匹配

(11) 存储器分层体系结构中, 存储器从速度最快到最慢的排列顺序是 ()

- A. 寄存器—主存— $Cache$ —辅存 B. 寄存器—主存—辅存— $Cache$
C. 寄存器— $Cache$ —辅存—主存 D. 寄存器— $Cache$ —主存—辅存

(12) 在 *Cache* 和主存构成的两级存储体系中,主存与 *Cache* 同时访问,*Cache* 的存取时间是 $100ns$,主存的存取时间是 $1000ns$,设 *Cache* 和主存同时访问,若希望有效 (平均) 存取时间不超过 *Cache* 存取时间的 115%,则 *Cache* 的命中率至少应为 ()

- A. 90% B. 98% C. 95% D. 99%

(13) 下列关于多级存储系统的说法中,正确的有 ()

I.多级存储系统是为了降低存储成本

II.虚拟存储器中主存和辅存之间的数据调动对任何程序员是透明的

III. *CPU* 只能与 *Cache* 直接交换信息,*CPU* 与主存交换信息也需要经过 *Cache*

- A. 仅 I B. 仅 I 和 II C. I、II 和 III D. 仅 II

(14) 【2011 统考真题】下列各类存储器中,不采用随机存取方式的是 ()

- A. *EPRAM* B. *CD-ROM* C. *DRAM* D. *SRAM*

3.2 主存储器 (答案见原书 P95)

(1) 某一 *SRAM* 芯片,其容量为 1024×8 位,该芯片的地址引脚和数据引脚总数至少是 ()

- A. 8 B. 10 C. 18 D. 13

(2) 某存储器容量为 $32K \times 16$ 位,则 ()

- A. 地址线为 16 根,数据线为 32 根 B. 地址线为 32 根,数据线为 16 根
C. 地址线为 15 根,数据线为 16 根 D. 地址线为 15 根,数据线为 32 根

(3) *DRAM* 的刷新是以 () 为单位的。

- A. 存储单元 B. 行 C. 列 D. 存储字

(4) 动态 *DRAM* 采用下列哪种刷新方式时,不存在死时间?()

- A. 集中刷新 B. 分散刷新 C. 异步刷新 D. 都不对

(5) 下面是有关 *DRAM* 和 *SRAM* 存储器芯片的叙述:

I. DRAM 芯片的集成度比 *SRAM* 芯片的高

II. DRAM 芯片的成本比 *SRAM* 芯片的高

III. DRAM 芯片的速度比 *SRAM* 芯片的快

IV. DRAM 芯片工作时需要刷新, *SRAM* 芯片工作时不需要刷新

通常情况下, 错误的是 ()

- A. *I* 和 *II* B. *II* 和 *III* C. *III* 和 *IV* D. *I* 和 *IV*

(6) 下列关于随机存储器的说法中, 正确的是 ()

- A. 半导体 *RAM* 信息可读可写, 且断电后仍能保持记忆
 B. *DRAM* 是易失性 *RAM*, 而 *SRAM* 中的存储信息是不易失的
 C. 半导体 *RAM* 是易失性 *RAM*, 但只要电源不断电, 所存信息是不丢失的
 D. 半导体 *RAM* 是非易失性 *RAM*

(7) 下列关于存储器的说法中, 不正确的是 ()

- A. 随机存储器和只读存储器不可以统一编址
- B. 在访问随机存储器时, 访问时间与存储单元的物理位置无关
- C. 随机存储器 *RAM* 芯片可随机存取信息, 掉电后信息会丢失
- D. 只读存储器 *ROM* 芯片可随机存取信息, 掉电后信息不会丢失

(8) 关于半导体存储器的组织, 下列选项中 () 是不正确的。

- A. 在同一个存储器中, 每个存储单元的宽度可以不同
- B. 所谓“编址”, 是指给每个存储单元一个编号
- C. 存储器的核心部分是存储阵列, 由若干存储单元构成
- D. 每个存储单元由若干存储元件构成, 每个存储元件存储一个比特位

(9) 关于 *SRAM* 和 *DRAM*, 下列叙述中正确的是 ()

- A. 通常 *SRAM* 依靠电容暂存电荷来存储信息, 电容上有电荷为 1, 无电荷为 0
- B. *DRAM* 依靠双稳态电路的两个稳定状态来分别存储 0 和 1
- C. *SRAM* 速度较慢, 但集成度稍高; *DRAM* 速度稍快, 但集成度低
- D. *SRAM* 速度较快, 但集成度稍低; *DRAM* 速度稍慢, 但集成度高

(10) 某一 *DRAM* 芯片, 采用地址复用技术, 其容量为 1024×8 位, 除电源和接地端外, 该芯片的引脚数最少是 ()

- A. 18
- B. 13
- C. 8
- D. 17

(11) 下列几种存储器中, () 是易失性存储器。

- A. *Cache* B. *EPROM* C. *Flash* 存储器 D. *CD-ROM*

(12) *U* 盘属于 () 类型的存储器。

- A. 高速缓存 B. 主存 C. 只读存储器 D. 随机存取存储器

(13) 某计算机系统, 其操作系统保存于硬盘上, 其内存储器应该采用 ()

- A. *RAM* B. *ROM* C. *RAM* 和 *ROM* D. 均不完善

(14) 下列说法正确的是 ()

- A. *EPROM* 是可改写的, 因此可以作为随机存储器
B. *EPROM* 是可改写的, 但不能作为随机存储器
C. *EPROM* 是不可改写的, 因此不能作为随机存储器
D. *EPROM* 只能改写一次, 因此不能作为随机存储器

(15) 下列 () 是动态半导体存储器的特点。

- I.* 在工作中存储器内容会产生变化
II. 每隔一定时间, 需要根据原存内容重新写入一遍
III. 一次完整的刷新过程需要占用两个存储周期
IV. 一次完整的刷新过程只需要占用一个存储周期

- A. *I*、*III* B. *II*、*III* C. *II*、*IV* D. 只有 *III*

(16) 采用 64×1 位的 *DRAM* 芯片构成 128×8 位的存储器, 若采用异步刷新方式, 每单元刷新间隔不超过 2 ms , 则生成的刷新信号的间隔时间是 (); 若采用集中刷新方式, 则存储器刷新一遍最少用 () 个读 / 写周期。

- A. $7.8\mu\text{s}, 256$ B. $1.9\mu\text{s}, 256$ C. $7.8\mu\text{s}, 128$ D. $1.9\mu\text{s}, 128$

(17) *DRAM* 具有破坏性读出的特性, 需要定时刷新, 下列说法中不正确的是 ()

- A. 刷新是以行为单位的
B. 刷新是为了给 *DRAM* 存储单元中的存储电容重新充电
C. 刷新是通过对存储单元进行“读但不输出数据”, 即“假读”的操作来实现的
D. *DRAM* 内部设有专门的刷新电路, 不会影响到 *CPU* 的正常访存

(18) 下列关于 *DRAM* 和 *SDRAM* 的说法中, 不正确的是 ()

- A. 传统 *DRAM* 芯片与 *CPU* 采用异步方式交换数据
B. *SDRAM* 芯片与 *CPU* 采用同步方式交换数据
C. *DRAM* 需要定期刷新, 而 *SDRAM* 不需要定期刷新
D. *SDRAM* 的行缓冲器通常用 *SRAM* 实现

(19) 每推出新一代 *DRAM* 芯片, 地址线至少增 1 根, 则容量至少提高到原来的 () 倍。

- A. 2 B. 4 C. 8 D. 16

(20) 若一个内存条中有 16 个 *DRAM* 芯片, 每个 *DRAM* 芯片中有 4 个位平面, 每个位平面的存储阵列为 $4096 \text{ 行} \times 4096 \text{ 列}$, 则内存条的总容量为 () *MB*。

- A. 64 B. 128 C. 256 D. 512

(21) 已知单个存储体的存储周期为 $110ns$, 总线传输周期为 $10ns$, 采用低位交叉编址的多模块存储器时, 存储体数应 ()

- A. 小于 11 B. 等于 11 C. 大于 11 D. 大于或等于 11

(22) 一个四体并行低位交叉存储器, 每个模块的容量是 $64K \times 32$ 位, 存取周期为 $200ns$, 总线周期为 $50ns$, 在下述说法中, () 是正确的。

- A. 在 $200ns$ 内, 存储器能向 CPU 提供 256 位二进制信息
B. 在 $200ns$ 内, 存储器能向 CPU 提供 128 位二进制信息
C. 在 $50ns$ 内, 每个模块能向 CPU 提供 32 位二进制信息
D. 以上都不对

(23) 某机器采用四体低位交叉存储器, 现分别执行下述操作:

- ①读取 6 个连续地址单元中存放的存储字, 重复 80 次;
②读取 8 个连续地址单元中存放的存储字, 重复 60 次。

则①、②所花费的时间之比为 ()

- A. 1:1 B. 2:1 C. 4:3 D. 3:4

(24) 假定用若干 $16 K \times 8$ 位的存储芯片组成一个 $64 K \times 8$ 位的存储器, 芯片各单元采用交叉编址方式, 则地址 $BFFFH$ 所在的芯片的最小地址为 ()

- A. $0000H$ B. $0001H$ C. $0002H$ D. $0003H$

(25) 下列关于单体多字存储器的说法中, 不正确的是()

- A. 单体多字存储器主要解决主存容量太小的问题
- B. 单体多字存储器中,每个存储单元存储多个字
- C. 指令与数据的连续存放有利于单体多字存储器提高主存的读 / 写速度
- D. 过多的跳转指令会严重影响单体多字存储器的工作效率

(26) 多模块存储器之所以能提高存储器的访问速度,是因为()

- A. 采用了高速元器件
- B. 各模块有独立的读
- C. 采用了信息预读技术
- D. 模块内各单元地址连续

(27) 某存储器总线的宽度是 64 位, 若用 8 个 $16M \times 8$ 位的 *DRAM* 芯片扩展构成 $16M \times 64$ 位的内存条, 按字节编址, 支持突发传送方式, 某 *double* 型的变量 x 的主存地址为 $20260000H$, 某 *int* 型的变量 y 的主存地址为 $20261006H$, 则下列叙述中错误的是()

- A. 该内存条可不采用多模块交叉编址
- B. *DRAM* 芯片的行缓冲采用的是 *SRAM*
- C. 读取变量 x 只需要一个存取周期
- D. 读取变量 y 需要两个存取周期

(28) 【2010 统考真题】下列有关 *RAM* 和 *ROM* 的叙述中, 正确的是()

- I. *RAM* 是易失性存储器, *ROM* 是非易失性存储器
- II. *RAM* 和 *ROM* 都采用随机存取方式进行信息访问
- III. *RAM* 和 *ROM* 都可用作 *Cache*
- IV. *RAM* 和 *ROM* 都需要进行刷新

- A. 仅 I 和 II
- B. 仅 II 和 III
- C. 仅 I、II 和 III
- D. 仅 II、III 和 IV

(29) 【2012 统考真题】下列关于闪存的叙述中,错误的是()

- A. 信息可读可写,并且读、写速度一样快
- B. 存储元由 *MOS* 管组成,是一种半导体存储器
- C. 掉电后信息不丢失,是一种非易失性存储器
- D. 采用随机访问方式,可替代计算机外部存储器

(30) 【2014 统考真题】某容量为 $256MB$ 的存储器由若干 $4M \times 8$ 位的 *DRAM* 芯片构成,该 *DRAM* 芯片的地址引脚和数据引脚总数是()

- A. 19
- B. 22
- C. 30
- D. 36

(31) 【2015 统考真题】下列存储器中,在工作期间需要周期性刷新的是()

- A. *SRAM*
- B. *SDRAM*
- C. *ROM*
- D. *Flash*

(32) 【2015 统考真题】某计算机使用四体交叉编址存储器,假定在存储器总线上出现的主存地址(十进制)序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是()

- A. 8004 和 8008
- B. 8002 和 8007
- C. 8001 和 8008
- D. 8000 和 8004

(33) 【2017 统考真题】某计算机主存按字节编址,由 4 个 $64M \times 8$ 位的 *DRAM* 芯片采用交叉编址方式构成,并与宽度为 32 位的存储器总线相连,主存每次最多读/写 32 位数据。若 *double* 型变量 x 的主存地址为 $080401AH$, 则读取 x 需要的存储周期数是()

- A. 1
- B. 2
- C. 3
- D. 4

(34) 【2018 统考真题】假定 *DRAM* 芯片中存储阵列的行数为 r 、列数为 c ，对于一个 $2K \times 1$ 位的 *DRAM* 芯片，为保证其地址引脚数最少，并尽量减少刷新开销，则 r 、 c 的取值分别是 ()

- A. 2048, 1 B. 64, 32 C. 32, 64 D. 1, 2048

(35) 【2022 统考真题】某内存条包含 8 个 $8192 \times 8192 \times 8$ 位的 *DRAM* 芯片，按字节编址，支持突发 (*burst*) 传送方式，对应存储器总线宽度为 64 位，每个 *DRAM* 芯片内有一个行缓冲区 (*rowbuffer*)。下列关于该内存条的叙述中，不正确的是 ()

- A. 内存条的容量为 512MB B. 采用多模块交叉编址方式
C. 芯片的地址引脚为 26 位 D. 芯片内行缓冲有 8192×8 位

3.3 主存储器与 CPU 的连接 (答案见原书 P106)

(1) 用存储容量为 $16K \times 1$ 位的存储器芯片来组成一个 $64K \times 8$ 位的存储器，则在字方向和位方向分别扩展了 () 倍。

- A. 4, 2 B. 8, 4 C. 2, 4 D. 4, 8

(2) 80386DX 是 32 位系统，以 4 B 为编址单位，当在该系统中用 8KB ($8K \times 8$ 位) 的存储芯片构造 32KB 的存储体时，应完成存储器的 () 设计。

- A. 位扩展 B. 字扩展 C. 字位扩展 D. 字位均不扩展

(3) 某计算机字长为 16 位，存储器容量为 256KB，CPU 按字寻址，其寻址范围是 ()

- A. $0 \sim 2^{19} - 1$ B. $0 \sim 2^{20} - 1$ C. $0 \sim 2^{18} - 1$ D. $0 \sim 2^{17} - 1$

(4) 4 个 $16\text{ K} \times 8$ 位的存储芯片, 可设计为 () 容量的存储器。

- A. $32\text{ K} \times 16$ 位 B. $16\text{ K} \times 16$ 位 C. $32\text{ K} \times 8$ 位 D. $8\text{ K} \times 16$ 位

(5) 16 片 $2\text{ K} \times 4$ 位的存储器可以设计为 () 存储容量的 16 位存储器。

- A. 16 K B. 32 K C. 8 K D. 2 K

(6) 设 CPU 地址总线有 24 根, 数据总线有 32 根, 用 $512\text{ K} \times 8$ 位的 RAM 芯片构成该机的主存储器, 则该机主存最多需要 () 片这样的存储芯片。

- A. 256 B. 512 C. 64 D. 128

(7) 地址总线 A_0 (高位) $\sim A_{15}$ (低位), 用 $4\text{ K} \times 4$ 位的存储芯片组成 16 KB 存储器, 则产生片选信号的译码器的输入地址线应该是 ()

- A. A_2A_3 B. A_0A_1 C. $A_{12}A_{13}$ D. $A_{14}A_{15}$

(8) 若内存地址区间为 $4000\text{ H} \sim 43\text{ FF H}$, 每个存储单元可存储 16 位二进制数, 该内存区域用 4 片存储器芯片构成, 构成该内存所用的存储器芯片的容量是 ()

- A. $512 \times 16\text{ bit}$ B. $256 \times 8\text{ bit}$ C. $256 \times 16\text{ bit}$ D. $1024 \times 8\text{ bit}$

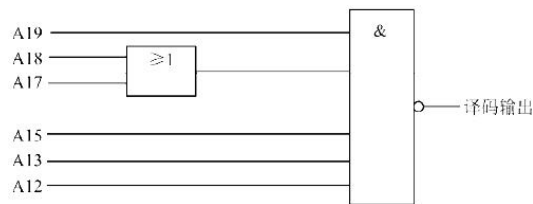
(9) 内存按字节编址, 地址从 $90000H$ 到 $CFFFFH$, 若用存储容量为 $16K \times 8$ 位芯片构成该内存, 至少需要的芯片数是 ()

- A. 2 B. 4 C. 8 D. 16

(10) 若片选地址为 111 时, 选定某一 $32 K \times 16$ 位的存储芯片工作, 则该芯片在存储器中的首地址和末地址分别为 ()

- A. $00000H, 01000H$ B. $38000H, 3FFFFH$ C. $3800H, 3FFFH$ D. $0000H, 0100H$

(11) 如下图所示, 若低位地址 ($A_0 \sim A_{11}$) 接在内存芯片地址引脚上, 高位地址 ($A_{12} \sim A_{19}$) 进行片选译码 (其中 A_{14} 和 A_{16} 未参加译码), 且片选信号低电平有效, 则对图中所示的译码电路, 不属于此译码空间的地址是 ()



- A. $AB000H \sim ABFFFH$ B. $BB000H \sim BBFFFH$
C. $EF000H \sim EFFFFH$ D. $FE000H \sim FEFFFH$

(12) 【2009 统考真题】某计算机主存容量为 $64KB$, 其中 ROM 区为 $4KB$, 其余为 RAM 区, 按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4 K \times 4$ 位的 RAM 芯片来设计该存储器, 需要上述规格的 ROM 芯片数和 RAM 芯片数分别是 ()

- A. 1, 15 B. 2, 15 C. 1, 30 D. 2, 30

(13) 【2010 统考真题】假定用若干 $2K \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器, 则地址 $0B1FH$ 所在芯片的最小地址是 ()

- A. $0000H$ B. $0600H$ C. $0700H$ D. $0800H$

(14) 【2011 统考真题】某计算机存储器按字节编址, 主存地址空间大小为 $64MB$, 现用 $4M \times 8$ 位的 RAM 芯片组成 $32MB$ 的主存储器, 则存储器地址寄存器 MAR 的位数至少是 ()

- A. 22 位 B. 23 位 C. 25 位 D. 26 位

(15) 【20 统考真题】某存储器容量为 $64KB$, 按字节编址, 地址 $4000H \sim 5FFFH$ 为 ROM 区, 其余为 RAM 区。若采用 $8K \times 4$ 位的 $SRAM$ 芯片进行设计, 则需要该芯片的数量是 ()

- A. 7 B. 8 C. 14 D. 16

(16) 【2021 统考真题】某计算机的存储器总线中有 24 位地址线和 32 位数据线, 按字编址, 字长为 32 位。如果 $000000H \sim 3FFFFFFH$ 为 RAM 区, 那么需要 $512 K \times 8$ 位的 RAM 芯片数为 ()

- A. 8 B. 16 C. 32 D. 64

(17) 【2023 统考真题】某计算机的 CPU 有 30 根地址线, 按字节编址, CPU 和主存连接时, 要求主存芯片占满所有可能的存储地址空间, 并且 RAM 区和 ROM 区所分配的空间大小比是 3:1。若 RAM 在低地址区, ROM 在高地址区, 则 ROM 的地址范围是 ()

- A. $00000000H \sim 0FFFFFFFH$ B. $100000000H \sim 2FFFFFFFH$
C. $30000000H \sim 3FFFFFFFH$ D. $400000000H \sim 4FFFFFFFH$

3.4 外部存储器 (答案见原书 P113)

(1) 下列关于磁盘的说法中, 错误的是 ()

- A. 本质上, *U* 盘 (闪存) 是一种只读存储器
- B. *RAID* 技术可以提高磁盘的磁记录密度和磁盘利用率
- C. 未格式化的硬盘容量要大于格式化后的实际容量
- D. 计算磁盘的存取时间时, “寻道时间”和“旋转等待时间”常取其平均值

(2) 下列关于磁盘驱动器的叙述中, 错误的是 ()

- A. 送到磁盘驱动器的地址由磁头号、盘面号和扇区号组成
- B. 能控制磁头移动到指定磁道, 并发回“寻道结束”信号
- C. 能控制磁盘片转过指定的扇区, 并发回“扇区符合”信号
- D. 能控制对指定盘面的指定扇区进行数据的读或写操作

(3) 下列有关磁盘存储器读 / 写操作的叙述中, 错误的是 ()

- A. 最小读 / 写单位可以是一个扇区
- B. 采用直接存储器存取 *DMA* 方式进行输入 / 输出
- C. 按批处理方式进行一个数据块的读 / 写
- D. 磁盘存储器可与 *CPU* 交换盘面上的存储信息

(4) 若磁盘的转速提高一倍, 则 ()

- A. 平均寻道时间减少一半
- B. 存取速度也提高一倍
- C. 平均旋转延迟时间减少一半
- D. 不影响磁盘传输速率

(5) 下列关于固态硬盘 (SSD) 的叙述中,不正确的是 ()

- A. 固态硬盘的读 / 写是以页为单位的
- B. 固态硬盘的擦除是以页为单位的
- C. 固态硬盘的写入速度比读取速度慢很多
- D. 固态硬盘的写入次数有限,引入磨损均衡可以延长使用寿命

(6) 下列关于固态硬盘 (SSD) 的说法中, 错误的是 ()

- A. 基于闪存的存储技术
- B. 随机读 / 写性能明显高于磁盘
- C. 随机写比较慢
- D. 不易磨损

(7) 一个磁盘的转速为 7200 转 / 分,每个磁道有 160 个扇区,每个扇区有 512 字节,则在理想情况下,磁盘每秒传输的数据量是 ()

- A. $7200 \times 160KB/s$
- B. $7200KB/s$
- C. $9600KB/s$
- D. $19200KB/s$

(8) 某磁盘盘面共有 200 个磁道, 盘面总存储容量为 60MB, 磁盘旋转一周的时间为 25ms, 每个磁道有 8 个扇区, 各扇区之间有一间隙, 磁头通过每个间隙需 1.25ms。则磁盘接口所需的最大传输速率是 ()

- A. 10MB/s
- B. 60MB/s
- C. 83.3MB/s
- D. 20MB/s

(9) 【2013 统考真题】某磁盘的转速为 10000 转 / 分,平均寻道时间是 6ms,磁盘传输速率是 20MB/s,磁盘控制器延迟为 0.2ms, 读取一个 4KB 的扇区所需的平均时间约为 ()

- A. 9ms
- B. 9.4ms
- C. 12ms
- D. 12.4ms

(10) 【2013 统考真题】下列选项中,用于提高 *RAID* 可靠性的措施有 ()

*I.*磁盘镜像 *II.*条带化 *III.*奇偶校验 *IV.*增加 *Cache* 机制

A. 仅 *I*、*II* B. 仅 *I*、*III* C. 仅 *I*、*III* 和 *IV* D. 仅 *II*、*III* 和 *IV*

(11) 【2015 统考真题】若磁盘转速为 7200 转 / 分, 平均寻道时间为 $8ms$, 每个磁道包含 1000 个扇区, 则访问一个扇区的平均存取时间大约是 ()

A. $8.1ms$ B. $12.2ms$ C. $16.3ms$ D. $20.5ms$

(12) 【2019 统考真题】下列关于磁盘存储器的叙述中,错误的是 ()

- A. 磁盘的格式化容量比非格式化容量小
- B. 扇区中包含数据、地址和校验等信息
- C. 磁盘存储器的最小读 / 写单位为 1 字节
- D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成

3.5 高速缓冲存储器 (答案见原书 P130)

(1) 在高速缓存系统中, 主存容量为 $12MB$, *Cache* 容量为 $400KB$, 则该存储系统的容量为 ()

A. $12MB + 400KB$ B. $12MB$
C. $12MB - 12MB + 400KB$ D. $12MB - 400KB$

(2) 访问 *Cache* 系统失效时,通常不仅主存向 *CPU* 传送信息,同时还需要将信息写入 *Cache*,在此过程中传送和写入信息的数据宽度各为 ()

A. 块、页 B. 字、字 C. 字、块 D. 块、块

(3) 假定用作 *Cache* 的 *SRAM* 的存取时间为 $2ns$, 用作主存的 *SDRAM* 的存取时间为 $40ns$ 。为使存储系统的平均存取时间达到 $3ns$, 则 *Cache* 命中率应达到 () 左右。

- A. 92.5% B. 85% C. 97.5% D. 99.9%

(4) 关于 *Cache* 的更新策略, 下列说法中正确的是 ()

- A. 读操作时,全写法和回写法在命中时应用
B. 写操作时,回写法和写分配法在命中时应用
C. 读操作时,全写法和写分配法在失效时应用
D. 写操作时,写分配法、非写分配法在失效时应用

(5) 在不同的情况下,需要采用适合的 *Cache* 写策略。对于下面两种情况:

- ①主要运行访问密集型应用,其中包含写操作;
②安全性要求很高,不允许有任何数据不一致的情况发生。

适合它们的写策略分别是 ()

- A. 回写法,全写法 B. 全写法,回写法 C. 回写法,回写法 D. 全写法,全写法

(6) 局部性通常有两种不同的形式:时间局部性和空间局部性。程序员是否编写出高速缓存友好的代码,就取决于这两方面的问题。对于下面这个函数,说法正确的是 ()

```
int sumvec(int v[N]) {
    int i, sum = 0;
    for(i = 0; i < N; i++)
        sum += v[i];
    return sum;
}
```

- A. 对于变量 *i* 和 *sum*, 循环体具有良好的空间局部性
B. 对于变量 *i*、*sum* 和 *v[N]*, 循环体具有良好的空间局部性
C. 对于变量 *i* 和 *sum*, 循环体具有良好的时间局部性
D. 对于变量 *i*、*sum* 和 *v[N]*, 循环体具有良好的时间局部性

(7) 对于下列代码,以下哪种变化将使其具有更好的空间局部性 ()

```

① int i, j, k, sum=0;
② for (i=0; i<n; i++)
③     for (j=0; j<n; j++)
④         for (k=0; k<n; k++)
⑤             sum+=a[k][j][i];
    
```

- A. 将第 2 行与第 3 行互换
 B. 将第 2 行与第 4 行互换
 C. 将第 5 行改为 $sum += a[i][k][j];$
 D. 将第 5 行改为 $sum += a[j][i][k];$

(8) 下列关于高速缓存 *Cache* 的描述中,正确的是 ()

- A. *Cache* 的功能全部由硬件实现
 B. *Cache* 替换时的单位为字
 C. *Cache* 与主存统一编址,即主存地址空间的某一部分属于 *Cache*
 D. 无论何时,*Cache* 中的信息一定与主存中的信息一致

(9) 下列关于 *Cache* 的描述中,比较合理的是 ()

- I. 指令 *Cache* 通常比数据 *Cache* 具有更好的空间局部性
 II. 由于空间局部性,适当增加 *Cache* 块大小通常会提高命中率
 III. 回写法的写主存操作次数少于写直达法

- A. III
 B. I 和 II
 C. II 和 III
 D. I 和 II 和 III

(10) 某虚拟存储器系统采用页式内存管理,使用 *LRU* 页面替换算法,考虑下面的页面访问地址流 (每次访问在一个时间单位中完成):

1	8	1	7	8	2	7	2	1	8	3	8	2	1	3	1	7	1	3	7
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

假定内存容量为 4 个页面,开始时是空的,则页面失效率是 ()

- A. 30%
 B. 5%
 C. 1.5%
 D. 15%

(11) 某个具有两级 *Cache* 的存储系统中,访存时依次通过两级 *Cache*,某程序在执行过程中访存 1000 次,其中访问第一级 *Cache* 时有 40 次不命中,接着访问第二级 *Cache*,仍有 10 次不命中,则总命中率是 ()

- A. 99% B. 96% C. 95% D. 97%

(12) 假设一个 *Cache* 中共有 M 块, 每 K 块组成一个组, 则下列描述中正确的是 ()

- A. 若 $K=1$, 则该 *Cache* 是直接映射 *Cache*
 B. 若 $K=1$, 则该 *Cache* 是全相联映射 *Cache*
 C. 若 $K=M$, 则该 *Cache* 是直接映射 *Cache*
 D. 若 $K>1$ 且 $K<M$, 则该 *Cache* 是 M/K 路组相联映射 *Cache*

(13) 在 *Cache* 中,常用的替换策略有随机法 (*RAND*)、先进先出法 (*FIFO*)、近期最少使用法 (*LRU*), 其中与局部性原理有关的是 ()

- A. 随机法 (*RAND*) B. 先进先出法 (*FIFO*)
 C. 近期最少使用法 (*LRU*) D. 都不是

(14) 某存储系统中,主存容量是 *Cache* 容量的 4096 倍, *Cache* 被分为 64 个块,当主存地址和 *Cache* 地址采用直接映像方式时, 地址映射表的大小应为 () (假设不考虑一致维护和替换算法位)

- A. $6 \times 4097bit$ B. $64 \times 12bit$ C. $6 \times 4096bit$ D. $64 \times 13bit$

(15) 有效容量为 128KB 的 *Cache*, 每块 16 B, 采用 8 路组相联。字节地址为 1234567H 的单元调入该 *Cache*, 则其 *Tag* 应为 ()

- A. 1234H B. 2468H C. 048DH D. 12345H

(16) 某个主存-*Cache* 层次的存储器,按字节编址,其主存容量为 1MB, *Cache* 容量为 16KB,每块有 8 个字,每字 32 位,采用直接地址映像方式, *Cache* 起始字块为第 0 块,若主存地址为 35301H,且 CPU 访问 *Cache* 命中,则在 *Cache* 的第 () (十进制表示) 字块中。

- A. 152 B. 153 C. 154 D. 151

(17) 对于由高速缓存、主存、硬盘构成的三级存储体系, CPU 访问该存储系统时发送的地址为 ()

- A. 高速缓存地址 B. 虚拟地址 C. 主存物理地址 D. 磁盘地址

(18) 设有 8 页的逻辑空间,每页有 1024B,它们被映射到 32 块的物理存储区中,则按字节编址逻辑地址的有效位是 (), 物理地址至少是 () 位。

- A. 10,12 B. 10,15 C. 13,15 D. 13,12

(19) 对于 n 路组相联映射 *Cache*, 在保持 n 及主存和 *Cache* 总容量不变的前提下, 将主存块大小和 *Cache* 块大小都增加一倍,则下列描述中正确的是 ()

- A. 字块内地址的位数增加 1 位,主存 *tag* 字段的位数增加 1 位
B. 字块内地址的位数增加 1 位,主存 *tag* 字段的位数不变
C. 字块内地址的位数减少 1 位,主存 *tag* 字段的位数增加 1 位
D. 字块内地址的位数增加 1 倍,主存 *tag* 字段的位数减少一半

(20) 某计算机的 *Cache* 有 16 行,块大小为 16B,其映射方式可配置为直接映射或 2 路组相联映射,主存按字节编址,主存单元从 0 开始编号。若依次访问下列主存单元,则不论采取上述哪种映射方式都可能引起 *Cache* 冲突的是 ()

- A. 52 号和 102 号单元 B. 48 号和 308 号单元
C. 60 号和 160 号单元 D. 46 号和 236 号单元

(21) 假设主存地址位数为 32 位,按字节编址,主存和 *Cache* 之间采用全相联映射方式,主存块大小为 1 个字,每字 32 位,采用回写 (*WriteBack*) 方式和随机替换策略,则能存放 32K 字数据的 *Cache* 的总容量至少应有 () 位。

- A. 1536K B. 1568K C. 2016K D. 2048K

(22) 假设主存按字节编址, *Cache* 共有 64 行,采用 4 路组相联映射方式,主存块大小为 32 字节,所有编号都从 0 开始。则第 2593 号存储单元所在主存块的 *Cache* 组号是 ()

- A. 1 B. 15 C. 14 D. 4

(23) 假定 *CPU* 通过存储器总线读取数据的过程为:发送地址和读命令需 1 个时钟周期,存储器准备一个数据需 8 个时钟周期,总线上每传送 1 个数据需 1 个时钟周期。若主存和 *Cache* 之间交换的主存块大小为 64B,存取宽度和总线宽度都为 8B,则 *Cache* 的一次缺失损失至少为 () 个时钟周期。

- A. 64 B. 72 C. 80 D. 160

(24) 假定 8 个存储器模块采用交叉方式组织,存储器芯片和总线支持突发传送, *CPU* 通过存储器总线读取数据的过程为:发送首地址和读命令需 1 个时钟周期,存储器准备第一个数据需 8 个时钟周期,随后每个时钟周期总线上传送 1 个数据,可连续传送 8 个数据 (即突发长度为 8)。若主存和 *Cache* 之间交换的主存块大小为 64B,存取宽度和总线宽度都为 8B,则 *Cache* 的一次缺失损失至少为 () 个时钟周期。

- A. 17 B. 20 C. 33 D. 80

(25) 下列关于 *Cache* 替换算法的叙述中,错误的是 ()

- A. 组相联映射和全相联映射都必须考虑如何进行替换
B. 先进先出算法无须对每个 *Cache* 行记录替换信息
C. 直接映射是多对一的映射,无须考虑替换问题
D. *LRU* 算法需要对每个 *Cache* 行记录替换信息

(26) 下列关于 *Cache* 大小、主存块大小和 *Cache* 缺失率之间关系的叙述中, 错误的是 ()

- A. 主存块大小和 *Cache* 容量无直接关系
- B. *Cache* 容量越大, *Cache* 缺失率越低
- C. 主存块大小通常为几十到上百字节
- D. 主存块越大, *Cache* 缺失率越低

(27) 若计算机按字编址, *Cache* 数据区容量为 8K 字, 主存块大小为 512 字, 主存地址空间为 1M 字, 采用 2 路组相联映射方式。每次根据主存地址访问 *Cache* 时, 需要同时进行 () 次 *tag* 位的比较, 每次需要比较的位数是 ()

- A. 2, 8
- B. 2, 16
- C. 4, 8
- D. 4, 16

(28) 【2009 统考真题】假设某计算机的存储系统由 *Cache* 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 *Cache* 缺失 (未命中) 50 次, 则 *Cache* 的命中率是 ()

- A. 5%
- B. 9.5%
- C. 50%
- D. 95%

(29) 【2009 统考真题】某计算机的 *Cache* 共有 16 块, 采用 2 路组相联映射方式 (即每组 2 块)。每个主存块大小为 32B, 按字节编址, 主存 129 号单元所在主存块应装入的 *Cache* 组号是 ()

- A. 0
- B. 2
- C. 4
- D. 6

(30) 【2012 统考真题】假设某计算机按字编址, *Cache* 有 4 行, *Cache* 和主存之间交换的块大小为 1 个字。若 *Cache* 的内容初始为空, 采用二路组相联映射方式和 *LRU* 替换策略, 则访问的主存地址依次为 0, 4, 8, 2, 0, 6, 8, 6, 4, 8 时, 命中 *Cache* 的次数是 () (提示: 本题的映射方式与本书所讲的映射方式不同, 具体见解析部分的“注意”)

- A. 1
- B. 2
- C. 3
- D. 4

(31) 【2016 统考真题】有如下 C 语言程序段：

```
for(k=0; k<1000; k++)
    a[k] = a[k] + 32;
```

若数组 a 和变量 k 均为 int 型, int 型数据占 4 B, 数据 Cache 采用直接映射方式, 数据区大小为 1KB、块大小为 16B, 该程序段执行前 Cache 为空, 则该程序段执行过程中访问数组 a 的 Cache 缺失率约为 ()

- A. 1.25% B. 2.5% C. 12.5% D. 25%

(32) 【2017 统考真题】某 C 语言程序段如下：

```
for(i=0; i<=9; i++) {
    temp=1;
    for(j=0; j<=i; j++) temp*=a[j];
    sum += temp;
}
```

下列关于数组 a 的访问局部性的描述中, 正确的是 ()

- A. 时间局部性和空间局部性皆有 B. 无时间局部性, 有空间局部性
C. 有时间局部性, 无空间局部性 D. 时间局部性和空间局部性皆无

(33) 【2021 统考真题】若计算机主存地址为 32 位, 按字节编址, Cache 数据区大小为 32KB, 主存块大小为 32B, 采用直接映射方式和回写 (WriteBack) 策略, 则 Cache 行的位数至少是 ()

- A. 275 B. 274 C. 258 D. 257

(34) 【2022 统考真题】若计算机主存地址为 32 位, 按字节编址, 某 Cache 的数据区容量为 32KB, 主存块大小为 64B, 采用 8 路组相联映射方式, 该 Cache 中比较器的个数和位数分别为 ()

- A. 8, 20 B. 8, 23 C. 64, 20 D. 64, 23

3.6 虚拟存储器 (答案见原书 P148)

(1) 为使虚拟存储系统有效地发挥其预期的作用,所运行程序应具有的特性是 ()

- A. 不应含有过多的 I/O 操作
- B. 大小不应小于实际的内存容量
- C. 应具有较好的局部性
- D. 顺序执行的指令不应过多

(2) 虚拟存储管理系统的基础是程序访问的局部性原理,此理论的基本含义是 ()

- A. 在程序的执行过程中,程序对主存的访问是不均匀的
- B. 空间局部性
- C. 时间局部性
- D. 代码的顺序执行

(3) 虚拟存储器的常用管理方式有段式、页式、段页式,对于它们在与主存交换信息时的单位,以下表述正确的是 ()

- A. 段式采用“页”
- B. 页式采用“块”
- C. 段页式采用“段”和“页”
- D. 页式和段页式均仅采用“页”

(4) 下列关于虚存的叙述中,正确的是 ()

- A. 对应用程序员透明,对系统程序员不透明
- B. 对应用程序员不透明,对系统程序员透明
- C. 对应用程序员、系统程序员都不透明
- D. 对应用程序员、系统程序员都透明

(5) 在虚拟存储器中,当程序正在执行时,由 () 完成地址映射。

- A. 程序员
- B. 编译器
- C. 装入程序
- D. 操作系统

(6) 采用虚拟存储器的主要目的是 ()

- A. 提高主存储器的存取速度
- B. 扩大主存储器的存储空间
- C. 提高外存储器的存取速度
- D. 扩大外存储器的存储空间

(7) 下列关于 *Cache* 与虚拟存储器的说法中, 错误的有 ()

I. 一次访存时, 页表不命中, 则 *Cache* 一定也不命中

II. *Cache* 不命中的损失要大于页表不命中的损失

III. *Cache* 和 *TLB* 缺失后的处理都由硬件完成

IV. 虚拟存储器的实际容量可以大于主存和辅存的容量之和

- A. *I* 和 *II*
- B. *II* 和 *III*
- C. *I* 和 *III* 和 *IV*
- D. *II* 和 *III* 和 *IV*

(8) 下列有关页式存储管理的叙述中, 错误的是 ()

- A. 进程地址空间被划分成等长的页, 内存被划分成同样大小的页框
- B. 采用全相联映射, 每页可以映射到任何一个空闲的页框中
- C. 当从磁盘装入的信息不足一页时会产生页内碎片
- D. 相对于段式存储管理, 分页式更利于存储保护

(9) 下列有关虚拟存储管理机制中地址转换的叙述, 错误的是 ()

- A. 地址转换是指把逻辑地址转换为物理地址
- B. 通常逻辑地址的位数比物理地址的位数少
- C. 地址转换过程中会发现是否“缺页”
- D. 内存管理单元 (*MMU*) 在地址转换过程中要访问页表项

(10) 下列有关虚拟存储管理机制的页表的叙述中,错误的是()

- A. 系统中每个进程有一个页表
- B. 页表中每个表项与一个虚页对应
- C. 每个页表项中都包含装入位(有效位)
- D. 所有进程都可以访问页表

(11) 下列有关缺页处理的叙述中,错误的是()

- A. 若对应页表项中的有效位为 0,则发生缺页
- B. 缺页是一种外部中断,需要调用操作系统提供的中断服务程序来处理
- C. 缺页处理过程中需根据页表中给出的磁盘地址去读磁盘数据
- D. 缺页处理完后要重新执行发生缺页的指令

(12) 下列关于段式虚拟存储管理的叙述中,错误的是()

- A. 段是逻辑结构上相对独立的程序块,因此段是可变长的
- B. 按程序中实际的段来分配主存,所以分配后的存储块是可变长的
- C. 每个段表项必须记录对应段在主存的起始位置和段的长度
- D. 分段方式对低级语言程序员和编译器来说是透明的

(13) 虚拟存储器中的页表有快表和慢表之分,下面关于页表的叙述中正确的是()

- A. 快表与慢表都存储在主存中,但快表比慢表容量小
- B. 快表采用了优化的搜索算法,因此查找速度快
- C. 快表比慢表的命中率高,因此快表可以得到更多的搜索结果
- D. 快表采用相联存储器件组成,按照查找内容访问,因此比慢表查找速度快

(14) 在某虚拟存储系统中, 访问 *TLB* 和 *Cache* 的时间为 $10ns$, 访问主存的时间为 $100ns$, *TLB* 的命中率为 90% , *TLB* 命中时 *Cache* 的命中率为 90% , 并假设访问主存不会缺页, *Cache* 缺失时的处理时间为 $100ns$, 忽略其他所有时间。则从 *CPU* 给出虚拟地址开始, 到最终获取到数据, 平均需要花费的时间约为 ()

- A. $48ns$ B. $50ns$ C. $52ns$ D. $54ns$

(15) 【2010 统考真题】下列命令组合的一次访存过程中, 不可能发生的是 ()

- A. *TLB* 未命中, *Cache* 未命中, *Page* 未命中 B. *TLB* 未命中, *Cache* 命中, *Page* 命中
C. *TLB* 命中, *Cache* 未命中, *Page* 命中 D. *TLB* 命中, *Cache* 命中, *Page* 未命中

(16) 【2013 统考真题】某计算机主存地址空间大小为 $256MB$, 按字节编址。虚拟地址空间大小为 $4GB$, 采用页式存储管理, 页面大小为 $4KB$, *TLB*(快表) 采用全相联映射, 有 4 个页表项。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 $03FFF180H$ 进行虚实地址变换的结果是 ()

- A. $0153180H$ B. $0035180H$ C. *TLB* 缺失 D. 缺页

(17) 【2015 统考真题】假定编译器将赋值语句“ $x = x + 3;$ ”转换为指令“*addxaddr, 3*”, 其中 *xaddr* 是 *x* 对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 *TLB*, 且 *Cache* 使用直写方式, 则完成该指令功能需要访问主存的次数至少是 ()

- A. 0 B. 1 C. 2 D. 3

(18) 【2015 统考真题】假定主存地址为 32 位,按字节编址,主存和 *Cache* 之间采用直接映射方式,主存块大小为 4 个字,每字 32 位,采用回写方式,则能存放 4K 字数据的 *Cache* 的总容量的位数至少是 ()

- A. 146K B. 147K C. 148K D. 158K

(19) 【2019 统考真题】下列关于缺页处理的叙述中,错误的是 ()

- A. 缺页是在地址转换时 *CPU* 检测到的一种异常
B. 缺页处理由操作系统提供的缺页处理程序来完成
C. 缺页处理程序根据页故障地址从外存读入所缺失的页
D. 缺页处理完成后回到发生缺页的指令的下一条指令执行

(20) 【2020 统考真题】下列关于 *TLB* 和 *Cache* 的叙述中,错误的是 ()

- A. 命中率都与程序局部性有关 B. 缺失后都需要去访问主存
C. 缺失处理都可以由硬件实现 D. 都由 *DRAM* 存储器组成

(21) 【2022 统考真题】某计算机主存地址为 24 位,采用分页虚拟存储管理方式,虚拟地址空间大小为 4GB,页大小为 4KB,按字节编址。当 *CPU* 访问虚拟地址 00082840H 时,虚 - 实地址转换的结果是 ()

虚页号	实页号(页框号)	存在位
82	024H	0
...
129	180H	1
130	018H	1

- A. 得到主存地址 024840H B. 得到主存地址 180840H
C. 得到主存地址 018840H D. 检测到缺页异常

(22) 【2024 统考真题】对于页式虚拟存储管理系统, 下列关于存储器层次结构的叙述中, 错误的是 ()

- A. *Cache* — 主存层次的交换单位为主存块, 主存 — 外存层次的交换单位为页
- B. *Cache* — 主存层次替换算法由硬件实现, 主存 — 外存层次替换算法由软件实现
- C. *Cache* — 主存层次可采用回写法, 主存 — 外存层次通常采用回写法
- D. *Cache* — 主存层次可采用直接映射方式, 主存 — 外存层次通常采用直接映射方式

(23) 【2024 统考真题】某计算机按字节编址, 采用页式虚拟存储管理方式, 虚拟地址为 32 位, 主存地址为 30 位, 页大小为 1KB。若 *TLB* 共有 32 个表项, 采用 4 路组相联映射方式, 则 *TLB* 表项中标记字段的位数至少是 ()

- A. 17
- B. 18
- C. 19
- D. 20

(24) 【2024 统考真题】下列事件中, 不是在 *MMU* 地址转换过程中检测的是 ()

- A. 访问越权
- B. *Cache* 缺失
- C. 页面缺失
- D. *TLB* 缺失

第4章指令系统

4.1 指令系统 (答案见原书 P162)

(1) 下列关于指令及体系结构和指令系统的说法中, 错误的是 ()

- A. 指令集体系结构位于计算机软 / 硬件的交界面上
- B. 指令集体系结构是指低级语言程序员所看到的概念结构和功能特性
- C. 任何程序运行前都要先转换为机器语言程序
- D. 指令系统和机器语言是无关的

(2) 下列有关指令集体系结构 (ISA) 的叙述中, 错误的是 ()

- A. ISA 规定了执行每条指令时所包含的控制信号
- B. ISA 规定了指令获取操作数的方式, 即寻址方式
- C. ISA 规定了所有指令的集合, 包括指令格式和操作类型
- D. ISA 规定了程序可访问的寄存器个数、存储空间大小、编址方式和大端 / 小端方式

(3) 在 CPU 执行指令的过程中, 指令的地址由 () 给出

- A. 程序计数器 (PC)
- B. 指令的地址码字段
- C. 操作系统
- D. 程序员

(4) 运算型指令的寻址与转移型指令的寻址的不同点在于 ()

- A. 前者取操作数, 后者决定程序转移地址
- B. 后者取操作数, 前者决定程序转移地址
- C. 前者是短指令, 后者是长指令
- D. 前者是长指令, 后者是短指令

(5) 程序控制类指令的功能是 ()

- A. 进行算术运算和逻辑运算
- B. 进行主存与 CPU 之间的数据传送
- C. 进行 CPU 和 I/O 设备之间的数据传送
- D. 改变程序执行的顺序

(6) 下列指令中不属于程序控制指令的是 ()

- A. 无条件转移指令 B. 条件转移指令 C. 中断隐指令 D. 循环指令

(7) 下列指令中应用程序不准使用的指令是 ()

- A. 循环指令 B. 转换指令 C. 特权指令 D. 条件转移指令

(8) 堆栈计算机中,有些堆栈零地址的运算类指令在指令格式中不给出操作数的地址,参加的两个操作数来自 ()

- A. 累加器和寄存器 B. 累加器和暂存器
C. 堆栈的栈顶和次栈顶单元 D. 堆栈的栈顶单元和暂存器

(9) 以下叙述错误的是 ()

- A. 为了便于取指,指令的长度通常为存储字长的整数倍
B. 单地址指令是固定长度的指令
C. 单字长指令可加快取指令的速度
D. 单地址指令可能有一个操作数,也可能有两个操作数

(10) 能够完成两个数的算术运算的单地址指令,地址码指明一个操作数,另一个操作数来自 () 方式。

- A. 立即寻址 B. 隐含寻址 C. 间接寻址 D. 基址寻址

(11) 设机器字长为 32 位, 一个容量为 16MB 的存储器, CPU 按半字寻址, 其寻址单元数是 ()

- A. 2^{24} B. 2^{23} C. 2^{22} D. 2^{21}

(12) 某指令系统有 200 条指令, 对操作码采用固定长度二进制编码, 最少需要用 () 位。

- A. 4 B. 8 C. 16 D. 32

(13) 在指令格式中, 采用扩展操作码设计方案的目的是 ()

- A. 减少指令字长度 B. 增加指令字长度
C. 保持指令字长度不变而增加指令的数量 D. 保持指令字长度不变而增加寻址空间

(14) 一个计算机系统采用 32 位单字长指令, 地址码为 12 位, 若定义了 250 条二地址指令, 则还可以有 () 条单地址指令。

- A. 2^{12} B. 2^{13} C. 2^{14} D. 3×2^{13}

(15) 【2017 统考真题】某计算机按字节编址, 指令字长固定且只有两种指令格式, 其中三地址指令 29 条、二地址指令 107 条, 每个地址字段为 6 位, 则指令字长至少应该是 ()

- A. 24 位 B. 26 位 C. 28 位 D. 32 位

(16) 【2022 统考真题】下列选项中,属于指令集体系结构 (ISA) 规定的内容是 ()

I. 指令字格式和指令类型

II. CPU 的时钟周期

III. 通用寄存器个数和位数

IV. 加法器的进位方式

A. 仅 I、II

B. 仅 I、III

C. 仅 II、IV

D. 仅 I、III、IV

(17) 【2022 统考真题】设计某指令系统时,假设采用 16 位定长指令字格式,操作码使用扩展编码方式,地址码为 6 位,包含零地址、一地址和二地址 3 种格式的指令。若二地址指令有 12 条,一地址指令有 254 条,则零地址指令的条数最多为 ()

A. 0

B. 2

C. 64

D. 128

4.2 指令的寻址方式 (答案见原书 P177)

(1) 指令系统中采用不同寻址方式的目的是 ()

A. 提供扩展操作码的可能并降低指令译码难度

B. 可缩短指令字长,扩大寻址空间,提高编程的灵活性

C. 实现程序控制

D. 三者都正确

(2) 采用直接转移的无条件转移指令的功能是将指令中的地址码送入 ()

A. 程序计数器 (PC)

B. 累加器 (ACC)

C. 指令寄存器 (IR)

D. 地址寄存器 (MAR)

(3) 为了缩短指令中某个地址段的位数,有效的方法是采取 ()

A. 立即寻址

B. 变址寻址

C. 间接寻址

D. 寄存器寻址

(4) 简化地址结构的基本方法是尽量采用 ()

- A. 寄存器寻址 B. 隐含地址 C. 直接寻址 D. 间接寻址

(5) 在指令寻址的各种方式中,获取操作数最快的方式是 ()

- A. 直接寻址 B. 立即寻址 C. 寄存器寻址 D. 间接寻址

(6) 假定指令中地址码所给出的是操作数的有效地址,则该指令采用 ()

- A. 直接寻址 B. 立即寻址 C. 寄存器寻址 D. 间接寻址

(7) 设指令中的地址码为 A , 变址寄存器为 X , 程序计数器为 PC , 则变址间址寻址方式的操作数的有效地址 EA 是 ()

- A. $((PC) + A)$ B. $((X) + A)$ C. $(X) + (A)$ D. $(X) + A$

(8) () 便于处理数组问题。

- A. 间接寻址 B. 变址寻址 C. 相对寻址 D. 基址寻址

(9) 堆栈寻址方式中, 设 A 为累加器, SP 为堆栈指示器, M_{sp} 为 SP 指示的栈顶单元。若进栈操作的动作是 $(A) \rightarrow M_{sp}, (SP) - 1 \rightarrow SP$, 则出栈操作的动作应为 ()

- A. $(M_{sp}) \rightarrow A, (SP) + 1 \rightarrow SP$ B. $(SP) + 1 \rightarrow SP, (M_{sp}) \rightarrow A$
C. $(SP) - 1 \rightarrow SP, (M_{sp}) \rightarrow A$ D. $(M_{sp}) \rightarrow A, (SP) - 1 \rightarrow SP$

(10) 相对寻址方式中,指令所提供的相对地址实质上是一种 ()

- A. 立即数
- B. 内存地址
- C. 以本条指令在内存中首地址为基准位置的偏移量
- D. 以下条指令在内存中首地址为基准位置的偏移量

(11) 下列关于堆栈寻址的描述中,错误的是 ()

- A. 可以用内存来实现堆栈
- B. 堆栈寻址要求计算机中设有堆栈
- C. 可以用硬盘来实现堆栈,称为硬堆栈
- D. 可以用寄存器组来实现堆栈

(12) 指令寻址方式有顺序和跳跃两种,采用跳跃寻址方式可以实现 ()

- A. 程序浮动
- B. 程序的无条件浮动和条件浮动
- C. 程序的无条件转移和条件转移
- D. 程序的调用

(13) 寄存器 $R1$ 、 $R2$ 均为 16 位,指令 $MOVR1, [R2]$ 的功能是把内存数据传送至寄存器 $R1$,寻址方式为寄存器间接寻址。 $R2$ 的值为 $1234H$, 内存单元 $1234H$ 存放数据 $56H$, 内存单元 $1235H$ 存放数据 $78H$, 采用小端方式存储。则执行指令后 $R1$ 的值为 ()

- A. $5678H$
- B. $7856H$
- C. $8765H$
- D. $6587H$

(14) 某计算机的字长为 16 位,主存按字编址。转移指令由两个字节组成,采用相对寻址,第一个字节为操作码字段,第二个字节为相对偏移量字段。若某转移指令所在的主存地址为 $4000H$, 相对偏移量字段的内容为 $06H$, 则该转移指令执行后的 PC 值为 ()

- A. $4002H$
- B. $4004H$
- C. $4007H$
- D. $4008H$

(15) 某计算机的指令字长为 16 位, 由低到高第 0~7 位是形式地址 D , 第 8~9 位为寻址特征位 X , 第 10~15 位为操作码。当 $X=00$ 时为直接寻址; 当 $X=01$ 时使用 $X1$ 进行变址寻址; 当 $X=10$ 时使用 $X2$ 进行变址寻址; 当 $X=11$ 时为相对寻址。设 $(PC) = 1234H, (X1) = 0005H, (X2) = 1188H$, 则指令 2222H 的有效地址是 ()

- A. 1256H B. 0027H C. 2222H D. 11AAH

(16) 某机器指令字长为 16 位, 主存按字节编址, 取指令时, 每取一字节, PC 自动加 1。当前指令地址为 2000H, 指令内容为相对寻址的无条件转移指令, 指令中的形式地址为 04H。则取指令后及指令执行后 PC 的内容为 ()

- A. 2000H, 2042H B. 2002H, 2040H C. 2002H, 2042H D. 2000H, 2040H

(17) 某计算机的主存容量为 $4M \times 16$ 位, 且存储字长等于指令字长, 若该机能完成 97 种操作, 操作码位数固定, 且有直接、间接、基址、变址、相对、立即六种寻址方式, 则相对寻址的偏移量范围为 ()

- A. $(-32, +31)$ B. $(-64, +63)$ C. $(-128, +127)$ D. $(-256, +255)$

(18) 对接字寻址的机器, 程序计数器和指令寄存器的位数各取决于 ()

- A. 机器字长, 存储器的字数 B. 存储器的字数, 指令字长
C. 指令字长, 机器字长 D. 地址总线宽度, 存储器的字数

(19) 假设寄存器 R 中的数值为 200, 主存地址为 200 和 300 的地址单元中存放的内容分别是 300 和 400, 则 () 方式下访问到的操作数为 200。

- A. 直接寻址 200 B. 寄存器间接寻址 (R)
C. 存储器间接寻址 (200) D. 寄存器寻址 R

(20) 假设某条指令的第一个操作数采用寄存器间接寻址方式,指令中给出的寄存器编号为 8,8 号寄存器的内容为 $1200H$, 地址为 $1200H$ 的单元中的内容为 $12FCH$, 地址为 $12FCH$ 的单元中的内容为 $38D8H$, 而地址为 $38D8H$ 的单元中的内容为 $88F9H$, 则该操作数的有效地址为 ()

- A. $1200H$ B. $12FCH$ C. $38D8H$ D. $88F9H$

(21) 设相对寻址的转移指令占 3 B, 第一字节为操作码, 第二、三字节为相对位移量(补码表示), 而且数据在存储器中采用以低字节为字地址的存放方式。每当 CPU 从存储器取出一字节时,即自动完成 $(PC) + 1 \rightarrow PC$, 若 PC 的当前值为 240(十进制), 要求转移到 290(十进制), 则转移指令的第二、三字节的机器代码是 ()

- A. $2FH$ 、 FFH B. $D5H$ 、 $00H$ C. $D5H$ 、 FFH D. $2FH$ 、 $00H$

(22) 某计算机按字节编址,采用大端方式,某指令的一个操作数的机器数为 $ABCD00FFH$,该操作数采用基址寻址方式,指令中形式地址(用补码表示)为 $FF00H$, 当前基址寄存器的内容为 $C0000000H$, 则该操作数的 LSB(即 FFH) 存放的地址是 ()

- A. $C000FF00H$ B. $C000FF03H$ C. $BFFFFFF00H$ D. $BFFFFFF03H$

(23) 关于指令的功能及分类,下列叙述中正确的是 ()

- A. 算术与逻辑运算指令,通常完成算术运算或逻辑运算,都需要两个数据
- B. 移位操作指令,通常用于把指定的两个操作数左移或右移一位
- C. 转移指令、子程序调用与返回指令,用于解决数据调用次序的需求
- D. 特权指令,通常仅用于实现系统软件,这类指令一般不提供给用户

(24) 某计算机字长为 16 位, 标志寄存器中存在 ZF 、 SF 、 OF 和 CF 标志位, 采用双字节字长指令字。假定 bgt (大于零转移) 指令的第一个字节指明操作码和寻址方式, 第二个字节为立即数 $Imm8$, 用补码表示。指令功能是: 若跳转条件成立, 则 $PC = PC + 2 + Imm8$; 否则, $PC = PC + 2$ 。则下列叙述中错误的是 ()

- A. 该计算机按字节编址
- B. 若 bgt 指令是无符号整数的比较, 则跳转条件可以是 $ZF + CF = 0$
- C. 若 bgt 指令是有符号整数的比较, 则跳转条件可以是 $SF \oplus OF = 0$
- D. 转移目标地址的范围是相对于 bgt 指令的前 127 条指令到后 128 条指令之间

(25) 【2009 统考真题】某机器字长为 16 位, 主存按字节编址, 转移指令采用相对寻址, 由 2 字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一字节 PC 自动加 1 若某转移指令所在主存地址为 $2000H$, 相对位移量字段的内容为 $06H$, 则该转移指令成功转移后的目标地址是 ()

- A. $2006H$
- B. $2007H$
- C. $2008H$
- D. $2009H$

(26) 【2011 统考真题】偏移寻址通过将某个寄存器的内容与一个形式地址相加来生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ()

- A. 间接寻址
- B. 基址寻址
- C. 相对寻址
- D. 变址寻址

(27) 【2011 统考真题】某机器有一个标志寄存器, 其中有进位 / 借位标志 CF 、零标志 ZF 、符号标志 SF 和溢出标志 OF , 条件转移指令 bgt (无符号整数比较大小时转移) 的转移条件是 ()

- A. $CF + OF = 1$
- B. $\overline{SF} + OF = 1$
- C. $\overline{CF} + \overline{ZF} = 1$
- D. $\overline{CF} + \overline{SF} = 1$

(28) 【2013 统考真题】假设变址寄存器 R 的内容为 $1000H$, 指令中的形式地址为 $2000H$; 地址 $1000H$ 中的内容为 $2000H$, 地址 $2000H$ 中的内容为 $3000H$, 地址 $3000H$ 中的内容为 $4000H$, 则变址寻址方式下访问到的操作数是 ()

- A. $1000H$ B. $2000H$ C. $3000H$ D. $4000H$

(29) 【2014 统考真题】某计算机有 16 个通用寄存器, 采用 32 位定长指令字, 操作码字段 (含寻址方式位) 为 8 位, *Store* 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器, 且偏移量用补码表示, 则 *Store* 指令中偏移量的取值范围是 ()

- A. $-32768 \sim +32767$ B. $-32767 \sim +32768$ C. $-65536 \sim +65535$ D. $-65535 \sim +65536$

(30) 【2016 统考真题】某指令格式如下所示:

OP	M	I	D
----	---	---	---

其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是 ()

- A. $I + D$ B. $(I) + D$ C. $((I) + D)$ D. $((I)) + D$

(31) 【2017 统考真题】下列寻址方式中, 最适合按下标顺序访问一维数组元素的是 ()

- A. 相对寻址 B. 寄存器寻址 C. 直接寻址 D. 变址寻址

(32) 【2018 统考真题】按字节编址的计算机中, 某 *double* 型数组 A 的首地址为 $2000H$, 使用变址寻址和循环结构访问数组 A , 保存数组下标的变址寄存器的初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 *sizeof(double)*, 取完后变址寄存器的内容自动加 1。若某次循环所取元素的地址为 $2100H$, 则进入该次循环时变址寄存器的内容是 ()

- A. 25 B. 32 C. 64 D. 100

(33) 【2019 统考真题】某计算机采用大端方式,按字节编址。某指令中操作数的机器数为 $1234FF00H$,该操作数采用基址寻址方式,形式地址(用补码表示)为 $FF12H$,基址寄存器的内容为 $F000\ 0000H$,则该操作数的 LSB (最低有效字节)所在的地址是()

- A. $F000FF12H$ B. $F000FF15H$ C. $FFFFFF12H$ D. $FFFFFF15H$

(34) 【2020 统考真题】某计算机采用 16 位定长指令字格式,操作码位数和寻址方式位数固定,指令系统有 48 条指令,支持直接、间接、立即、相对 4 种寻址方式。在单地址指令中,直接寻址方式的寻址范围是()

- A. $0 \sim 255$ B. $0 \sim 1023$ C. $-128 \sim 127$ D. $-512 \sim 511$

(35) 【2023 统考真题】某运算类指令中有一个地址码为通用寄存器编号,对应通用寄存器中存放的是操作数或操作数的地址,CPU 区分两者的依据是()

- A. 操作数的寻址方式 B. 操作数的编码方式
C. 通用寄存器的编号 D. 通用寄存器的内容

4.3 程序的机器级代码表示 (答案见原书 P198)

(1) 假设 $R[ax] = FFE8H, R[bx] = 7FE6H$, 执行指令“ $addax, bx$ ”后,寄存器的内容和各标志的变化为()

- A. $R[ax] = 7FCEH, OF = 1, SF = 0, CF = 0, ZF = 0$
B. $R[bx] = 7FCEH, OF = 1, SF = 0, CF = 0, ZF = 0$
C. $R[ax] = 7FCEH, OF = 0, SF = 0, CF = 1, ZF = 0$
D. $R[bx] = 7FCEH, OF = 0, SF = 0, CF = 1, ZF = 0$

(2) 假设 $R[ax] = 7FE6H$, $R[bx] = FFE8H$, 执行指令“*subbx, ax*”后, 寄存器的内存和各标志的变化为 ()

- A. $R[ax] = 8002H, OF = 0, SF = 1, CF = 1, ZF = 0$
- B. $R[bx] = 8002H, OF = 0, SF = 1, CF = 0, ZF = 0$
- C. $R[ax] = 8002H, OF = 1, SF = 1, CF = 0, ZF = 0$
- D. $R[bx] = 8002H, OF = 1, SF = 1, CF = 0, ZF = 0$

(3) 某计算机的数据采用小端方式存储, 减法指令“*subax, imm*”的功能为 $(ax) - imm \rightarrow ax$, *imm* 表示立即数, 该指令对应的十六进机器码为 2dxxxx(从左到右以字节为单位由低地址到高地址), 其中 xxxx 对应 *imm* 的机器码, 若 $imm = -3$, $(ax) = 7$, 则该指令对应的机器码和执行后 *OF* 标志位的值分别为 ()

- A. 2DFFFDH, 0
- B. 2DFFFDH, 1
- C. 2DFDFFH, 0
- D. 2DFDFFH, 1

(4) 某 C 语言程序中对数组变量 *b* 的声明为“*int b[10][5];*”, 有一条 *for* 语句如下:

```
for(i=0; i<10; i++)
    for(j=0; j<5; j++)
        sum+=b[i][j];
```

假设执行到“*sum += b[i][j];*”时, *sum* 的值在 *eax* 中, *b[i][0]* 所在地址在 *edx* 中, *j* 在 *esi* 中, 则“*sum += b[i][j];*”所对应的指令 (*Intel* 格式) 可以是 ()

- A. *addwordptreax, [edx + esi * 4]*
- B. *addwordptreax, [edx + esi * 4]*
- C. *addwordptreax, [edx + esi * 2]*
- D. *addwordptreax, [esi + edx * 2]*

(5) 假设 $R[eax] = 080480B4H$, $R[ebx] = 00000011H$, $M[080480F8H] = 000000B0H$, 执行指令“*imuleax, [eax + ebx * 4], -16*”后, 寄存器或存储单元的内容变为 ()

- A. $R[eax] = 00000B00H$
- B. $M[080480F8H] = 00000B00H$
- C. $R[eax] = FFFF500H$
- D. $M[080480F8H] = FFFF500H$

(6) 程序 P 中有两个变量 i 和 j , 被分别分配在寄存器 eax 和 edx 中, P 中语句“ $if(i < j) \{ \dots \}$ ”对应的指令序列如下 (左边为指令地址, 中间为机器代码, 右边为汇编指令), 其中 jle 指令的偏移量为 $0d$:

804846a 39 c2 *cmp dword ptr edx, eax*

804846c 7e 0d *jle xxxxxxxx*

若执行到 804846aH 处的 *cmp* 指令时, $i = 105, j = 100$, 则 *jle* 指令执行后将会转到 () 处的指令执行。

- A. 8048461H B. 804846eH C. 8048479H D. 804847bH

(7) 假定全局数组 a 的声明为 *double a[8]*, a 的首地址为 80498c0H, 变量 i 被分配在寄存器 ecx 中, 现要将 $a[i]$ 取到 eax 相应宽度的寄存器中, 则所用的汇编指令是 ()

- A. *moveax, [ecx4 + 80498c0H]* B. *moveax, ecx4 + 80498c0H*
C. *moveax, [ecx8 + 80498c0H]* D. *moveax, ecx * 8 + 80498c0H*

(8) 子程序调用指令的完整功能是 ()

- A. 改变堆栈指针 SP 的值
B. 改变程序计数器 PC 的值
C. 改变程序计数器 PC 的值和堆栈指针 SP 的值
D. 改变地址寄存器的值

(9) 下列关于选择结构语句“*if (comp_A) then statement_B; else statement_C*”对应的机器级代码表示的叙述中, 错误的是 ()

- A. 一定包含一条无条件转移指令
B. 一定包含一条条件转移指令 (分支指令)
C. 计算 *comp_A* 的代码段一定在条件转移指令之前
D. 对应 *statement_B* 的代码一定在对应 *statement_C* 的代码之前

(10) 下列关于循环结构语句的机器级代码表示的叙述中,错误的是()

- A. 一定至少包含一条条件转移指令
- B. 不一定包含无条件转移指令
- C. 循环结束条件可以用一条比较指令 *CMP* 来实现
- D. 循环体内执行的指令不包含条件转移指令

(11) 下列有关调用指令(转子指令)的叙述中,错误的是()

- A. 与高级语言源程序中的过程调用相对应,一次过程调用对应一条调用指令
- B. 指令执行时必须保留返回地址,调用指令随后一条指令的地址是返回地址
- C. 嵌套调用时返回地址通常保存在栈中,非嵌套调用时可保存在特定寄存器中
- D. 指令执行时将无条件转移到目标地址处,转移目标地址无须在指令中明显给出

(12) 假设 *P* 为调用过程, *Q* 为被调用过程, 程序在 32 位 x86 处理器上执行, 以下是 C 语言程序中过程调用所涉及的操作:

- ①过程 *Q* 保存 *P* 的现场, 并为非静态局部变量分配空间
- ②过程 *P* 将实参存放到 *Q* 能访问到的地方
- ③过程 *P* 将返回地址存放到特定处, 并转跳到 *Q* 执行
- ④过程 *Q* 取出返回地址, 并转跳回到过程 *P* 执行
- ⑤过程 *Q* 恢复 *P* 的现场, 并释放局部变量所占空间
- ⑥执行过程 *Q* 的函数体

过程调用的正确执行步骤是()

- A. 2→3→4→1→5→6
- B. ②→③→①→④→⑥→⑤
- C. 2→3→1→6→5→4
- D. ②→③→①→⑤→⑥→④

4.4 CISC 和 RISC 的基本概念 (答案见原书 P204)

(1) 以下关于 RISC 的叙述中()是正确的。

- A. RISC 机一定采用流水技术
- B. 采用流水技术的机器一定是 RISC 机
- C. RISC 机的兼容性优于 CISC 机
- D. CPU 配备很少的通用寄存器

(2) 下列描述中,不符合 *RISC* 指令系统特点的是 ()

- A. 指令长度固定,指令种类少
- B. 寻址方式种类尽量减少,指令功能尽可能强
- C. 增加寄存器的数目,以尽量减少访存次数
- D. 选取使用频率最高的一些简单指令,以及很有用但不复杂的指令

(3) 以下有关 *RISC* 的描述中,正确的是 ()

- A. 为了实现兼容,新设计的 *RISC* 是从原来 *CISC* 系统的指令系统中挑选一部分实现的
- B. 采用 *RISC* 技术后,计算机的体系结构又恢复到了早期的情况
- C. *RISC* 的主要目标是减少指令数,因此允许以增加每条指令的功能的方法来减少指令系统所包含的指令数
- D. 以上说法都不对

(4) 下列关于 *RISC* 和 *CISC* 的说法中,不正确的是 ()

- A. *RISC* 指令格式种类少,寻址方式少,指令长度固定,更容易用硬布线电路实现
- B. *CISC* 指令功能强大,寻址方式多,便于汇编程序员编程
- C. *CISC* 指令格式种类多,所以更有利于编译优化
- D. *RISC* 多数指令能够在—个时钟周期内完成,特别适合流水线工作

(5) 【2009 统考真题】下列关于 *RISC* 的说法中,错误的是 ()

- A. *RISC* 普遍采用微程序控制器
- B. *RISC* 大多数指令在一个时钟周期内完成
- C. *RISC* 的内部通用寄存器数量相对 *CISC* 多
- D. *RISC* 的指令数、寻址方式和指令格式种类相对 *CISC* 少

第5章中央处理器

5.1 CPU的功能和基本结构(答案见原书 P210)

(1) 下列部件不属于控制器的是()

- A. 指令寄存器
- B. 程序计数器
- C. 程序状态字寄存器
- D. 时序电路

(2) 通用寄存器是()

- A. 可存放指令的寄存器
- B. 可存放程序状态字的寄存器
- C. 本身具有计数逻辑与移位逻辑的寄存器
- D. 可编程指定多种功能的寄存器

(3) CPU中保存当前正在执行指令的寄存器是()

- A. 指令寄存器
- B. 指令译码器
- C. 数据寄存器
- D. 地址寄存器

(4) 在 CPU 中,跟踪后继指令地址的寄存器是()

- A. 指令寄存器
- B. 程序计数器
- C. 地址寄存器
- D. 状态寄存器

(5) 条件转移指令执行时所依据的条件来自()

- A. 指令寄存器
- B. 标志寄存器
- C. 程序计数器
- D. 地址寄存器

(6) 在所谓的 n 位 CPU 中, n 是指()

- A. 地址总线线数
- B. 数据总线线数
- C. 控制总线线数
- D. I/O 线数

(7) 在 *CPU* 的寄存器中, () 对用户是透明的。

- A. 程序计数器 B. 状态寄存器 C. 指令寄存器 D. 通用寄存器

(8) 指令 () 从主存储器中读出。

- A. 总是根据程序计数器 B. 有时根据程序计数器,有时根据转移指令
C. 根据地址寄存器 D. 有时根据程序计数器,有时根据地址寄存器

(9) 程序计数器 (*PC*) 属于 ()

- A. 运算器 B. 控制器 C. 存储器 D. *ALU*

(10) 下面有关程序计数器 (*PC*) 的叙述中,错误的是 ()

- A. *PC* 中总是存放指令地址
B. *PC* 的值由 *CPU* 在执行指令过程中进行修改
C. 转移指令时,*PC* 的值总是修改为转移指令的目标地址
D. *PC* 的位数一般和存储器地址寄存器 (*MAR*) 的位数一样

(11) 程序计数器 (*PC*) 可以使用字节地址或字地址,其位数取决于 ()

I. 存储器的容量 *II.* 机器字长 *III.* 指令字长

- A. *I* B. *I* 和 *III* C. *II* 和 *III* D. *I*、*II* 和 *III*

(12) 下列关于程序计数器 (PC) 的叙述中,错误的是 ()

- A. 机器指令中不能显式地使用 PC
- B. 指令顺序执行时, PC 值总是自动加 1
- C. 调用指令执行后, PC 值一定是被调用过程的入口地址
- D. 无条件转移指令执行后, PC 值一定是转移目标地址

(13) 指令寄存器 (IR) 的位数取决于 ()

- A. 存储器的容量
- B. 机器字长
- C. 指令字长
- D. 存储字长

(14) CPU 中通用寄存器的位数取决于 ()

- A. 存储器的容量
- B. 指令的长度
- C. 机器字长
- D. 都不对

(15) CPU 中的通用寄存器, ()

- A. 只能存放数据,不能存放地址
- B. 可以存放数据和地址
- C. 既不能存放数据,又不能存放地址
- D. 可以存放数据和地址,还可以替代指令寄存器

(16) 在计算机系统中表征程序和机器运行状态的部件是 ()

- A. 程序计数器
- B. 累加寄存器
- C. 中断寄存器
- D. 程序状态字寄存器

(17) 状态寄存器用来存放 ()

- A. 算术运算结果
- B. 逻辑运算结果
- C. 运算类型
- D. 算术、逻辑运算及测试指令的结果状态

(18) 下列关于标志寄存器 (*EFLAGS* 寄存器或 *PSW* 寄存器) 的叙述中, 错误的是 ()

- A. 不需要像通用寄存器那样, 对标志寄存器进行编号
- B. 条件转移指令根据其中的一些的标志位来确定 *PC* 的值
- C. 可以通过指令直接访问标志寄存器并修改它的值
- D. 可以用它来存放执行指令得到的各种标志信息

(19) 控制器的全部功能是 ()

- A. 产生时序信号
- B. 从主存中取出指令并完成指令操作码译码
- C. 从主存中取出指令、分析指令并产生有关的操作控制信号
- D. 都不对

(20) 指令译码是指对 () 进行译码。

- A. 整条指令
- B. 指令的操作码字段
- C. 指令的地址码字段
- D. 指令的地址

(21) *CPU* 中不包括 ()

- A. 存储器地址寄存器
- B. 指令寄存器
- C. 地址译码器
- D. 程序计数器

(22) 以下关于计算机系统的概念中,正确的是()

I. CPU 不包括地址译码器

II. CPU 的程序计数器中存放的是操作数地址

III. CPU 中决定指令执行顺序的是程序计数器

IV. CPU 的状态寄存器对用户是完全透明的

A. I、III

B. III、IV

C. II、III、IV

D. I、III、IV

(23) 间址周期结束时,CPU 内寄存器 MDR 中的内容为()

A. 指令

B. 操作数地址

C. 操作数

D. 无法确定

(24) 一台 32 位计算机的主存储器容量为 4GB,按字节编址,存储字长和指令字长都是 32 位。若指令按字边界对齐存放,则程序计数器 (PC) 的宽度至少是()

A. 32 位

B. 30 位

C. 8 位

D. 34 位

(25) 【2010 统考真题】下列寄存器中,汇编语言程序员可见的是()

A. 存储器地址寄存器 (MAR)

B. 程序计数器 (PC)

C. 存储器数据寄存器 (MDR)

D. 指令寄存器 (IR)

(26) 【2016 统考真题】某计算机的主存空间为 4GB,字长为 32 位,按字节编址,采用 32 位字长指令字格式。若指令按字边界对齐存放,则程序计数器 (PC) 和指令寄存器 (IR) 的位数至少分别是()

A. 30、30

B. 30、32

C. 32、30

D. 32、32

5.2 指令执行过程 (答案见原书 P217)

(1) 计算机工作的最小时间周期是 ()

- A. 时钟周期 B. 指令周期 C. 存取周期 D. 总线周期

(2) 采用 *DMA* 方式传递数据时,每传送一个数据就要占用 ()

- A. 指令周期 B. 时钟周期 C. 中断周期 D. 存取周期

(3) 指令周期是指 ()

- A. *CPU* 从主存取出一条指令的时间
B. *CPU* 执行一条指令的时间
C. *CPU* 从主存取出一条指令加上执行这条指令的时间
D. 时钟周期时间

(4) 在一条无条件跳转指令的指令周期内, 程序计数器 (*PC*) 的值被修改了 () 次。

- A. 1 B. 2 C. 3 D. 不能确定

(5) 在取指操作后, 程序计数器中存放的是 ()

- A. 当前指令的地址 B. 程序中指令的数量
C. 已执行的指令数量 D. 下一条指令的地址

(6) 下列关于指令执行的叙述中, 错误的是 ()

- A. 指令周期的第一个操作是取指令
- B. 为了进行取指操作, 控制器需要得到相应的指令
- C. 取指操作是控制器自动进行的
- D. 指令执行时有些操作是相同或相似的

(7) 下列关于指令执行过程的叙述中, 错误的是 ()

- A. 取指操作是控制器固有的功能, 不需要在操作码控制下完成
- B. 所有指令的取指操作是相同的
- C. 在指令长度相同的情况下, 所有指令的取指操作是相同的
- D. 中断周期是在指令执行完成后出现的

(8) 下列关于指令周期的叙述中, 错误的是 ()

- A. 指令周期的第一个阶段一定是取指令阶段
- B. 乘法指令和加法指令的指令周期总是一样长
- C. 一个指令周期可由若干时钟周期组成
- D. 单周期 *CPU* 中的指令周期就是一个时钟周期

(9) 下列关于 *CPU* 时钟信号的叙述中, 错误的是 ()

- A. 处理器总是每来一个时钟信号就开始执行一条新的指令
- B. 边沿触发指状态单元总在时钟上升沿或下降沿开始改变状态
- C. 时钟周期以相邻状态单元之间最长组合逻辑延迟为基准确定
- D. 每个时钟周期称为一个节拍, 机器的主频就是时钟周期的倒数

(10) 下列关于多周期 *CPU* 的说法中, 合理的是 ()

- A. 执行各条指令的机器周期数相同, 各机器周期的长度均匀
- B. 执行各条指令的机器周期数相同, 各机器周期的长度可变
- C. 执行各条指令的机器周期数可变, 各机器周期的长度均匀
- D. 执行各条指令的机器周期数可变, 各机器周期的长度可变

(11) 以下关于间址周期的描述中, 正确的是 ()

- A. 所有指令的间址操作都是相同的
- B. 凡是存储器间接寻址的指令, 它们的操作都是相同的
- C. 对于存储器间接寻址和寄存器间接寻址, 它们的操作是不同的
- D. 都不对

(12) () 可区分存储单元中存放的是指令还是数据。

- A. 控制器
- B. 运算器
- C. 存储器
- D. 数据通路

(13) 下列关于单周期 *CPU* 和多周期 *CPU* 的描述中, 错误的是 ()

- A. 执行任何指令, 单周期 *CPU* 的时间都要小于多周期 *CPU*
- B. 单周期 *CPU* 部件冗余大, 时间利用率低, 多周期 *CPU* 则刚好相反
- C. 单周期 *CPU* 在 1 个时钟周期内执行一条指令, $CPI = 1$
- D. 多周期 *CPU* 至少需要 2 个时钟周期才能执行一条指令, $CPI > 1$

(14) 【2009 统考真题】冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中, *CPU* 区分它们的依据是 ()

- A. 指令操作码的译码结果
- B. 指令和数据的寻址方式
- C. 指令周期的不同阶段
- D. 指令和数据所在的存储单元

(15) 【2011 统考真题】假定不采用 *Cache* 和指令预取技术,且机器处于“开中断”状态,则在下列有关指令执行的叙述中, 错误的是 ()

- A. 每个指令周期中 *CPU* 都至少访问内存一次
- B. 每个指令周期一定大于或等于一个 *CPU* 时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

5.3 数据通路的功能和基本结构 (答案见原书 P229)

(1) 下列不属于 *CPU* 数据通路结构的是 ()

- A. 单总线结构
- B. 多总线结构
- C. 部件内总线结构
- D. 专用数据通路结构

(2) 下列有关数据通路的叙述中,错误的是 ()

- A. 数据通路由若干组合逻辑元件和时序逻辑元件连接而成
- B. 数据通路的功能由控制部件送出的控制信号决定
- C. *ALU* 属于操作元件,用于执行各类算术和逻辑运算
- D. 通用寄存器属于状态元件,但不包含在数据通路中

(3) 数据通路是由操作元件和状态元件通过总线或分散方式连接而成的进行数据存储、处理和传送的路径,下列部件中属于状态元件的是()

- I.算术逻辑部件 II.译码器 III.移位寄存器 IV.存储器数据寄存器
- A. I、III B. II、III、IV C. III、IV D. I、IV

(4) 下列关于采用单总线方式的 CPU 的说法中,正确的是()

- A. ALU 的两个输入端及输出端都可与总线相连
- B. ALU 的两个输入端可与总线相连,但输出端需通过暂寄存器与总线相连
- C. ALU 的一个输入端可与总线相连,其输出端也可与总线相连
- D. ALU 只能有一个输入端可与总线相连,另一输入端需通过暂寄存器与总线相连

(5) CPU 内部如果多个部件共享一条总线,则每个部件与总线之间需设置一个常用的器件, CPU 控制该器件的状态,实现某个部件与总线的连接或断开。该器件是()

- A. 触发器 B. 多路选择器 C. 三态门 D. 与非门

(6) CPU 内部电路通常采用总线连接方式,总线上信号流动的原则是()

- I.每个时刻只有一个器件发出信息 II.每个时刻有一个或多个器件发出信息
- III.每个时刻只有一个器件接收信息 IV.每个时刻有一个或多个器件接收信息
- A. I、III B. I、IV C. II、III D. II、IV

(7) 下列关于单周期数据通路和多周期数据通路的说法中,正确的是()

- A. 单周期 *CPU* 的 *CPI* 总比多周期 *CPU* 的 *CPI* 大
- B. 单周期 *CPU* 的时钟周期通常比多周期 *CPU* 的时钟周期短
- C. 在一条指令执行过程中,单周期 *CPU* 中的每个控制信号取值一直不变,而多周期 *CPU* 中的控制信号可能会发生改变
- D. 在一条指令执行过程中,单周期数据通路和多周期数据通路中的每个部件都可使用多次

(8) 采用 *CPU* 内部总线的数据通路与不采用 *CPU* 内部总线的数据通路相比,()

- A. 前者性能较高
- B. 后者的数据冲突问题较严重
- C. 前者的硬件量大,实现难度高
- D. 以上说法都不对

(9) *CPU* 的读/写控制信号的作用是()

- A. 决定数据总线上的数据流方向
- B. 控制存储器操作的读/写类型
- C. 控制流入、流出存储器信息的方向
- D. 以上都是

(10) 【2016 统考真题】单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中,错误的是()

- A. 可以采用单总线结构数据通路
- B. 处理器时钟频率较低
- C. 在指令执行过程中控制信号不变
- D. 每条指令的 *CPI* 为 1

(11) 【2021 统考真题】下列关于数据通路的叙述中,错误的是()

- A. 数据通路包含 ALU 等组合逻辑(操作) 元件
- B. 数据通路包含寄存器等时序逻辑(状态) 元件
- C. 数据通路不包含用于异常事件检测及响应的电路
- D. 数据通路中的数据流动路径由控制信号进行控制

(12) 【2023 统考真题】数据通路由组合逻辑元件(操作元件) 和时序逻辑元件(状态元件) 组成。下列给出的元件中, 属于操作元件的是()

- I. 算术逻辑单元 (ALU)
- II. 程序计数器 (PC)
- III. 通用寄存器组 ($GPRs$)
- IV. 多路选择器 (MUX)

- A. 仅 I、II
- B. 仅 I、IV
- C. 仅 II、III
- D. 仅 I、II、IV

5.4 控制器的功能和工作原理(答案见原书 P245)

(1) 取指令操作()

- A. 受到上一条指令的操作码控制
- B. 受到当前指令的操作码控制
- C. 受到下一条指令的操作码控制
- D. 是控制器固有的功能,不需要在操作码控制下进行

(2) 在组合逻辑控制器中, 微操作控制信号的形成主要与() 信号有关。

- A. 指令操作码和地址码
- B. 指令译码信号和时钟
- C. 操作码和条件码
- D. 状态信息和条件

(3) 在微程序控制器中,形成微程序入口地址的是 ()

- A. 机器指令的地址码字段
- B. 微指令的微地址码字段
- C. 机器指令的操作码字段
- D. 微指令的微操作码字段

(4) 下列不属于微指令结构设计所追求目标的是 ()

- A. 提高微程序的执行速度
- B. 提供微程序设计的灵活性
- C. 缩短微指令的长度
- D. 增大控制存储器的容量

(5) 微程序控制器的速度比硬布线控制器慢,主要是因为 ()

- A. 增加了从磁盘存储器读取微指令的时间
- B. 增加了从主存读取微指令的时间
- C. 增加了从指令寄存器读取微指令的时间
- D. 增加了从控制存储器读取微指令的时间

(6) 下列关于微指令的说法中, 错误的是 ()

I. 字段直接编码方式可用较少的二进制位数表示较多的微操作命令。如果有两组互斥的微命令, 每组微命令的个数分别为 4 和 9, 则分别只需要 2 位和 4 位即可

II. 直接编码方式不用进行译码操作, 微命令字段中的每一位都代表一个微命令

III. 垂直型微指令用较长的微程序结构换取较短的微指令结构, 所以在执行效率和灵活性两方面都高于水平型微指令

IV. 在字段间接编码方式中, 某个字段的译码输出需要依靠另外某个字段的输出

- A. *II*
- B. *I*、*II*
- C. *I*、*III*
- D. *II*、*III*、*IV*

(7) 微程序控制存储器属于 () 的一部分。

- A. 主存
- B. 外存
- C. CPU
- D. 缓存

(8) 以下说法中, 正确的是 ()

- A. 采用微程序控制器是为了提高速度
- B. 控制存储器由高速 *RAM* 电路组成
- C. 微指令计数器决定指令执行顺序
- D. 一条微指令存放在控制器的一个控制存储器单元中

(9) 假设计算机 *A* 要求应用在实时性要求较高的场合, 计算机 *B* 要求有较好的灵活性和可修改性, 则两台计算机的控制器应采用的设计方式分别是 ()

- A. 计算机 *A* 和 *B* 都应采用硬布线控制器
- B. 计算机 *A* 和 *B* 都应采用微程序控制器
- C. 计算机 *A* 应采用硬布线控制器, 计算机 *B* 应采用微程序控制器
- D. 计算机 *A* 应采用微程序控制器, 计算机 *B* 应采用硬布线控制器

(10) 在微程序控制器中, 控制部件向执行部件发出的某个控制信号称为 ()

- A. 微程序
- B. 微指令
- C. 微操作
- D. 微命令

(11) 在微程序控制器中, 机器指令与微指令的关系是 ()

- A. 每条机器指令由一条微指令来执行
- B. 每条机器指令由若干微指令组成的微程序来解释执行
- C. 若干机器指令组成的程序可由一个微程序来执行
- D. 每条机器指令由若干微程序执行

(12) 水平型微指令与垂直型微指令相比, ()

- A. 前者一次只能完成一个基本操作
- B. 后者一次只能完成一个基本操作
- C. 两者都是一次只能完成一个基本操作
- D. 两者都能一次完成多个基本操作

(13) 垂直型微指令的特点是 ()

- A. 控制信号经过编码产生
- B. 强调并行控制功能
- C. 采用微操作码
- D. 微指令格式垂直表示

(14) 下列关于微命令的描述中,正确的是 ()

- A. 同一 *CPU* 周期中,可以同时出现的微命令叫相容性微命令
- B. 同一 *CPU* 周期中,可以同时出现的微命令叫互斥性微命令
- C. 在执行过程中可能会引起总线冲突的微命令叫互斥性微命令
- D. 同一 *CPU* 周期中,不允许同时出现的微命令叫相容性微命令

(15) 在微程序控制方式中,以下说法正确的是 ()

- I.* 采用微程序控制器的处理器称为微处理器
- II.* 每条机器指令由一段微程序来解释执行
- III.* 在微指令的编码中,效率最低的是直接编码方式
- IV.* 水平型微指令能充分利用数据通路的并行结构

- A. *I*、*II*
- B. *II*、*IV*
- C. *I*、*III*
- D. *III*、*IV*

(16) 下列说法中, 正确的是 ()

- I.* 微程序控制方式和硬布线方式相比较,前者可以使指令的执行速度更快
- II.* 若采用微程序控制方式, 则可用 μPC 取代 *PC*
- III.* 控制存储器可以用 *ROM* 实现
- IV.* 指令周期也称 *CPU* 周期

- A. *I*、*III*
- B. *II*、*III*
- C. 只有 *III*
- D. *I*、*III*、*IV*

(17) 通常一条指令对应一个微程序,一个微程序的周期对应一个 ()

- A. 指令周期 B. 主频周期 C. 机器周期 D. 工作周期

(18) 下列部件中属于控制部件的是 ()

I.指令寄存器 II.操作控制器 III.程序计数器 IV.状态条件寄存器

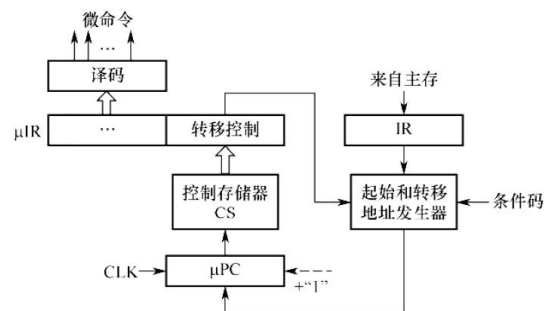
- A. I、II、IV B. I、II、III C. I、II、IV D. I、II、III、IV

(19) 为了确定下一条微指令的地址,通常采用断定方式,其基本思想是 ()

- A. 用程序计数器 (PC) 来产生后继微指令地址
B. 用微程序计数器 (μPC) 来产生后继微指令地址
C. 通过微指令后继地址字段由设计者指定或转移控制字段控制产生后继微指令地址
D. 通过指令中指定一个专门字段来控制产生后继微指令地址

(20) 下图是某微程序控制器的基本结构, μPC 是一个 8 位寄存器, μIR 是一个 32 位寄存器, 一条机器指令平均由 4 条不同的微指令组成 (不含取指部分), 则下列描述中错误的是 ()

- A. 微指令的地址形成方式是增量法
B. 条件码来自标志寄存器
C. 最多有 64 条不同的机器指令
D. 控制存储器的容量为 1KB



(21) 【2009 统考真题】相对于微程序控制器,硬布线控制器的特点是()

- A. 指令执行速度慢,指令功能的修改和扩展容易
- B. 指令执行速度慢,指令功能的修改和扩展难
- C. 指令执行速度快,指令功能的修改和扩展容易
- D. 指令执行速度快,指令功能的修改和扩展难

(22) 【2012 统考真题】某计算机的控制器采用微程序控制方式,微指令中的操作控制字段采用字段直接编码法,共有 33 个微命令,构成 5 个互斥类,分别包含 7、3、12、5 和 6 个微命令,则操作控制字段至少有()

- A. 5 位
- B. 6 位
- C. 15 位
- D. 33 位

(23) 【2014 统考真题】某计算机采用微程序控制器,共有 32 条指令,公共的取指令微程序包含 2 条微指令,各指令对应的微程序平均由 4 条微指令组成,采用断定法(下地址字段法)确定下条微指令地址,则微指令中下地址字段的位数至少是()

- A. 5
- B. 6
- C. 8
- D. 9

(24) 【2017 统考真题】下列关于主存储器(MM)和控制存储器(CS)的叙述,错误的是()

- A. MM 在 CPU 外,CS 在 CPU 内
- B. MM 按地址访问,CS 按内容访问
- C. MM 存储指令和数据,CS 存储微指令
- D. MM 用 RAM 和 ROM 实现,CS 用 ROM 实现

(25) 【2019 统考真题】下列有关处理器时钟脉冲信号的叙述中,错误的是()

- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
- B. 时钟脉冲信号的宽度称为时钟周期, 时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令

(26) 【2019 统考真题】某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$, 其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件, 该指令在取数及执行过程中需要用到的是()

- I.通用寄存器组 (GPRs)
- II.算术逻辑单元 (ALU)
- III.存储器 (Memory)
- IV.指令译码器 (ID)

- A. 仅 I、II
- B. 仅 I、II、III
- C. 仅 II、III、IV
- D. 仅 I、III、IV

(27) 【2021 统考真题】下列寄存器中, 汇编语言程序员可见的是()

- I.指令寄存器
- II.微指令寄存器
- III.基址寄存器
- IV.标志 / 状态寄存器

- A. 仅 I、II
- B. 仅 I、IV
- C. 仅 II、IV
- D. 仅 III、IV

(28) 【2021 统考真题】通常情况下,将汇编语言程序中实现特定功能的指令序列定义成一条伪指令 (pseudoinstruction)。在下列选项中, CPU 能理解并直接执行的是()

- I.伪指令
- II.微指令
- III.机器指令
- IV.汇编指令

- A. 仅 I、IV
- B. 仅 II、III
- C. 仅 III、IV
- D. 仅 I、III、IV

5.5 异常和中断机制 (答案见原书 P252)

(1) 以下关于“自陷”(Trap) 异常的叙述中,错误的是 ()

- A. “自陷”是人为预先设定的一种特定处理事件
- B. 可由访管指令或自陷指令的执行进入“自陷”
- C. 一定是出现某种异常情况才会发生“自陷”
- D. “自陷”发生后 CPU 将进入操作系统内核程序执行

(2) 指令执行结果出现异常而引起的中断是 ()

- A. I/O 中断
- B. 机器校验中断
- C. 故障
- D. 外部中断

(3) 访问主存时发生的校验错误属于 ()

- A. 故障
- B. 自陷
- C. 终止
- D. 外中断

(4) 以下关于异常和中断响应的叙述中,错误的是 ()

- A. 异常事件检测由 CPU 在执行每一条指令的过程中进行
- B. 中断请求检测由 CPU 在每条指令执行结束、取下条指令之前进行
- C. CPU 检测到异常事件后所做的处理和检测到中断请求后所做的处理完全相同
- D. CPU 在中断响应时会关中断、保存断点和程序状态并转到相应的中断服务程序

(5) 以下给出的事件中,无须异常处理程序进行处理的是 ()

- A. 缺页故障
- B. Cache 缺失
- C. 地址越界
- D. 除数为 0

(6)CPU 响应中断的时间是 ()

- A. 一条指令执行结束
- B. I/O 设备提出中断
- C. 取指周期结束
- D. 指令周期结束

(7) 下列选项中, 不属于外部中断事件的是 ()

- A. 采样定时到
- B. 无效操作码
- C. 打印机缺纸
- D. 键盘缓冲满

(8) 下列关于异常 / 中断机制与进程上下文切换机制的叙述中, 错误的是 ()

- A. 进程上下文切换和异常 / 中断响应两者都会产生异常控制流
- B. 进程上下文切换后, CPU 执行的是另一个进程的代码
- C. 响应异常 / 中断请求后, CPU 执行的是内核程序的代码
- D. 进程上下文切换和异常 / 中断响应处理都通过执行内核程序实现

(9) 异常或中断处理结束后, 返回到被中断原程序继续执行的指令地址称为“断点”, 以下关于“断点”的说法中, 错误的是 ()

- A. “陷阱”类异常的断点为陷阱指令下一条指令的地址
- B. “故障”类异常的断点为当前发生异常的指令的地址
- C. 外部中断的断点总是当前刚执行完的指令的地址
- D. “终止”类异常的断点可以是当前指令或下一条指令的地址

(10) 【2015 统考真题】内部异常 (内中断) 可分为故障 (*fault*)、陷阱 (*trap*) 和终止 (*abort*) 三类。下列有关内部异常的叙述中, 错误的是 ()

- A. 内部异常的产生与当前执行指令相关
- B. 内部异常的检测由 *CPU* 内部逻辑实现
- C. 内部异常的响应发生在指令执行过程中
- D. 内部异常处理后返回到发生异常的指令继续执行

(11) 【2016 统考真题】异常是指令执行过程中在处理器内部发生的特殊事件, 中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中, 错误的是 ()

- A. “访存时缺页”属于中断
- B. “整数除以 0”属于异常
- C. “*DMA* 传送结束”属于中断
- D. “存储保护错”属于异常

(12) 【2020 统考真题】下列关于“自陷” (*Trap*, 也称陷阱) 的叙述中, 错误的是 ()

- A. 自陷是通过陷阱指令预先设定的一类外部中断事件
- B. 自陷可用于实现程序调试时的断点设置和单步跟踪
- C. 自陷发生后 *CPU* 将转去执行操作系统内核相应程序
- D. 自陷处理完成后返回到陷阱指令的下一条指令执行

(13) 【2021 统考真题】异常事件在当前指令执行过程中进行检测, 中断请求则在当前指令执行后进行检测。下列事件中, 相应处理程序执行后, 必须回到当前指令重新执行的是 ()

- A. 系统调用
- B. 页缺失
- C. *DMA* 传送结束
- D. 打印机缺纸

5.6 指令流水线 (答案见原书 P267)

(1) 下列关于流水 CPU 基本概念的描述中,正确的是 ()
 A.流水 CPU 是以空间并行性为原理构造的处理器
 B.流水 CPU 一定是 RISC 机器
 C.流水 CPU 一定是多媒体 CPU
 D.流水 CPU 是一种非常经济而实用的时间并行技术
 2.流水 CPU 是由一系列称为“段”的处理线路组成的。一个 m 段流水线稳定时的 CPU 的吞吐能力,与 m 个并行部件的 CPU 的吞吐能力相比, ()

- A. 具有同等水平的吞吐能力
 B. 不具备同等水平的吞吐能力
 C. 吞吐能力大于前者的吞吐能力
 D. 吞吐能力小于前者的吞吐能力

(3) 设指令由取指、分析、执行 3 个子部件完成,并且每个子部件的时间均为 Δt ,若采用常规标量单流水线处理机 (即处理机的度为 1),连续执行 12 条指令,共需 ()

- A. $12\Delta t$ B. $14\Delta t$ C. $16\Delta t$ D. $18\Delta t$

(4) 设指令由取指、分析、执行 3 个子部件完成,并且每个子部件的时间均为 Δt ,若采用度为 4 的超标量流水线处理机,连续执行 20 条指令,只需 ()

- A. $3\Delta t$ B. $5\Delta t$ C. $7\Delta t$ D. $9\Delta t$

(5) 设指令流水线把一条指令分为取指、分析、执行 3 部分,且 3 部分的时间分别是 $t_{\text{取指}} = 2ns, t_{\text{分析}} = 2ns, t_{\text{执行}} = 1ns$,则 100 条指令全部执行完毕需 ()

- A. $163ns$ B. $183ns$ C. $193ns$ D. $203ns$

(6) 下列关于指令流水线设计的叙述中,错误的是()

- A. 指令执行过程中的各个子功能都需要包含在某个流水段中
- B. 所有子功能都必须按一定的顺序经过流水段
- C. 虽然各子功能所用实际时间可能不同,但经过每个流水段的时间都一样
- D. 任何时候各个流水段的功能部件都不可能执行空操作

(7) 下列关于流水段寄存器的叙述中,正确的是()

- A. 指令译码得到的控制信号需通过流水段寄存器传递到下一个流水段
- B. 每个流水段之间的流水段寄存器位数一定相同
- C. 每个流水段之间的流水段寄存器存放的信息一定相同
- D. 用户程序可以通过指令指定访问哪个流水段寄存器

(8) 下列关于流水线数据通路的描述中,错误的是()

- A. 每个流水段由执行指令子功能的功能部件和流水段寄存器组成
- B. 控制信号仅作用在功能部件上,时钟信号仅作用在流水段寄存器上
- C. 在没有阻塞的情况下,PC 的值在每个时钟周期都会改变
- D. 取指令阶段和指令译码阶段不需要控制信号的控制

(9) 下列关于结构冒险的叙述中,正确的是()

- I. 结构冒险是指同时有多条指令使用同一个资源
- II. 避免结构冒险的基本做法是使每个指令在相同流水段中使用相同的部件
- III. 重复设置功能部件可以避免结构冒险
- IV. 数据 Cache 和指令 Cache 分离可解决两条指令同时分别取数据和取指令的冒险

- A. I、II、IV
- B. I、II、III
- C. I、III、IV
- D. I、II、III 和 IV

(10) 指令流水线中出现数据相关时流水线将受阻, () 可解决数据相关问题。

- A. 增加硬件资源
- B. 采用旁路技术
- C. 采用分支预测技术
- D. 以上都可以

(11) 下列关于数据冒险和转发技术的叙述中, 正确的是 ()

I. 并非所有数据冒险都能通过转发技术解决

II. 五段流水线中 *load-use* 数据冒险会引起至少一个时钟周期的阻塞

III. 前面的分支指令和后面的 *ALU* 运算指令之间肯定不会发生数据冒险

- A. I、II
- B. I、III
- C. II、III
- D. I、II、III

(12) 下列关于数据冒险的叙述中, 正确的是 ()

I. 数据冒险是指后面指令用到的数据还未来得及由前面的指令产生

II. 在发生数据冒险的指令之间插入空操作指令能避免数据冒险

III. 采用转发 (旁路) 技术可以解决一部分数据冒险现象

IV. 通过编译器调整指令顺序可解决部分数据冒险

- A. I、II、IV
- B. I、II、III
- C. I、III、IV
- D. I、II、III 和 IV

(13) 下列指令序列中, 指令 *I1* 和 *I3*、*I2* 和 *I3* 之间发生数据相关。假定采用“取指、译码/取数、执行、访存、写回”五段流水线方式, 那么在采用转发技术时, 需要在指令 *I3* 之前加入 () 条空操作指令才能使这段程序不发生数据冒险。

<i>I1</i> : add r1, r0, 1	# (r1) ← (r0) + 1
<i>I2</i> : load r3, 12(r2)	# (r3) ← M[(r2) + 12]
<i>I3</i> : add r5, r3, r1	# (r5) ← (r3) + (r1)

- A. 3
- B. 2
- C. 0
- D. 1

(14) 下面有关控制冒险的描述中,错误的是()

- I.无条件转移指令不会发生控制冒险
- II.在分支指令加入若干空操作可以避免控制冒险
- III.采用转发(旁路)技术,可以解决部分控制冒险
- IV.中断或异常也会引起控制冒险
- V.流水段的数量与控制冒险引发的开销无关

A. I、IV、V B. III、V C. I、III、IV D. I、II、V

(15) 下列关于分支预测的叙述中,正确的是()

- I.分支预测技术可用于处理控制冒险和数据冒险
- II.使用静态预测技术时,每次的预测结果是一样的
- III.动态预测技术通常比静态预测技术的预测成功率高
- IV.若预测错误,已被错误放入流水线执行的指令必须被舍弃

A. I、II、III B. I、II、IV C. II、III、IV D. I、II、III、IV

(16) 下列关于指令流水线和指令执行效率的叙述中,错误的是()

- A. 加倍增加流水段个数不能成倍提高指令执行效率
- B. 为了提高指令吞吐率,流水段个数应无限制地增加
- C. 增加流水段个数,可以提高处理器的时钟频率
- D. 随着流水段个数的增加,流水段之间缓存开销的比例增大

(17) 设指令由取指、分析、执行三个子部件完成,并且每个子部件的时间均为 t ,若采用常规标量单流水线处理机,连续执行8条指令,则该流水线的加速比为()

A. 3 B. 2 C. 3.4 D. 2.4

(18) 下列关于超标量流水线的描述中,不正确的是 ()

- A. 在一个时钟周期内一条流水线可执行一条以上的指令
- B. 一条指令分为多段指令由不同电路单元完成
- C. 超标量通过内置多条流水线来同时执行多个处理器,其实质是以空间换取时间
- D. 超标量流水线仅仅是指运算操作并行

(19) 关于流水线技术的说法中, 错误的是 ()

- A. 超标量技术需要配置多个功能部件和指令译码电路等
- B. 与超标量技术和超流水线技术相比,超长指令字技术对优化编译器要求更高,而无其他硬件要求
- C. 在按序流动的流水线中,只可能出现 *RAW* 相关
- D. 超流水线技术相当于将流水线再分段,从而提高每个周期内功能部件的使用次数

(20) 【2009 统考真题】某计算机的指令流水线由 4 个功能段组成,指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 $90ns$ 、 $80ns$ 、 $70ns$ 和 $60ns$, 则该计算机的 *CPU* 周期至少是 ()

- A. $90ns$
- B. $80ns$
- C. $70ns$
- D. $60ns$

(21) 【2010 统考真题】下列不会引起指令流水线阻塞的是 ()

- A. 数据旁路
- B. 数据相关
- C. 条件转移
- D. 资源冲突

(22) 【2011 统考真题】下列指令系统的特点中,有利于实现指令流水线的是 ()

I. 指令格式规整且长度一致

II. 指令和数据按边界对齐存放

III. 只有 *LOAD/STORE* 指令才能对操作数进行存储访问

- A. 仅 *I*、*II*
- B. 仅 *II*、*III*
- C. 仅 *I*、*III*
- D. *I*、*II*、*III*

(23) 【2013 统考真题】某 CPU 主频为 1.03GHz , 采用 4 级指令流水线, 每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中, 没有发生任何流水线阻塞, 此时流水线的吞吐率为 ()

- A. 0.25×10^9 条指令 / 秒
- B. 0.97×10^9 条指令 / 秒
- C. 1.0×10^9 条指令 / 秒
- D. 1.03×10^9 条指令 / 秒

(24) 【2014 统考真题】采用指令 Cache 与数据 Cache 分离的主要目的是 ()

- A. 降低 Cache 的缺失损失
- B. 提高 Cache 的命中率
- C. 降低 CPU 平均访存时间
- D. 减少指令流水线资源冲突

(25) 【2016 统考真题】在无转发机制的五段基本流水线 (取指、译码 / 读寄存器、运算、访写回寄存器) 中, 下列指令序列存在数据冒险的指令对是 ()

I1: add R1, R2, R3; (R2) + (R3) → R1
 I2: add R5, R2, R4; (R2) + (R4) → R5
 I3: add R4, R5, R3; (R5) + (R3) → R4
 I4: add R5, R2, R6; (R2) + (R6) → R5

- A. I1 和 I2
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

(26) 【2017 统考真题】下列关于超标量流水线特性的叙述中, 正确的是 ()

- I. 能缩短流水线功能段的处理时间
- II. 能在一个时钟周期内同时发射多条指令
- III. 能结合动态调度技术提高指令执行并行性

- A. 仅 II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II 和 III

(27) 【2017 统考真题】下列关于指令流水线数据通路的叙述中,错误的是 ()

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件 (*ALU*)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路单独组成

(28) 【2018 统考真题】若某计算机最复杂指令的执行需要完成 5 个子功能, 分别由功能部件 *A~E* 实现, 各功能部件所需时间分别为 $80ps$ 、 $50ps$ 、 $50ps$ 、 $70ps$ 和 $50ps$, 采用流水线方式执行指令, 流水段寄存器延时为 $20ps$, 则 *CPU* 时钟周期至少为 ()

- A. $60ps$
- B. $70ps$
- C. $80ps$
- D. $100ps$

(29) 【2019 统考真题】在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中, 执行如下指令序列, 其中 *s0*、*s1*、*s2*、*s3* 和 *t2* 表示寄存器编号。下列指令对中, 不存在数据冒险的是 ()

I1: add s2, s1, s0	// $R[s2] \leftarrow R[s1] + R[s0]$
I2: load s3, 0(t2)	// $R[s3] \leftarrow M[R[t2] + 0]$
I3: add s2, s2, s3	// $R[s2] \leftarrow R[s2] + R[s3]$
I4: store s2, 0(t2)	// $M[R[t2] + 0] \leftarrow R[s2]$

- A. I1 和 I3
- B. I2 和 I3
- C. I2 和 I4
- D. I3 和 I4

(30) 【2020 统考真题】下列给出的处理器类型中, 理想情况下, *CPI* 为 1 的是 ()

I. 单周期 *CPU* II. 多周期 *CPU* III. 基本流水线 *CPU* IV. 超标量流水线 *CPU*

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 II、IV
- D. 仅 III、IV

(31) 【2023 统考真题】在采用“取指、译码/取数、执行、访存、写回”5 段流水线的 RISC 处理器中,执行如下指令序列(第一列为指令序号),其中 $s0$ 、 $s1$ 、 $s2$ 、 $s3$ 和 $t2$ 表示寄存器编号。若采用转发(旁路)技术处理数据冒险,采用硬件阻塞方式处理控制冒险,则在指令 $I1I4$ 的执行过程中,发生流水线阻塞的指令有()

I1	add	$s2, s1, s0$	// $R[s2] \leftarrow R[s1] + R[s0]$
I2	load	$s3, 0(s2)$	// $R[s3] \leftarrow M[R[s2] + 0]$
I3	beq	$t2, s3, L1$	// if $R[t2] = R[s3]$ jump to L1
I4	addi	$t2, t2, 20$	// $R[t2] \leftarrow R[t2] + 20$
I5	L1:		

若采用转发(旁路)技术处理数据冒险,采用硬件阻塞方式处理控制冒险,则在指令 $I1 \sim I4$ 的执行过程中,发生流水线阻塞的指令有()

- A. 仅 $I3$ B. 仅 $I2$ 、 $I4$ C. 仅 $I3$ 、 $I4$ D. 仅 $I2$ 、 $I3$ 、 $I4$

(32) 【2024 统考真题】对于采用“取指、译码/取数、执行、访存、写回”5 段流水线的 RISC 数据通路,下列关于指令流水线数据冒险处理的叙述中,错误的是()

- A. 相邻两条指令中的操作数相关可能引起数据冒险
 B. 在数据相关的指令间插入“气泡”能避免数据冒险
 C. 所有数据冒险都可以通过加入转发(旁路)电路解决
 D. 所有数据冒险都能通过调整指令顺序和插入 *nop* 指令解决

5.7 多处理器的基本概念(答案见原书 P278)

(1) 按照 Flynn 提出的计算机系统分类方法,多处理机属于()

- A. SISD B. SIMD C. MISD D. MIMD

(2) 从体系结构的角度来看,阵列处理机属于()结构。

- A. SISD B. SIMD C. MIMD D. MISD

(3) 以下机器中,不属于 *SIMD* 结构的是 ()

- A. 并行处理机 B. 阵列处理机 C. 向量处理机 D. 标量流水线处理机

(4) 具有一个控制部件和多个处理单元的计算机系统属于 () 结构。

- A. *SISD* B. *SIMD* C. *MISD* D. *MIMD*

(5) 下列关于超线程 (*HT*) 技术的描述中,正确的是 ()

- A. 超线程技术可以令四核的 *IntelCorei7* 处理器变成八核
 B. 超线程是一项硬件技术,能使系统性能大幅提升,与操作系统和应用软件无关
 C. 含有超线程技术的 *CPU* 需要芯片组的支持才能发挥技术优势
 D. 超线程模拟出的每个 *CPU* 核都具有独立的资源,各自工作互不干扰

(6) 双核 *CPU* 和超线程 *CPU* 的共同点是 ()

- A. 都有两个内核 B. 都能同时执行两个运算
 C. 都包含两个 *CPU* D. 都不会出现争抢资源的现象

(7) 下列关于双核技术的叙述中,正确的是 ()

- A. 双核是指主板上有两个 *CPU* B. 双核是利用超线程技术实现的
 C. 双核是指在 *CPU* 上集成两个运算核心 D. 双核 *CPU* 是时间并行的并行计算

(8) 下列有关多核 CPU 和单核 CPU 的描述中,错误的是 ()

- A. 双核的频率为 $2.4GHz$, 那么其中每个核心的频率也是 $2.4GHz$
- B. 采用双核 CPU 可以降低计算机系统的功耗和体积
- C. 多核 CPU 共用一组内存,数据共享
- D. 所有程序在多核 CPU 上运行速度都快

(9) 下列关于多核 CPU 的描述中,正确的是 ()

- A. 各核心完全对称,拥有各自的 *Cache*
- B. 任何程序都可以同时多个核心上运行
- C. 一颗 CPU 中集成了多个完整的执行内核,可同时进行多个运算
- D. 只有使用了多核 CPU 的计算机,才支持多任务操作系统

(10) 下列关于多处理器的说法中, 正确的是 ()

I. 一般采用偶数路 CPU, 如 2 路、4 路、6 路等

II. NUMA 构架比 UMA 构架的运算扩展性要强

III. UMA 构架需要解决的重要问题是 *Cache* 一致性

- A. I
- B. I 和 II
- C. I 和 III
- D. I、II 和 III

(11) 下列关于多核处理器的说法中, 不正确的是 ()

- A. 多核处理器并不能使单线程程序的执行速度加快
- B. 多核处理器在 *Flynn* 分类法中属于 *MIMD* 系统
- C. 多核处理器实际上就是在一个 CPU 上集成了多个控制核心
- D. 多核处理器通常比单核处理器的能耗更高

(12) 【2022 统考真题】下列关于并行处理技术的叙述中,不正确的是()

- A. 多核处理器属于 *MIMD* 结构
- B. 向量处理器属于 *SIMD* 结构
- C. 硬件多线程技术只可用于多核处理器
- D. *SMP* 中所有处理器共享单一物理地址空间

第6章总线

6.1 总线概述 (答案见原书 P285)

(1) 挂接在总线上的多个部件 ()

- A. 只能分时向总线发送数据,并只能分时从总线接收数据
- B. 只能分时向总线发送数据,但可同时从总线接收数据
- C. 可同时向总线发送数据,并同时从总线接收数据
- D. 可同时向总线发送数据,但只能分时从总线接收数据

(2) 在总线上,同一时刻 ()

- A. 只能有一个主设备控制总线传输操作
- B. 只能有一个从设备控制总线传输操作
- C. 只能有一个主设备和一个从设备控制总线传输操作
- D. 可以有多个主设备控制总线传输操作

(3) 在计算机系统中,多个系统部件之间信息传送的公共通路称为总线,就其所传送的信息的性质而言,下列 () 不是在公共通路上传送的信息。

- A. 数据信息
- B. 地址信息
- C. 系统信息
- D. 控制信息

(4) 系统总线用来连接 ()

- A. 寄存器和运算器部件
- B. 运算器和控制器部件
- C. CPU、主存和外设部件
- D. 接口和外部设备

(5) 计算机使用总线结构便于增减外设,同时 ()

- A. 减少信息传输量
- B. 提高信息的传输速度
- C. 减少信息传输线的条数
- D. 提高信息传输的并行性

(6) 间址寻址第一次访问内存所得到的信息经系统总线的 () 传送到 CPU。

- A. 数据总线
- B. 地址总线
- C. 控制总线
- D. 总线控制器

(7) 系统总线中地址线的功能是 ()

- A. 选择主存单元地址
- B. 选择进行信息传输的设备
- C. 选择外存地址
- D. 指定主存和 I/O 设备接口电路的地址

(8) 系统总线中控制线的主要功能是 ()

- A. 提供时序信号
- B. 提供主存和 I/O 模块的回答信号
- C. 提供定时信号、操作命令和各种请求 / 回答信号等
- D. 提供数据信息

(9) 在单机系统中,三总线结构计算机的总线系统组成是 ()

- A. 片内总线、系统总线和通信总线
- B. 数据总线、地址总线和控制总线
- C. DMA 总线、主存总线和 I/O 总线
- D. ISA 总线、VESA 总线和 PCI 总线

(15) 在一个 16 位的总线系统中,若时钟频率为 100MHz,总线周期为 5 个时钟周期传输一个字,则总线带宽是 ()

- A. 4MB/s B. 40MB/s C. 16MB/s D. 64MB/s

(16) 微机中控制总线上完整传输的信号有 ()

I.存储器和 I/O 设备的地址码 II.所有存储器和 I/O 设备的时序信号与控制信号
III.来自 I/O 设备和存储器的响应信号

- A. 仅 I B. II 和 III C. 仅 II D. I、II、III

(17) 下列信号中,可在系统总线中的控制总线上传输的有 ()

I.存储器和 I/O 设备的地址信息 II.存储器和 I/O 设备的时序信号、控制信号
III.存储器和 I/O 设备的响应信号 IV.存储器中存放的数据

- A. I 和 IV B. II 和 III C. I、II 和 III D. II、III 和 IV

(18) 总线中,有些信息是单向传输的,有些信息是双向传输的,下列说法中正确的是 ()

- A. 数据信息是单向传输的,由内存或外设传送至 CPU
B. 地址信息是单向传输的,由 CPU 发送至内存或外设
C. 控制信息是双向传输的,由 CPU 发送至内存或外设,也可反向
D. 状态信息是双向传输的,由 CPU 发送至内存或外设,也可反向

(19) 按连接部件不同,总线通常可以分为以下哪几种?()

I.系统总线 II.片内总线 III.地址线 IV.通信总线

- A. I、II 和 III B. I、III 和 IV C. I、II 和 IV D. II、III 和 IV

(20) 【2009 统考真题】假设某系统总线在一个总线周期中并行传输 4 字节信息,一个总线周期占用 2 个时钟周期,总线时钟频率为 10MHz,则总线带宽是 ()

- A. 10MB/s B. 20MB/s C. 40MB/s D. 80MB/s

(21) 【2010 统考真题】下列选项中的英文缩写均为总线标准的是 ()

- A. PCI、CRT、USB、EISA B. ISA、CPI、VESA、EISA
C. ISA、SCSI、RAM、MIPS D. ISA、EISA、PCI、PCI-Express

(22) 【2011 统考真题】在系统总线的数据线上,不可能传输的是 ()

- A. 指令 B. 操作数 C. 握手(应答)信号 D. 中断类型号

(23) 【2012 统考真题】* 下列关于 USB 总线特性的描述中,错误的是 ()

- A. 可实现外设的即插即用和热拔插 B. 可通过级联方式连接多台外设
C. 是一种通信总线,连接不同外设 D. 同时可传输 2 位数据,数据传输率高

(24) 【2013 统考真题】* 下列选项中,用于设备和设备控制器(I/O 接口)之间互连的接口标准是 ()

- A. PCI B. USB C. AGP D. PCI-Express

(25) 【2014 统考真题】某同步总线采用数据线和地址线复用方式,其中地址/数据线有 32 根,总线时钟频率为 66MHz,每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据),该总线的最大数据传输率(总线带宽)是 ()

- A. 132MB/s B. 264MB/s C. 528MB/s D. 1056MB/s

(26) 【2019 统考真题】假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 $DDR3-1333$, 即内存条所接插的存储器总线的工作频率为 1333MHz , 总线宽度为 64 位, 则存储器总线的总带宽大约是 ()

- A. 10.66GB/s B. 32GB/s C. 64GB/s D. 96GB/s

(27) 【2020 统考真题】 QPI 总线是一种点对点全工同步串行总线, 总线上的设备可同时接收和发送信息, 每个方向可同时传输 20 位信息 (16 位数据 + 4 位校验位), 每个 QPI 数据包有 80 位信息, 分 2 个时钟周期传送, 每个时钟周期传递 2 次。因此, QPI 总线带宽为: 每秒传送次数 $\times 2 \times B \times 2$ 。若 QPI 时钟频率为 2.4GHz , 则总线带宽为 ()

- A. 4.8GB/s B. 9.6GB/s C. 19.2GB/s D. 38.4GB/s

(28) 【2024 统考真题】某存储器总线的时钟频率为 420MHz , 总线宽度为 64 位, 每个时钟周期传送 2 次数据; 其总线事务支持突发传送方式, 最多传送 8 次数据, 第 1 个时钟周期传送地址和读 / 写命令, 从第 4 个至第 7 个时钟周期连续传送 8 次数据。该总线的总线带宽 (最大数据传输率) 为 ()

- A. 3.84GB/s B. 6.72GB/s C. 30.72GB/s D. 53.76GB/s

6.2 总线事务和定时 (答案见原书 P295)

(1) 在不同速度的设备之间传送数据, ()

- A. 必须采用同步控制方式
B. 必须采用异步控制方式
C. 可以选用同步控制方式, 也可选用异步控制方式
D. 必须采用应答方式

(2) 某机器 *I/O* 设备采用异步串行传送方式传送字符信息, 字符信息格式为 1 位起始位、7 位数据位、1 位校验位和 1 位停止位。若要求每秒传送 480 个字符, 则该设备的数据传输率为 ()

- A. 380b/s B. 4800B/s C. 480B/s D. 4800b/s

(3) 假设某存储器总线采用同步通信方式, 时钟频率为 50MHz, 总线以突发方式传输 8 个字, 以支持块长为 8 字 (每字 4B) 的 *Cache* 行的读 / 写。若全部访问都为读操作, 访问顺序是 1 个时钟周期接收地址, 3 个时钟周期等待存储器读数, 8 个时钟周期用于传输 8 个字。则该存储器的数据传输速率为 ()

- A. 114.3MB/s B. 126MB/s C. 133.3MB/s D. 144.3MB/s

(4) 同步控制方式是 ()

- A. 只适用于 *CPU* 控制的方式 B. 只适用于外部设备控制的方式
C. 由统一的时序信号控制的方式 D. 所有指令执行时间都相同的方式

(5) 同步通信之所以比异步通信具有较高的传输速率, 是因为 ()

- A. 同步通信不需要应答信号且总线长度较短
B. 同步通信用一个公共的时钟信号进行同步
C. 同步通信中, 各部件的存取时间较接近
D. 以上各项因素的综合结果

(6) 以下各项中, () 是同步传输的特点。

- A. 需要应答信号 B. 各部件的存取时间比较接近
C. 总线长度较长 D. 总线周期长度可变

(7) 在异步总线中,传送操作 ()

- A. 由设备控制器控制
- B. 由 *CPU* 控制
- C. 由统一时序信号控制
- D. 按需分配时间

(8) 总线的异步通信方式是 ()

- A. 既不采用时钟信号, 又不采用“握手”信号
- B. 只采用时钟信号, 不采用“握手”信号
- C. 不采用时钟信号, 只采用“握手”信号
- D. 既采用时钟信号, 又采用“握手”信号

(9) 在各种异步通信方式中, () 的速度最快。

- A. 全互锁
- B. 半互锁
- C. 不互锁
- D. 速度均相等

(10) 在下列各种情况下,最应采用异步传输方式的是 ()

- A. *I/O* 接口与打印机交换信息
- B. *CPU* 与主存交换信息
- C. *CPU* 和 *PCI* 总线交换信息
- D. 由统一时序信号控制方式下的设备

(11) 在手术过程中,医生将手伸出,等护士将手术刀递上,待医生握紧后,护士才松手。若把医生和护士视为两个通信模块,上述动作相当于 ()

- A. 同步通信
- B. 异步通信的全互锁方式
- C. 异步通信的半互锁方式
- D. 异步通信的不互锁方式

(12) 【2012 统考真题】某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址 / 数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发 (猝发) 传输方式, 则一次“主存写”总线事务传输 128 位数据所需要的时间至少是 ()

- A. 20ns B. 40ns C. 50ns D. 80ns

(13) 【2014 统考真题】一次总线事务中,主设备只需给出一个首地址,从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为 ()

- A. 并行传输 B. 串行传输 C. 突发传输 D. 同步传输

(14) 【2015 统考真题】下列有关总线定时的叙述中,错误的是 ()

- A. 异步通信方式中,全互锁协议最慢
B. 异步通信方式中,非互锁协议的可靠性最差
C. 同步通信方式中,同步时钟信号可由各设备提供
D. 半同步通信方式中,握手信号的采样由同步时钟控制

(15) 【2016 统考真题】下列关于总线设计的叙述中,错误的是 ()

- A. 并行总线传输比串行总线传输速度快
B. 采用信号线复用技术可减少信号线数量
C. 采用突发传输方式可提高总线数据传输速率
D. 采用分离事务通信方式可提高总线利用率

(16) 【2017 统考真题】下列关于多总线结构的叙述中,错误的是 ()

- A. 靠近 CPU 的总线速度较快 B. 存储器总线可支持突发传送方式
C. 总线之间须通过桥接器相连 D. $PCI-Express \times 16$ 采用并行传输方式

(17) 【2018 统考真题】下列选项中,可提高同步总线数据传输速率的是 ()

- I.增加总线宽度 II.提高总线工作频率 III.支持突发传输
IV.采用地址 / 数据线复用

- A. 仅 I、II B. 仅 I、II、III C. 仅 III、IV D. I、II、III 和 IV

(18) 【2021 统考真题】下列关于总线的叙述中,错误的是 ()

- A. 总线是在两个或多个部件之间进行数据交换的传输介质
B. 同步总线由时钟信号定时,时钟频率不一定等于工作频率
C. 异步总线由握手信号定时,一次握手过程完成一位数据交换
D. 突发 (*Burst*) 传送总线事务可以在总线上连续传送多个数据

(19) 【2023 统考真题】某存储器总线宽度为 64 位,总线时钟频率为 1GHz ,在总线上传输一个数据或地址需要一个时钟周期,不支持突发传送方式。若通过该总线连接 *CPU* 和主存,主存每次准备一个 64 位数据需要 6ns ,主存块大小为 32 *B*,则读取一个主存块所需的时间是 ()

- A. 8ns B. 11ns C. 26ns D. 32ns

第 7 章输入 / 输出系统

7.1 I/O 系统基本概念 (答案见原书 P301)

(1) 在微型机系统中, I/O 设备通过 () 与主板的系统总线相连接。

- A. DMA 控制器 B. 设备控制器 C. 中断控制器 D. I/O 端口

(2) 显示汉字采用点阵字库, 若每个汉字用 16×16 的点阵表示, 7500 个汉字的字库容量是 ()

- A. 16KB B. 240KB C. 320KB D. 1MB

(3) CRT 的分辨率为 1024×1024 像素, 像素的颜色数为 256, 则刷新存储器的每单元字长为 (), 总容量为 ()

- A. 8B, 256MB B. 8bit, 1MB C. 8bit, 256KB D. 8B, 32MB

(4) 【2010 统考真题】假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600×1200 , 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50% 用来刷新屏幕, 则需要的显存总带宽至少约为 ()

- A. 245Mb/s B. 979Mb/s C. 1958Mb/s D. 7834Mb/s

7.2 I/O 接口 (答案见原书 P305)

(1) 在统一编址的方式下, 区分存储单元和 I/O 设备是靠 ()

- A. 不同的地址码 B. 不同的地址线 C. 不同的控制线 D. 不同的数据线

(2) 下列功能中, 属于 *I/O* 接口的功能的是 ()

- A. *I* 和 *IV* B. *I*、*III* 和 *IV* C. *I*、*II* 和 *IV* D. *I*、*II*、*III* 和 *IV*

(3) 下列关于 *I/O* 端口和接口的说法中, 正确的是 ()

- A. 按照不同的数据传送格式, 可将接口分为同步传送接口和异步传送接口
B. 在统一编址方式下, 存储单元和 *I/O* 设备是靠不同的地址线来区分的
C. 在独立编址方式下, 存储单元和 *I/O* 设备是靠不同的地址线来区分的
D. 在独立编址方式下, *CPU* 需要设置专门的输入 / 输出指令访问端口

(4) 下列属于 *I/O* 接口中寄存器的有 ()

- I*. 指令寄存器 *II*. 控制寄存器 *III*. 状态寄存器 *IV*. 地址寄存器 *V*. 数据缓冲寄存器
A. *I*、*II*、*III* 和 *V* B. *II*、*III* 和 *IV* C. *II*、*III* 和 *V* D. *II*、*III*、*IV* 和 *V*

(5) *I/O* 的编址方式采用统一编址方式时, 进行输入 / 输出的操作的指令是 ()

- A. 控制指令 B. 访存指令 C. 输入 / 输出指令 D. 都不对

(6) 下列关于 *I/O* 指令的说法中, 错误的是 ()

- A. *I/O* 指令是 *CPU* 系统指令的一部分
B. *I/O* 指令是机器指令的一类
C. *I/O* 指令反映 *CPU* 和 *I/O* 设备交换信息的特点
D. *I/O* 指令的格式和通用指令的格式相同

(7) 下列叙述中,正确的是()

- A. 只有 *I/O* 指令可以访问 *I/O* 设备
- B. 在统一编址下,不能直接访问 *I/O* 设备
- C. 访问存储器的指令一定不能访问 *I/O* 设备
- D. 只有在具有专门 *I/O* 指令的计算机中,*I/O* 设备才可以单独编址

(8) 在内存地址空间与接口地址空间统一编址的计算机中,不需要的指令是()

- A. 数据传送类(如 *MOV* 指令)
- B. 算术、逻辑运算类(如 *ADD*、*SUB*、*AND* 和 *OR* 指令)
- C. 输入/输出类(如 *IN* 和 *OUT* 指令)
- D. 程序控制类(如条件转移指令和子程序调用指令)

(9) 在统一编址情况下,就 *I/O* 设备而言,其对应的 *I/O* 地址不可取的是()

- A. 要求固定在地址高端
- B. 要求固定在地址低端
- C. 要求相对固定在地址的某部分
- D. 可以随意在地址的任何地方

(10) 磁盘驱动器向盘片磁道记录数据时采用()方式写入。

- A. 并行
- B. 串行
- C. 并行－串行
- D. 串行－并行

(11) 程序员进行系统调用访问设备使用的是()

- A. 逻辑地址
- B. 物理地址
- C. 主设备地址
- D. 从设备地址

(12) 采用中断方式进行打印控制时,在打印控制接口和打印机之间交换的信息不包括()

- A. 打印字符点阵信息
- B. 打印控制信息
- C. 打印机状态信息
- D. 中断请求信号

(13) 主机和外设之间的正确连接通路是()

- A. CPU 和主存—I/O 总线—通信总线(电缆)—I/O 接口—外设
- B. CPU 和主存—I/O 总线 I/O 接口—通信总线(电缆)—外设
- C. CPU 和主存—I/O 接口—I/O 总线—通信总线(电缆)—外设
- D. CPU 和主存—I/O 接口—通信总线(电缆)—I/O 总线—外设

(14) 下列有关 I/O 接口功能和结构的叙述中,错误的是()

- A. I/O 接口中主机侧数据宽度与设备侧数据宽度总是一样的
- B. I/O 接口是像显卡或网卡之类的一种外设控制逻辑
- C. CPU 可以从 I/O 接口读取状态信息,以了解接口和外设的状态
- D. CPU 可以向 I/O 接口传送用来对设备进行控制的命令

(15) 【2012 统考真题】下列选项中,在 I/O 总线的数据线上传输的信息包括()

- I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号
- A. 仅 I、II
 - B. 仅 I、III
 - C. 仅 II、III
 - D. I、II、III

(16) 【2014 统考真题】下列有关 I/O 接口的叙述中,错误的是()

- A. 状态端口和控制端口可以合用同一个寄存器
- B. I/O 接口中 CPU 可访问的寄存器称为 I/O 端口
- C. 采用独立编址方式时,I/O 端口地址和主存地址可能相同
- D. 采用统一编址方式时,CPU 不能用访存指令访问 I/O 端口

(17) 【2017 统考真题】I/O 指令实现的数据传送通常发生在 ()

- A. I/O 设备和 I/O 端口之间
- B. 通用寄存器和 I/O 设备之间
- C. I/O 端口和 I/O 端口之间
- D. 通用寄存器和 I/O 端口之间

(18) 【2021 统考真题】下列选项中,不属于 I/O 接口的是 ()

- A. 磁盘驱动器
- B. 打印机适配器
- C. 网络控制器
- D. 可编程中断控制器

7.3 I/O 方式 (答案见原书 P325)

(1) 设置中断排队判优逻辑的目的是 ()

- A. 产生中断源编码
- B. 使同时提出的请求中的优先级别最高者得到及时响应
- C. 使 CPU 能方便地转入中断服务子程序
- D. 提高中断响应速度

(2) 以下关于中断的说法中, 错误的是 ()

- A. 中断服务程序一般是操作系统模块
- B. 中断向量方法可提高中断源的识别速度
- C. 中断向量地址是中断服务程序的入口地址
- D. 重叠处理中断的现象称为中断嵌套

(3) 当有中断源发出请求时, CPU 可执行相应的中断服务程序, 可以提出中断的有 ()

- I. 外部事件 II. Cache 缺失 III. 虚拟存储器失效 IV. 浮点数运算下溢 V. 浮点数运算上溢
- A. I、III 和 IV
 - B. I 和 V
 - C. I、II 和 V
 - D. I、III 和 V

(4) 关于程序中断方式和 *DMA* 方式的叙述,错误的是 ()

I. *DMA* 的优先级比程序中断的优先级要高

II. 程序中断方式需要保护现场, *DMA* 方式在传输过程中不需要保护现场

III. 程序中断方式的中断请求是为了报告 *CPU* 数据的传输结束,而 *DMA* 方式的中断请求完全是为了传送数据

- A. 仅 *II* B. *II*、*III* C. 仅 *III* D. *I*、*III*

(5) 下列关于程序中断方式和 *DMA* 方式的说法中, 错误的是 ()

I. 程序中断过程是由硬件和中断服务程序共同完成的

II. 在每条指令的执行过程中, 每个总线周期要检查一次有无中断请求

III. 检测有无 *DMA* 请求,一般安排在一条指令执行过程的末尾

IV. 中断服务程序的最后指令是无条件转移指令

V. 中断响应判优是根据中断屏蔽字来确定中断的优先级

- A. *I*、*II*、*IV* B. *II*、*III*、*IV*、*V* C. *II*、*IV*、*V* D. *II*、*III*、*IV*

(6) 能产生 *DMA* 请求的总线部件是 ()

I. 高速外设

II. 需要与主机批量交换数据的外设

III. 具有 *DMA* 接口的设备

- A. 仅 *I* B. 仅 *III* C. *I*、*III* D. *II*、*III*

(7) 在具有中断向量表的计算机中,中断向量地址是 ()

A. 子程序入口地址

B. 中断服务程序的入口地址

C. 中断服务程序入口地址的地址

D. 中断程序断点

(8) 中断响应是在 ()

- A. 一条指令执行开始
- B. 一条指令执行中间
- C. 一条指令执行之末
- D. 一条指令执行的任何时刻

(9) 在下列情况下,可能不发生中断请求的是 ()

- A. *DMA* 操作结束
- B. 一条指令执行完毕
- C. 机器出现故障
- D. 执行“软中断”指令

(10) 在配有通道的计算机系统中,用户程序需要输入/输出时,引起的中断是 ()

- A. 访管中断
- B. *I/O* 中断
- C. 程序性中断
- D. 外中断

(11) 某计算机有 4 级中断, 优先级从高到低为 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$ 若将优先级顺序修改, 改后 1 级中断的屏蔽字为 1101, 2 级中断的屏蔽字为 0100, 3 级中断的屏蔽字为 1111, 4 级中断的屏蔽字为 0101, 则修改后的优先顺序从高到低为 ()

- A. $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$
- B. $3 \rightarrow 1 \rightarrow 4 \rightarrow 2$
- C. $1 \rightarrow 3 \rightarrow 4 \rightarrow 2$
- D. $2 \rightarrow 1 \rightarrow 3 \rightarrow 4$

(12) 下列不属于程序控制指令的是 ()

- A. 无条件转移指令
- B. 有条件转移指令
- C. 中断隐指令
- D. 循环指令

(13) 在中断响应周期中, *CPU* 主要完成的工作是 ()

- A. 关中断, 保护断点, 发中断响应信号并形成向量地址
- B. 开中断, 保护断点, 发中断响应信号并形成向量地址
- C. 关中断, 执行中断服务程序
- D. 开中断, 执行中断服务程序

(14) 下列关于中断 *I/O* 方式的叙述中, 错误的是 ()

- A. *CPU* 对外部中断的响应不可能发生在一条指令的执行过程中
- B. 在中断 *I/O* 方式下, 外设接口中的寄存器和 *CPU* 中的寄存器直接交换数据
- C. 中断请求的是 *CPU* 时间, 要求 *CPU* 执行程序来处理发生的相关事件
- D. 只要有中断请求发生, 一条指令执行结束后 *CPU* 就进入中断响应周期

(15) 当 *CPU* 响应中断时, 进入“中断响应周期”, 采用硬件方法保护并更新程序计数器 (*PC*) 内容, 而不是由软件完成的, 主要是为了 ()

- A. 能进入中断处理程序, 并能正确返回源程序
- B. 节省主存空间
- C. 提高处理机速度
- D. 易于编制中断处理程序

(16) 在 *I/O* 接口中设置中断触发器保存外设发出的中断请求, 是因为 ()

- A. 中断不需要立即处理
- B. 中断设备的处理速度比 *CPU* 快
- C. *CPU* 无法对发生的中断请求立即进行处理
- D. 可能有多个中断同时发生

(17) 在中断响应周期中,由()将允许中断触发器置 0。

- A. 关中断指令 B. 中断隐指令 C. 开中断指令 D. 中断服务程序

(18) CPU 响应中断时最先完成的步骤是()

- A. 开中断 B. 保存断点 C. 关中断 D. 转入中断服务程序

(19) 设置中断屏蔽标志可以改变()

- A. 多个中断源的中断请求优先级 B. CPU 对多个中断请求响应的优先次序
C. 多个中断服务程序开始执行的顺序 D. 多个中断服务程序执行完的次序

(20) 在 CPU 响应中断时,保护两个关键的硬件状态是()

- A. PC 和 IR B. PC 和 PSW C. AR 和 IR D. AR 和 PSW

(21) 在各种 I/O 方式中,中断方式的特点是(),DMA 方式的特点是()

- A. CPU 与外设串行工作,传送与主程序串行工作
B. CPU 与外设并行工作,传送与主程序串行工作
C. CPU 与外设串行工作,传送与主程序并行工作
D. CPU 与外设并行工作,传送与主程序并行工作

(22) 下列关于程序查询方式及其工作过程的叙述中,正确的是 ()

- A. 按启动查询方式的不同,可分为软件查询方式和硬件查询方式
- B. *CPU* 主要负责启动外设和查询其状态,不参与数据传送
- C. 每完成一次数据传送后,会修改主存地址和计数值
- D. *CPU* 需一直查询外设的状态,直到外设准备就绪时才可去执行其他程序

(23) 在 *DMA* 传送方式中,由 () 发出 *DMA* 请求,在传送期间总线控制权由 () 掌握。

- A. 外部设备、*CPU*
- B. *DMA* 控制器、*DMA* 控制器
- C. 外部设备、*DMA* 控制器
- D. *DMA* 控制器、内存

(24) 下列叙述中,() 是正确的。

- A. 程序中断方式和 *DMA* 方式中实现数据传送都需要中断请求
- B. 程序中断方式中有中断请求,*DMA* 方式中没有中断请求
- C. 程序中断方式和 *DMA* 方式中都有中断请求,但目的不同
- D. *DMA* 要等指令周期结束时才可以进行周期窃取

(25) 以下关于 *DMA* 方式进行 *I/O* 的描述中,正确的是 ()

- A. 一个完整的 *DMA* 过程,部分由 *DMA* 控制器控制,部分由 *CPU* 控制
- B. 一个完整的 *DMA* 过程,完全由 *CPU* 控制
- C. 一个完整的 *DMA* 过程,完全由 *DMA* 控制器控制,*CPU* 不介入任何控制
- D. 一个完整的 *DMA* 过程,完全由 *CPU* 采用周期挪用法控制

(26) CPU 响应 DMA 请求的条件是当前 () 执行完。

- A. 机器周期
- B. 总线周期
- C. 机器周期和总线周期
- D. 指令周期

(27) 当某五级流水线 CPU 正在执行某条指令的第二级流水段时,外部设备产生了一个 DMA 请求,则 CPU 对该 DMA 请求响应的时机是 ()

- A. 立即响应
- B. 在该指令的第二级流水段执行完毕后响应
- C. 在该指令的第三级流水段执行完毕后响应
- D. 在该指令执行结束后响应

(28) 关于外中断(故障除外)和 DMA,下列说法中正确的是 ()

- A. DMA 请求和中断请求同时发生时,响应 DMA 请求
- B. DMA 请求、非屏蔽中断、可屏蔽中断都要在当前指令结束之后才能被响应
- C. 非屏蔽中断请求优先级最高,可屏蔽中断请求优先级最低
- D. 若不开中断,所有中断请求就不能响应

(29) 磁盘和主存进行数据交换时,大致可分为四个过程:①寻道;②旋转;③连续读写磁盘块;④结束、校验。则下列关于磁盘读写过程的叙述中,错误的是 ()

- A. 在①②④三个阶段都用到了中断处理
- B. 在第③阶段,DMA 控制器向 CPU 请求的是总线使用权
- C. 在第③阶段,DMA 控制器使用总线的优先级比 CPU 低
- D. 在第③阶段,磁盘的读写和 CPU 执行其他任务是可以并行执行的

(30) 在主机和外设的信息传送中, () 不是一种程序控制方式。

- A. 直接程序传送
- B. 程序中断
- C. 直接存储器存取 (*DMA*)
- D. 通道控制

(31) 中断发生时, 程序计数器内容的保护和更新是由 () 完成的。

- A. 硬件自动
- B. 进栈指令和转移指令
- C. 访存指令
- D. 中断服务程序

(32) 在 *DMA* 方式传送数据的过程中, 由于没有破坏 () 的内容, 所以 *CPU* 可以正常工作 (访存除外)。

- A. 程序计数器
- B. 程序计数器和寄存器
- C. 指令寄存器
- D. 堆栈寄存器

(33) 在 *DMA* 方式下, 数据从内存传送到外设经过的路径是 ()

- A. 内存 → 数据总线 → 数据通路 → 外设
- B. 内存 → 数据总线 → *DMAC* → 外设
- C. 内存 → 数据通路 → 数据总线 → 外设
- D. 内存 → *CPU* → 外设

(34) 采用周期挪用进行 *DMA* 数据传送时, 每传送一个数据要占用一个 () 的时间。

- A. 指令周期
- B. 机器周期
- C. 时钟周期
- D. 存取周期

(35) 启动一次 *DMA* 传送,外设和主机之间将完成一个 () 的数据传送。

- A. 字节 B. 字 C. 总线宽度 D. 数据块

(36) 在磁盘存储器进行读 / 写操作之前, *CPU* 需要对磁盘控制器或 *DMA* 控制器进行初始化。在下列选项中,不包含在初始化信息中的是 ()

- A. 传送信息所在的主存起始地址 B. 传送方向 (是读磁盘还是写磁盘)
C. 传送信息所在的通用寄存器编号 D. 传送数据的字数或字节数

(37) 【2009 统考真题】下列选项中,能引起外部中断的事件是 ()

- A. 键盘输入 B. 除数为 0 C. 浮点运算下溢 D. 访存缺页

(38) 【2010 统考真题】单级中断系统中,中断服务程序内的执行顺序是 ()

I.保护现场 *II*.开中断 *III*.关中断 *IV*.保存断点
V.中断事件处理 *VI*.恢复现场 *VII*.中断返回

- A. $I \rightarrow V \rightarrow VI \rightarrow II \rightarrow VII$ B. $III \rightarrow I \rightarrow V \rightarrow VII$
C. $III \rightarrow IV \rightarrow V \rightarrow VI \rightarrow VII$ D. $IV \rightarrow I \rightarrow V \rightarrow VI \rightarrow VII$

(39) 【2011 统考真题】某计算机有五级中断 $L_4 \sim L_0$, 中断屏蔽字为 $M_4M_3M_2M_1M_0, M_i = 1 (0 \leq i \leq 4)$ 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$, 且要求中断处理优先级从高到低的顺序为 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$, 则 L_1 的中断处理程序中设置的中断屏蔽字是 ()

- A. 11110 B. 01101 C. 00011 D. 01010

(40) 【2011 统考真题】某计算机处理器主频为 50MHz, 采用定时查询方式控制设备 A 的 I/O , 查询程序运行一次所用的时钟周期数至少为 500。在设备 A 工作期间, 为保证数据不丢失, 每秒需对其查询至少 200 次, 则 CPU 用于设备 A 的 I/O 的时间占整个 CPU 时间的百分比至少是 ()

- A. 0.02% B. 0.05% C. 0.20% D. 0.50%

(41) 【2012 统考真题】响应外部中断的过程中, 中断隐指令完成的操作, 除保护断点外, 还包括 ()

I . 关中断 II . 保存通用寄存器的内容 III . 形成中断服务程序入口地址并送 PC

- A. 仅 I 、 II B. 仅 I 、 III C. 仅 II 、 III D. I 、 II 、 III

(42) 【2013 统考真题】下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是 ()

- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备

(43) 【2014 统考真题】若某设备中断请求的响应和处理时间为 $100ns$, 每 $400ns$ 发出一次中断请求, 中断响应所允许的最长延迟时间为 $50ns$, 则在设备持续工作过程中, CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 ()

- A. 12.5% B. 25% C. 37.5% D. 50%

(44) 【2015 统考真题】在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是 ()

- A. 打印字符 B. 主存地址 C. 设备状态 D. 控制命令

(45) 【2017 统考真题】下列关于多重中断系统的叙述中,错误的是()

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间 CPU 处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU 通过采样中断请求信号检测中断请求

(46) 【2018 统考真题】下列关于外部 I/O 中断的叙述中,正确的是()

- A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队
- B. CPU 响应中断时,通过执行中断隐指令完成通用寄存器的保护
- C. CPU 只有在处于中断允许状态时,才能响应外部设备的中断请求
- D. 有中断请求时,CPU 立即暂停当前指令执行,转去执行中断服务程序

(47) 【2019 统考真题】某设备以中断方式与 CPU 进行数据交换,CPU 主频为 1GHz,设备接口中的数据缓冲寄存器为 32 位,设备的数据传输率为 50kB/s。若每次中断开销(包括中断响应和中断处理)为 1000 个时钟周期,则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是()

- A. 1.25%
- B. 2.5%
- C. 5%
- D. 12.5%

(48) 【2019 统考真题】下列关于 DMA 方式的叙述中,正确的是()

- I. DMA 传送前由设备驱动程序设置传送参数
- II. 数据传送前由 DMA 控制器请求总线使用权
- III. 数据传送由 DMA 控制器直接控制总线完成
- IV. DMA 传送结束后的处理由中断服务程序完成

- A. 仅 I、II
- B. 仅 I、III、IV
- C. 仅 II、III、IV
- D. I、II、III、IV

(49) 【2020 统考真题】下列事件中,属于外部中断事件的是()

I.访存时缺页 II.定时器到时 III.网络数据包到达

- A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II 和 III

(50) 【2020 统考真题】外部中断包括不可屏蔽中断(NMI)和可屏蔽中断,下列关于外部中断的叙述中,错误的是()

- A. CPU 处于关中断状态时,也能响应 NMI 请求
B. 一旦可屏蔽中断请求信号有效,CPU 将立即响应
C. 不可屏蔽中断的优先级比可屏蔽中断的优先级高
D. 可通过中断屏蔽字改变可屏蔽中断的处理优先级

(51) 【2020 统考真题】若设备采用周期挪用 DMA 方式进行输入和输出,每次 DMA 传送的数据块大小为 512 字节,相应的 I/O 接口中有一个 32 位数据缓冲寄存器。对于数据输入过程,下列叙述中,错误的是()

- A. 每准备好 32 位数据,DMA 控制器就发出一次总线请求
B. 相对于 CPU,DMA 控制器的总线使用权的优先级更高
C. 在整个数据块的传送过程中,CPU 不可以访问主存储器
D. 数据块传送结束时,会产生“DMA 传送结束”中断请求

(52) 【2021 统考真题】下列是关于多重中断系统中 CPU 响应中断的叙述,错误的是()

- A. 仅在用户态(执行用户程序)下,CPU 才能检测和响应中断
B. CPU 只有在检测到中断请求信号后,才会进入中断响应周期
C. 进入中断响应周期时,CPU 一定处于中断允许(开中断)状态
D. 若 CPU 检测到中断请求信号,则一定存在未被屏蔽的中断源请求信号

(53) 【2022 统考真题】下列关于中断 I/O 方式的叙述中,不正确的是()

- A. 适用于键盘、针式打印机等字符型设备
- B. 外设和主机之间的数据传送通过软件完成
- C. 外设准备数据的时间应小于中断处理时间
- D. 外设为某进程准备数据时 CPU 可运行其他进程

(54) 【2023 统考真题】下列关于硬件和异常 / 中断关系的叙述中,错误的是()

- A. CPU 在执行一条指令的过程中检测异常事件
- B. CPU 在执行完一条指令时检测中断请求信号
- C. 开中断时 CPU 检测到中断请求后就进行中断响应
- D. 外部设备通过中断控制器向 CPU 发中断结束信号

(55) 【2023 统考真题】下列关于 I/O 控制方式的叙述中,错误的是()

- A. 查询方式下,通过 CPU 执行查询程序进行 I/O 操作
- B. 中断方式下,通过 CPU 执行中断服务程序进行 I/O 操作
- C. DMA 方式下,通过 CPU 执行 DMA 传送程序进行 I/O 操作
- D. 对于 SSD、网络适配器等高速设备,采用 DMA 方式输入 / 输出

(56) 【2024 统考真题】下列关于中断 I/O 方式的叙述中,错误的是()

- A. 中断屏蔽字用于确定中断响应的优先级
- B. 保存断点和程序状态字在中断响应阶段完成
- C. 保存通用寄存器和设置新中断屏蔽字由软件实现
- D. 单重中断方式下中断处理时 CPU 处于关中断状态

(57) 【2024 统考真题】*DMA* 控制 *I/O* 方式下,设备的输入/输出由 *DMA* 控制器控制完成,此时,*DMA* 控制器控制的数据传输通路位于()

- A. *CPU* 和主存之间
- B. *CPU* 和 *DMA* 控制器之间
- C. 设备接口和主存之间
- D. 设备接口和 *DMA* 控制器之间