Simulacro parciales viejos

yo

August 20, 2024

1 1

2 .V de Mux 8:1

Listing 1: Verilog module for a simple adder

```
`timescale 1ns / 1ps
//////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 08/20/2024 12:24:15 AM
// Design Name:
// Module Name: mx
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//////////////////////////////////////////////////////////////////////////////////


module mx(
    input  wire [7:0] A,
    input  wire [2:0] S,
    input  wire EN,
    output reg Out
    );

    always @(*) begin
        if (EN) begin
```

```
            Out = 1'bz; // Alta impedancia
        end else begin
            case (S)
                3'b000: Out = A[0];
                3'b001: Out = A[1];
                3'b010: Out = A[2];
                3'b011: Out = A[3];
                3'b100: Out = A[4];
                3'b101: Out = A[5];
                3'b110: Out = A[6];
                3'b111: Out = A[7];
                default: Out = 1'b0;
            endcase
        end
    end

endmodule
```

3 .V de Mux 8:1

Listing 2: Verilog module for a simple adder

```
`timescale 1ns / 1ps
//////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 08/20/2024 12:37:34 AM
// Design Name:
// Module Name: topM
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//////////////////////////////////////////////////////////////////////////////////


module topM(
    input wire A, B, C, D,
    output wire Out
    );
```

```
    wire outmx1, outmx2;
    wire [7:0] muxInputs1; // Primeros ochos
    wire [7:0] muxInputs2; // Segundos ochos
    wire [2:0] selec;
    wire en;

    // Asignaciones de valores para muxInputs1
    assign muxInputs1 = 8'b00101111;

    // Asignaciones de valores para muxInputs2
    assign muxInputs2 = 8'b11011110;
    assign selec = {D, C, B};
    assign en = ~A;


    mx mux1(
        .A(muxInputs1),
        .S(selec),
        .EN(A),
        .Out(outmx1)
    );

    mx mux2(
        .A(muxInputs2),
        .S(selec),
        .EN(en),
        .Out(outmx2)
    );


    assign Out = outmx1 | outmx2;

endmodule
```