

# 浙江大学课程设计报告

课程名称：\_\_\_\_信息与电子工程导论\_\_\_\_ 任课老师：\_\_\_\_储涛\_\_\_\_

课程设计名称：\_\_\_\_基于三极管的 4bit 加法器制作\_\_\_\_ 完成日期：\_\_\_\_2022/4/10\_\_\_\_

第 17 小组

成员及分工：

姓名	专业	学号	分工	贡献比
邓铭辉	计算机科学与技术	3210105650	资料查阅与研究、Multisim 加法器电路设计与优化、实物电路搭建与调试、课程设计报告撰写	25%
裘海怡	计算机科学与技术	3210103505	资料查阅与研究、Multisim 加法器电路设计与优化、实物电路调试、课程设计报告撰写	25%
张宇萌	信息工程	3210102039	资料查阅与研究、Multisim 加法器电路设计与优化、实物电路调试、课程设计报告撰写	25%
王伟杰	软件工程	3210106034	资料查阅与研究、Multisim 加法器电路设计与优化、实物电路调试、课程设计报告撰写	25%

## 1 目的和要求

### 1.1 课程设计目的

- (1) 利用三极管搭建逻辑门，半加器，全加器，并最终完成 4bit 加法器
- (2) 探究简化半加器，全加器和 4bit 加法器的方法并完成简化
- (3) 在仿真的基础上用实物搭建加法器并完成最终测试

### 1.2 课程设计要求

参考视频 Making your own 4 bit computer from transistors, 运用 Multisim 设计一个 4bit 加法器并进行仿真测试，并在面包板上用晶体管搭建实物和测试。LED 灯用于表示结果，其中：LED 灯亮，表示输出为高电平，代表输出数值为 1；LED 灯灭，表示输出为低电平，代表输出数值为 0。

1. 利用三极管搭建逻辑门并进行仿真测试；
2. 利用逻辑门搭建一位半加器并进行仿真测试；

3. 在一位半加器的基础上搭建一位全加器并进行仿真测试；
4. 利用一位全加器进行适当地级联，搭建 4-bit 加法器，并进行仿真测试；
5. 进行实物搭建并测试；
6. 提交实物和实验报告。

提供实验器材如下：

三极管 100 只，1 k $\Omega$  电阻 50 只，10 k $\Omega$  电阻 100 只，发光管 5 只，电源 1 个，面包板 1 块，USB 连接线 1 根，万用表 1 只，跳线若干

## 2 原理

（简要说明本次课程设计的理论，包括但不限于物理、数学或是算法方面的理论，电路原理图、算法框图等示意图也可以在此处给出）

### 一、基本逻辑门

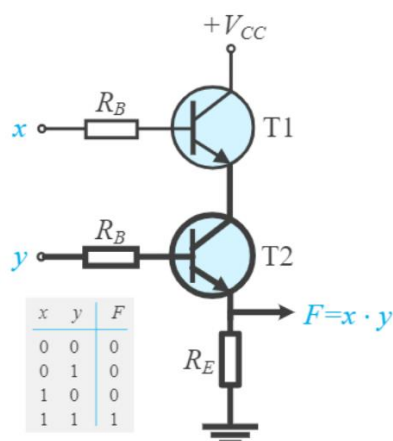
#### （一）与门（AND）



作用机制：执行“与”运算的基本逻辑门电路。有多个输入端，一个输出端。当所有的输入同时为高电平时，输出才为高电平，否则输出为低电平。

输入端： $\geq 2$  个，输出端：1 个

电路图与真值表：



注：依照传统电路图，一个与门需要使用 2 个三极管，故可以对与门进行优化以减少使用三极管的数量。（具体优化方案将在下面的实验报告中给出）

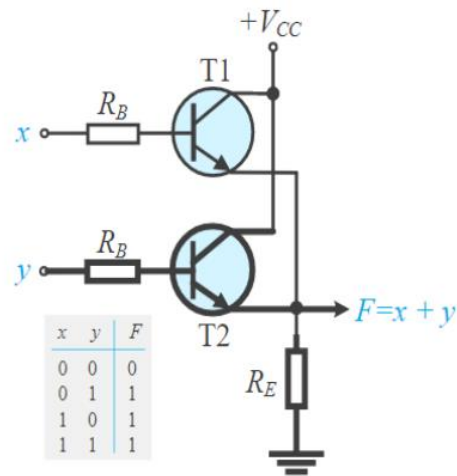
#### （二）或门（OR）



作用机制：或门有多个输入端，一个输出端，只要输入中有一个为高电平时，输出就为高电平；只有当所有的输入全为低电平时，输出才为低电平。

输入端： $\geq 2$  个，输出端：1 个

电路图与真值表：



注：依照传统电路图，一个或门需要使用 2 个三极管，故也可以对与门进行优化以减少使用三极管的数量。（具体优化方案将在下面的实验报告中给出）

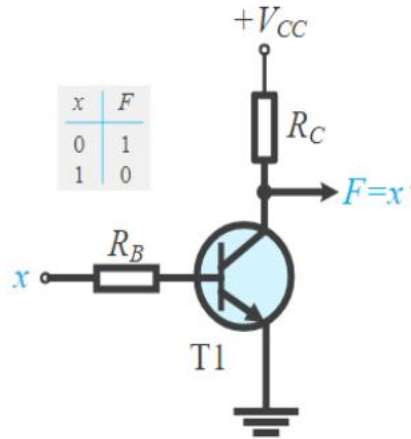
（三）非门（NOT）



作用机制：当其输入端为高电平时输出端为低电平，当其输入端为低电平时输出端为高电平。也就是说，输入端和输出端的电平状态总是反相的。

输入端：1 个，输出端：1 个

电路图与真值表：



二、四种常用逻辑门

（一）同或门：



同或门

作用：也称为异或非门。当 2 个输入端中有且只有一个是低电平（逻辑 0）时，输出为低电平。亦即当输入电平相同时，输出为高电平（逻辑 1）。

输入端：2 个 输出端：1 个

真值表：

A	B	输出
0	0	1
1	0	0
0	1	0
1	1	1

（二） 异或门：



异或门

作用：若两个输入的电平相异，则输出为高电平 1；若两个输入的电平相同，则输出为低电平 0。亦即，如果两个输入不同，则异或门输出高电平。（多输入异或门可由 2 输入异或门构成）

输入端：2 个 输出端：1 个

真值表：

A	B	输出
0	0	0
1	0	1
0	1	1
1	1	0

（三） 与非门



与非门

作用：若输入均为高电平，则输出为低电平；若输入中至少有一个为低电平，则输出高电平。

输入端：2 个 输出端：1 个

真值表：

A	B	输出
0	0	1
1	0	1
0	1	1
1	1	0

(四) 或非门



作用：只有当两个输入 A 和 B 为低电平(逻辑 0)时输出为高电平(逻辑 1)。也可以理解为任意输入为高电平(逻辑 1)，输出为低电平(逻辑 0)。

输入端：2 个 输出端：1 个

真值表：

A	B	输出
0	0	1
1	0	0
0	1	0
1	1	0

### 三、半加器与全加器

(一) 半加器：

输入端：2 个 输出端：1 个

作用：半加器的功能是将两个一位二进制数相加。它有两个输出：

和：记作 S，来自对应的英语 Sum

进位：记作 C，来自对应的英语 Carry 一位的数字。

半加器的输入变量叫做被加数或被加位，输出变量为和与进位。

真值表：

输入		输出	
A	B	C	S
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

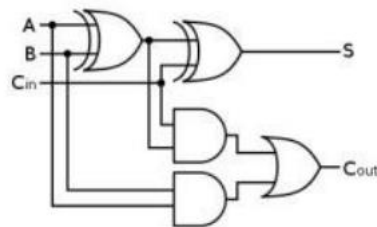
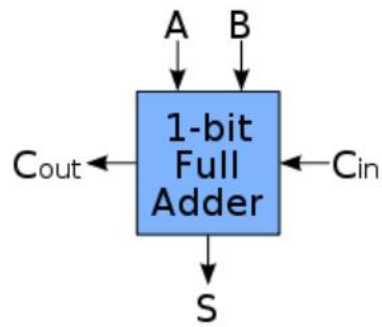
逻辑式：

$$S = AB' + A'B = A \oplus B$$

$$C = AB$$

（电路图由“实验结果”部分给出）

## （二）全加器



输入端：3 个 输出端：2 个

作用：全加器将两个一位二进制数相加，并根据接收到的低位进位信号，输出和、进位。全加器的三个输入信号为两个加数 A、B 和低位进位 Cin。全加器通常可以通过级联的方式，构成多位二进制数加法器的基本部分。全加器的输出和半加器类似，包括向高位的进位信号 Cout 和本位的和信号 S。

真值表:

输入			输出	
A	B	C <sub>in</sub>	C <sub>out</sub>	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

逻辑式：

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = (A \oplus B) \oplus C_{in} + AB$$

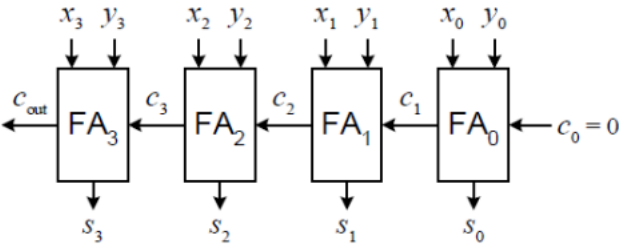
注：关于全加器实现原理：

代数 和	S	Cout
0	0	0
1	1	0
2	0	1
3	1	1

- 1.由上表及全加器真值表可知，代数和为奇数时 S 为 1，代数和为偶数时 S 为 0。代数和大于等于 2 时 Cout 为 1，反之为 0。
- 2.故全加器可由两个半加器和一个或门构成：  
S 的输出等于 A 与 B 经过异或门输出的结果 S（1），其再与 Cin 经过异或门所得的结果 S（2）。  
Cout 的输出等于（A and B）or( S（1） and Cin )。

四、4bit 加法器

对位宽数大于 1 的运算数，如位宽数为 4 的运算数进行运算，可以把 4 个全加器的输入和输出信号分别串行相连（第一个全加器 Cin 为 0），构成一个多位的全加器。或者将第一个全加器简化为一个半加器，与另外 3 个全加器串联。



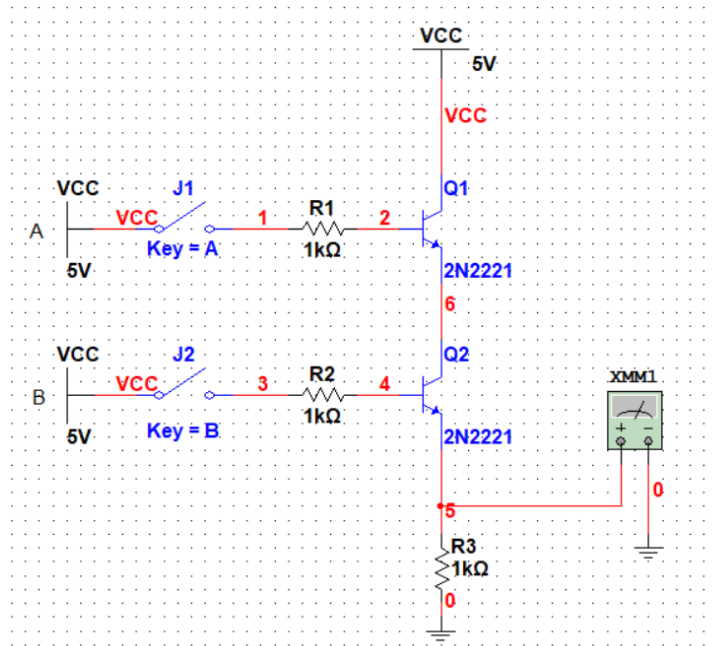
3 内容

（分点阐述课程设计步骤）

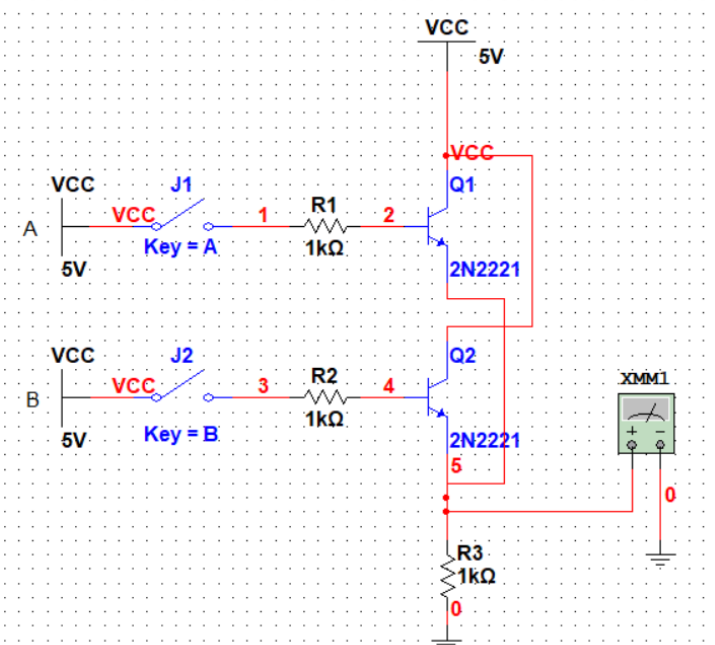
一、电阻的选择

考虑到电阻不同对电压损失的影响，我们小组首先进行了对电阻的选择。  
由于实验材料中仅提供了 1kΩ 与 10kΩ 两种不同电阻，且电路中对电阻区分过于复杂会影响实物操作，我们将电阻分为逻辑门电极（与门、或门时为发射极，非门时为集电极）和基极两种，并采取控制变量的方式，将其分为四个方案通过模拟电路进行研究。  
模拟电路图如下：

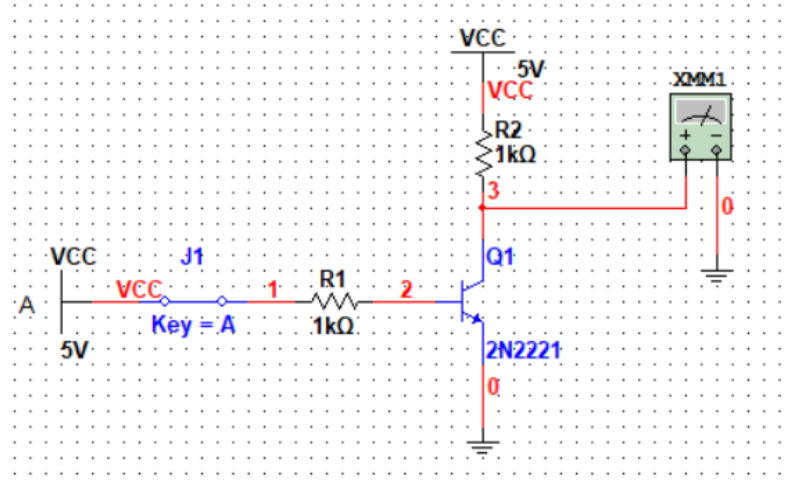
1. 与门:



2. 或门:



3. 非门:





方案与仿真结果如下：

方案 1：基极和逻辑门电极都使用 1k 欧姆电阻

方案 1	全闭	全开	开 A 闭 B	开 B 闭 A
与	4. 162V	22. 416nV	2. 162V	215. 442nV
或	4. 307V	115. 399nV	4. 254V	4. 254V
	闭	开		
非	16. 277mV	5V		

方案 2：基级使用 1k 欧姆电阻，逻辑门电极使用 10k 欧姆电阻

方案 2	全闭	全开	开 A 闭 B	开 B 闭 A
与	4. 326V	231. 744nV	3. 983V	563. 256nV
或	4. 398V	1. 154uV	4. 376V	4. 376V
	闭	开		
非	16. 277mV	5V		

方案 3：基级使用 10k 欧姆电阻，逻辑门电极使用 1k 欧姆电阻

方案 3	全闭	全开	开 A 闭 B	开 B 闭 A
与	3. 581V	22. 95nV	398. 284mV	56. 185nV
或	3. 989V	115. 399nV	3. 709V	3. 709V
	闭	开		
非	-5. 01mV	5V		

方案 4：基极和逻辑门电极都使用 10k 欧姆电阻

方案 4	全闭	全开	开 A 闭 B	开 B 闭 A
与	4. 198V	225. 755nV	2. 199V	563. 244nV
或	4. 349V	1. 154uV	4. 291V	4. 291V
	闭	开		
非	16. 277mV	5V		

由测试结果综合考虑，方案 3“基级使用 10k 欧姆电阻，逻辑门电极使用 1k 欧姆电阻”虽然在电压损失上偏大，但是唯一能让与门、或门与非门同时实现效果的一种电阻选择方案。其电压损失缺点将在后续工作中改进。

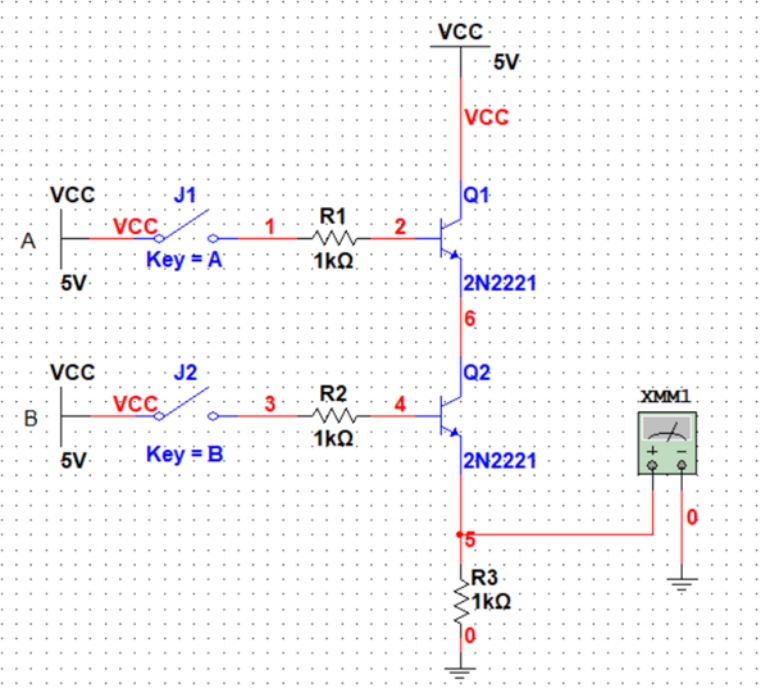
## 二、逻辑门的搭建和优化

### 1. 与门

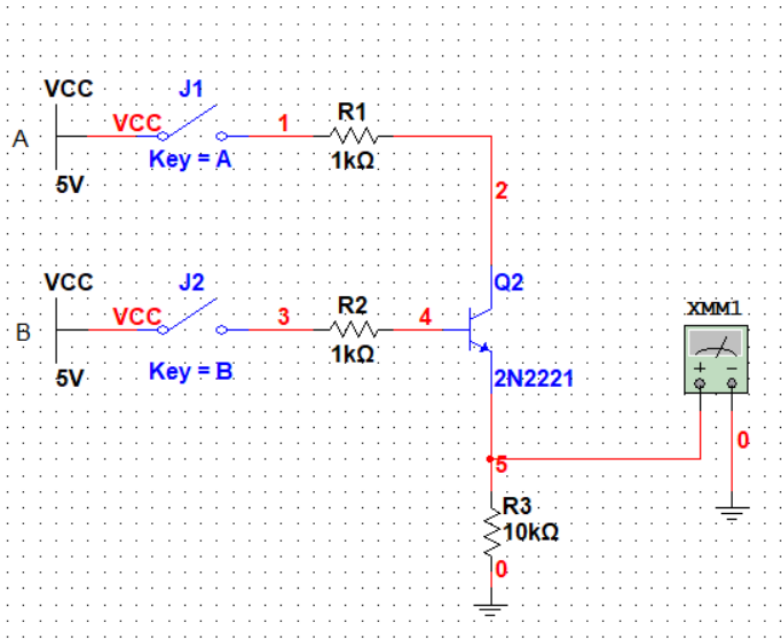
传统的与门由于存在两个输入端，需要两个晶体管串联，以达到当且仅当与门所有输入都是高电平时，与门才会输出高电平的状态。而我们小组在研究了三极管的性质后，认为可

以利用集电极和基极作为两个输入端，从而使用一个晶体管就实现与门功能，减少了三极管的数量。

教科书上的与门：



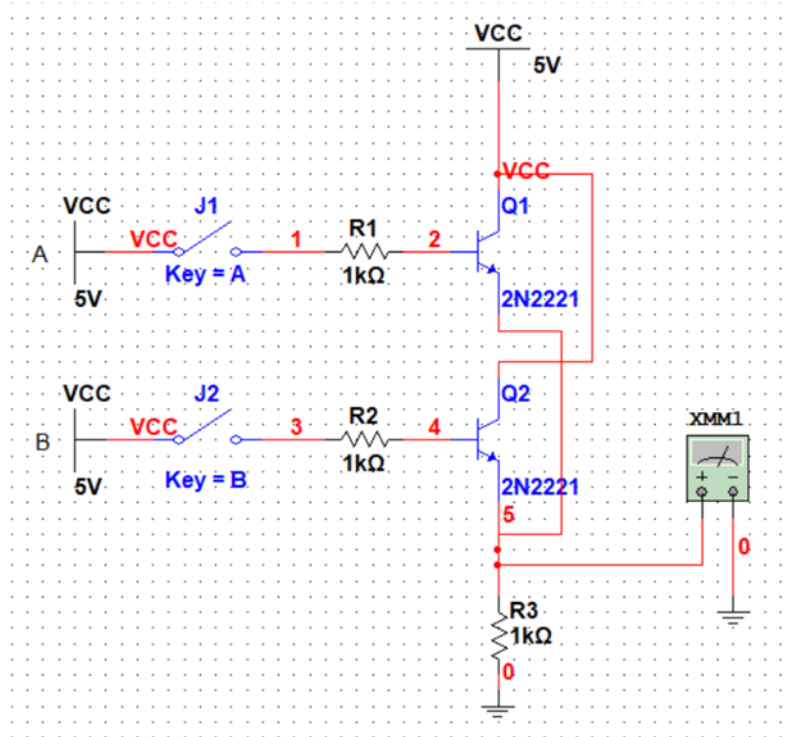
经优化后的与门：



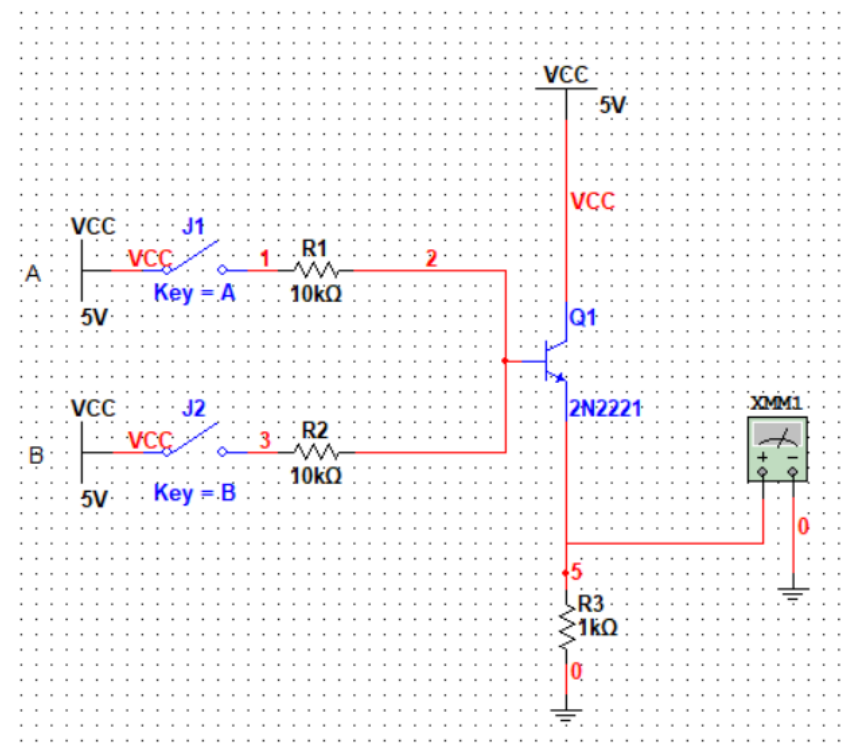
## 2. 或门

传统的或门同样是需要两个晶体管才能达到效果,我们通过模拟测试后将其优化为一个晶体管。

教科书上的或门:



经优化后的或门:



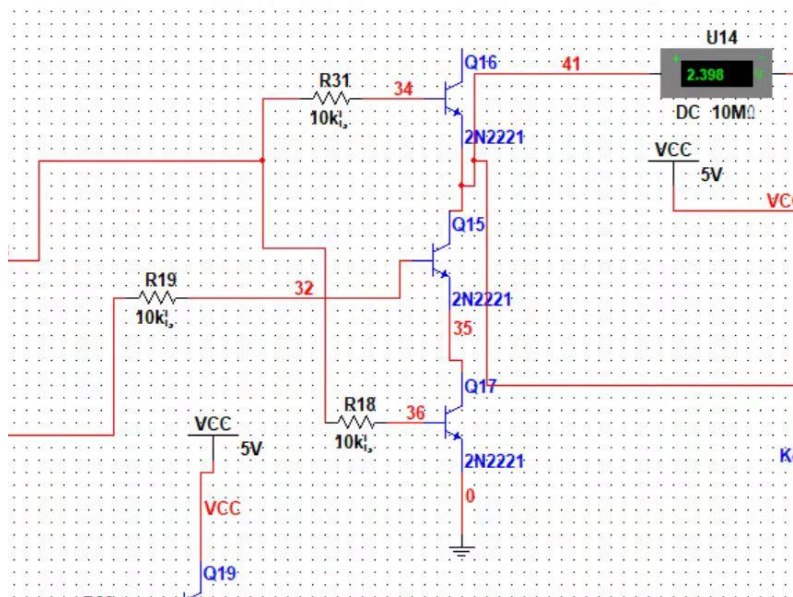
### 3. 非门

小组认为传统的非门实现效果已经完善，故不进行优化。

### 4. 半加器

传统的半加器进位由与门实现，本位由异或门实现。与门为基础逻辑门，且本小组已进行优化。最关键的还是对异或门的构建。

最初的异或门想法：



发现的问题：由于异或门本身没有电流出口，一串联就会分压。采用最初的异或门构建想法，电压会远远低于预期值，从而达不到输出高电平的效果。

解决方案：异或门后面接两个非门。由于接非门相当于接 VCC 或接地，因此不会对前面电路产生分压作用，可以减少电压损失，使高电平稳定输出。而两个非门也不会改变逻辑值。

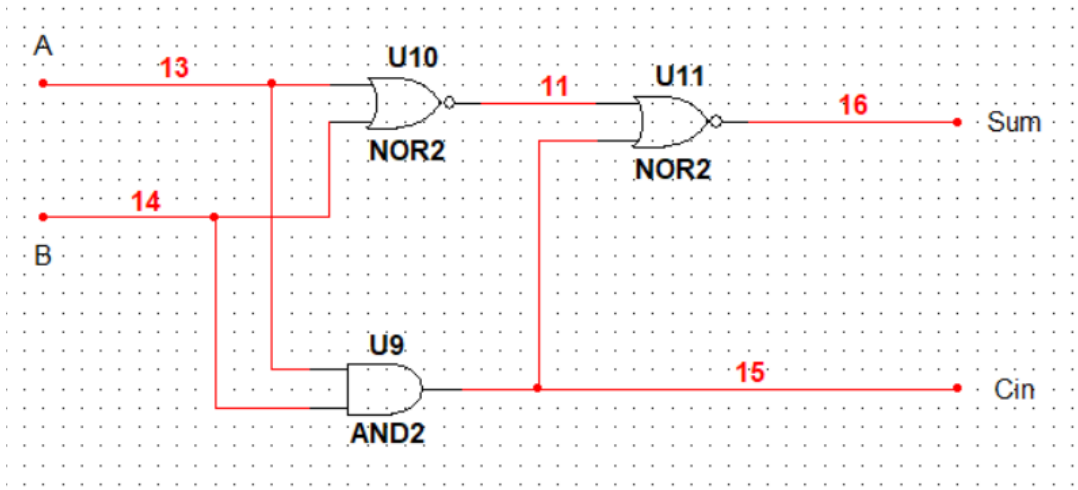
缺陷：一个异或门就需要两个非门来支持，大大增加了三极管的使用数量，增加了实物搭建难度。

新的思考：用或非门来实现异或门的效果。

理论支撑：利用逻辑运算和集合理论对“异或”进行拆分：

$$\begin{aligned} A \text{ xor } B &= (A \text{ or } B) - (A \text{ and } B) = (A \text{ or } B) \text{ and } \neg (A \text{ and } B) \\ &= \neg (\neg (A \text{ or } B) \text{ or } (A \text{ and } B)) \end{aligned}$$

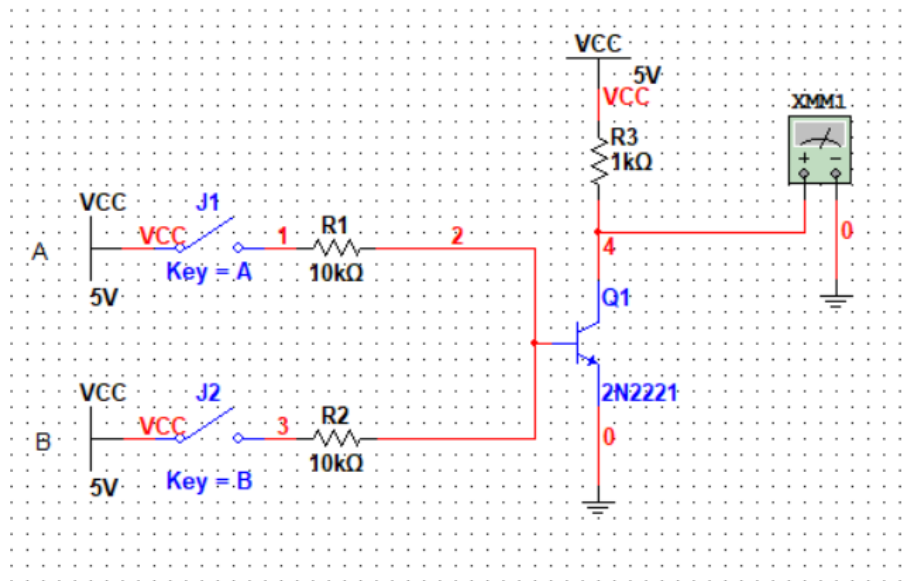
由此看出，异或门可以用或非门、与门进行实现，而由于半加器中已经存在与门，因此我们可以充分利用此与门，仅利用两个或非门来实现异或门的效果。



真值表结果：

输入		输出	
<i>A</i>	<i>B</i>	<i>Cin</i>	Sum
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

由此看出，用或非门实现异或门的想法是完全可实现的。因此，我们开始探索或非门的最佳实现电路。结合优化的或门与传统的非门，我们画出以下电路图：

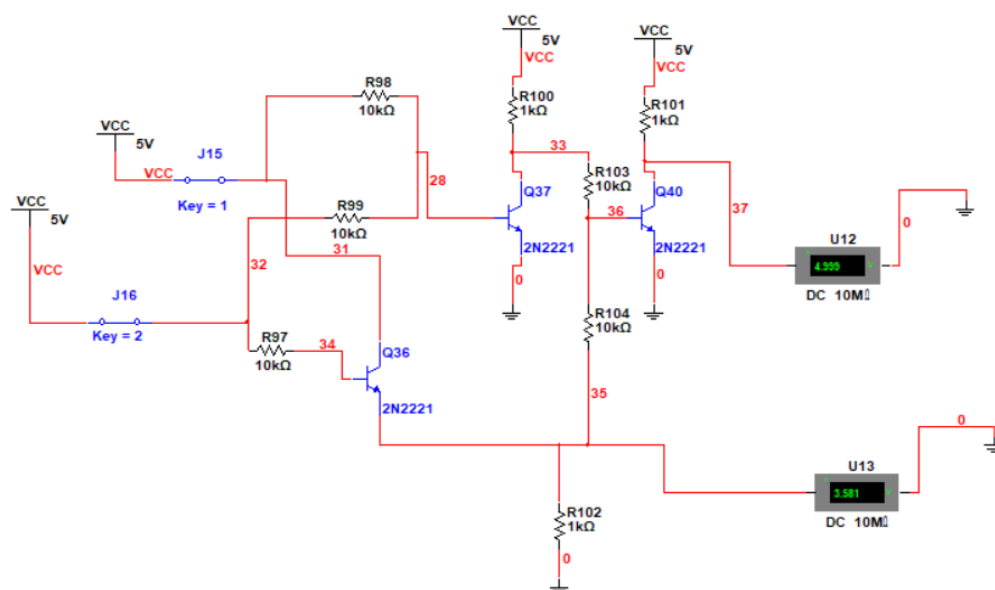


仿真结果如下：

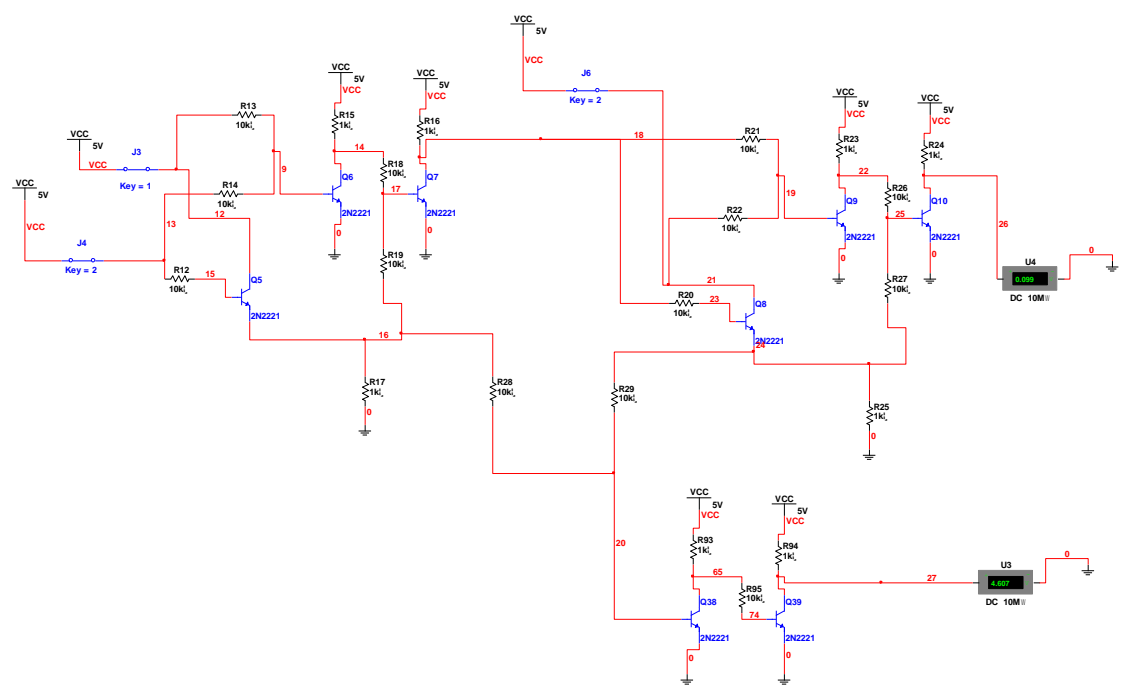
	全闭	全开	开 A 闭 B	开 B 闭 A
或非	4.599mV	5V	67.77mV	67.77mV

此或非门电路在高电平时达到了完全无损，低电平时也不大于 70mV，因此我们认为这是搭建半加器的理想门电路。

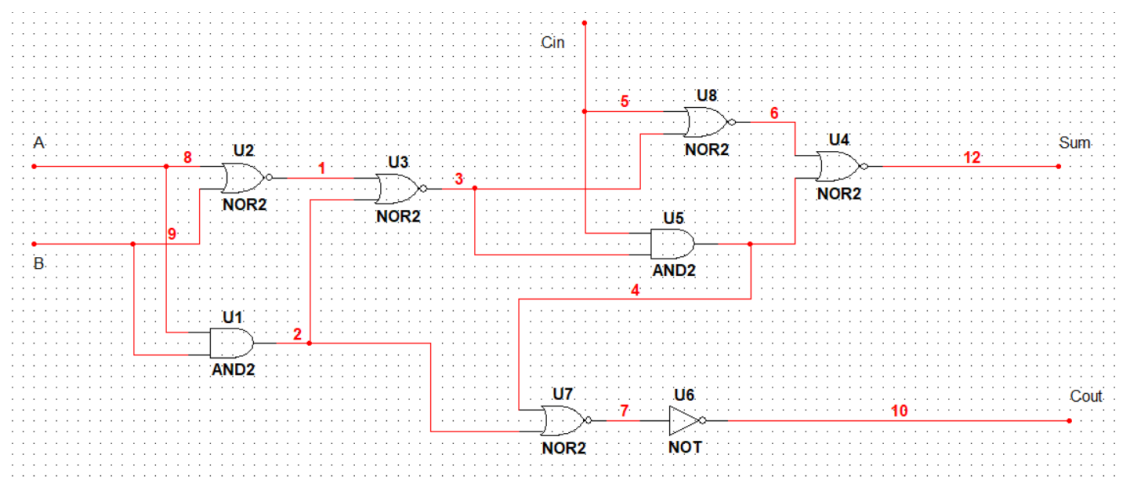
最终我们得到如下半加器：



有了半加器后，我们很快地搭建出了全加器：

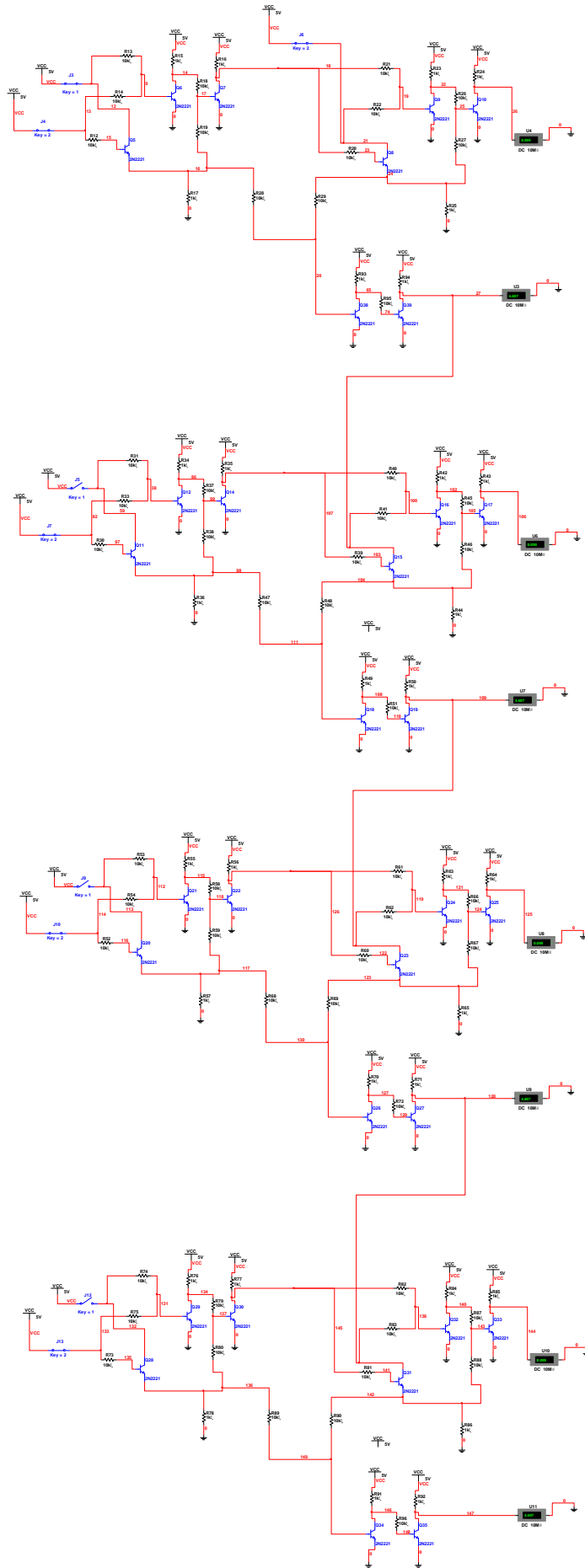


其思路如下：



需要特别提出的是，在全加器进位中，最后需要实现的为或门运算，但在测试的过程中，我们发现单纯使用或门进行输出，会发生之前异或门曾遇到的问题，即下一位的输入电压不足。因此我们同样采取或门后加两个非门电压的方法，来解决这一问题。即图右下方的或非门+非门。

完整的 4bit 加法器如下图：

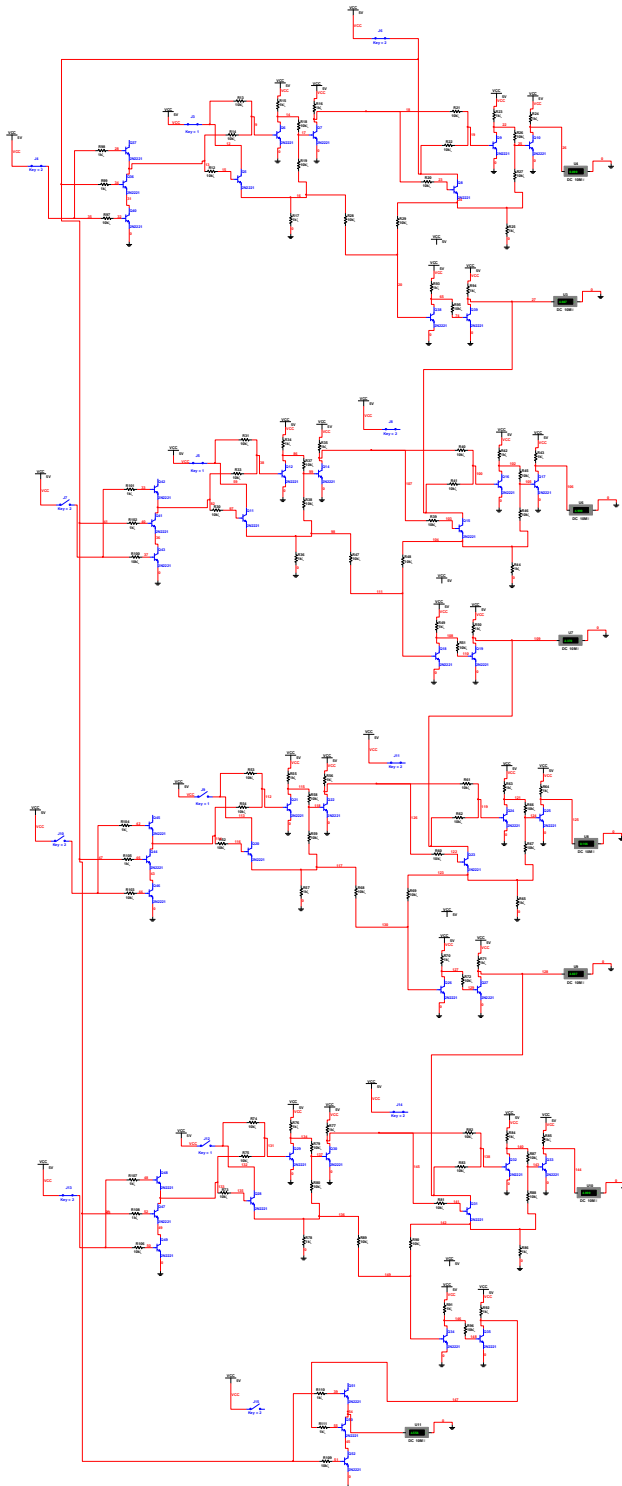




### 减法器实现的尝试：

当小组完成了加法器后，很自然地就想考虑减法的实现。减法在计算机中的实现为将减数变成补码（原码取反加 1），然后将补码与被减数相加，再忽略高位进位。在电路中的取反由异或门实现，加 1 由最低位的进位输入实现，忽略高位进位由异或门实现。经过电路整合后，由一个总开关切换加法和减法模式。经过上述改动可以同时实现加法与减法功能。

完整的 4bit 加减法器如下图：



4 结果和分析

（使用图片和文字叙述实验结果，并对这些结果进行适当分析）

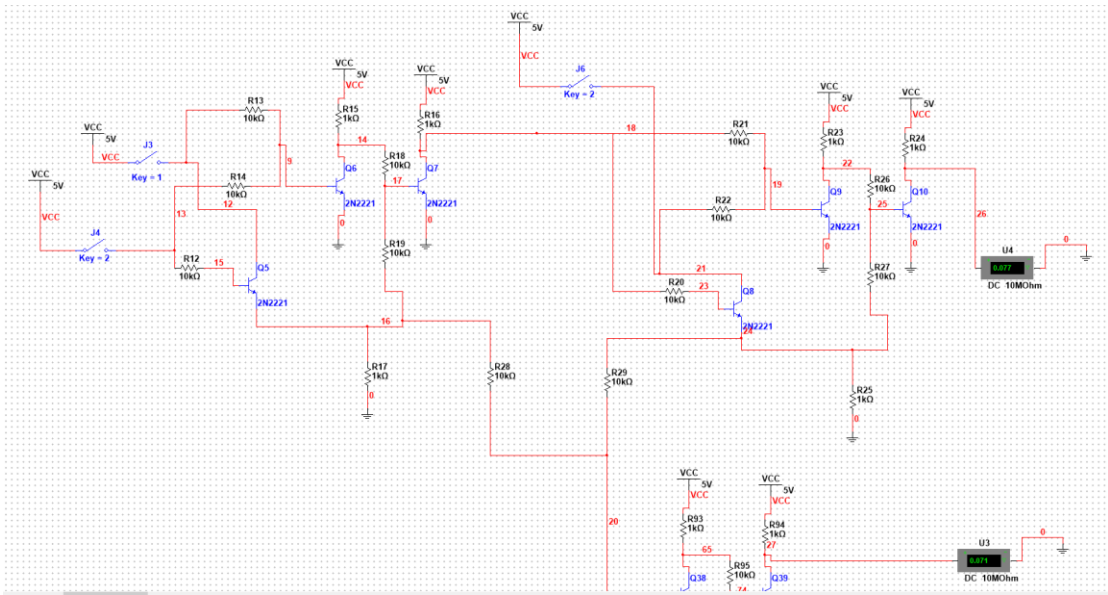
仿真部分：

（1）一位半加器

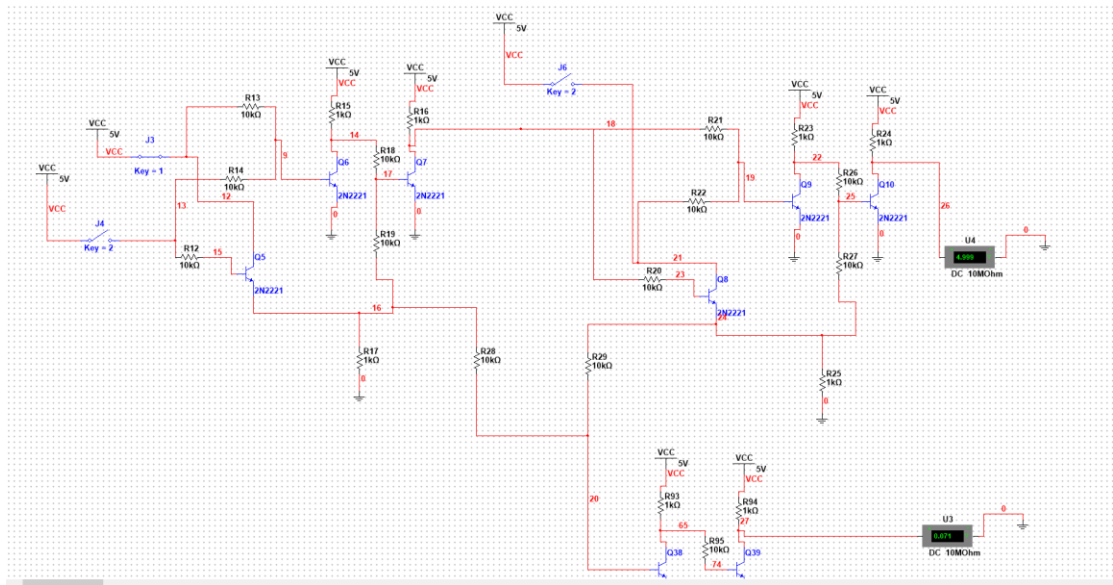
U1 为输出，US 为进位。

输入		输出	
<i>A</i>	<i>B</i>	<i>US</i>	<i>U1</i>
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

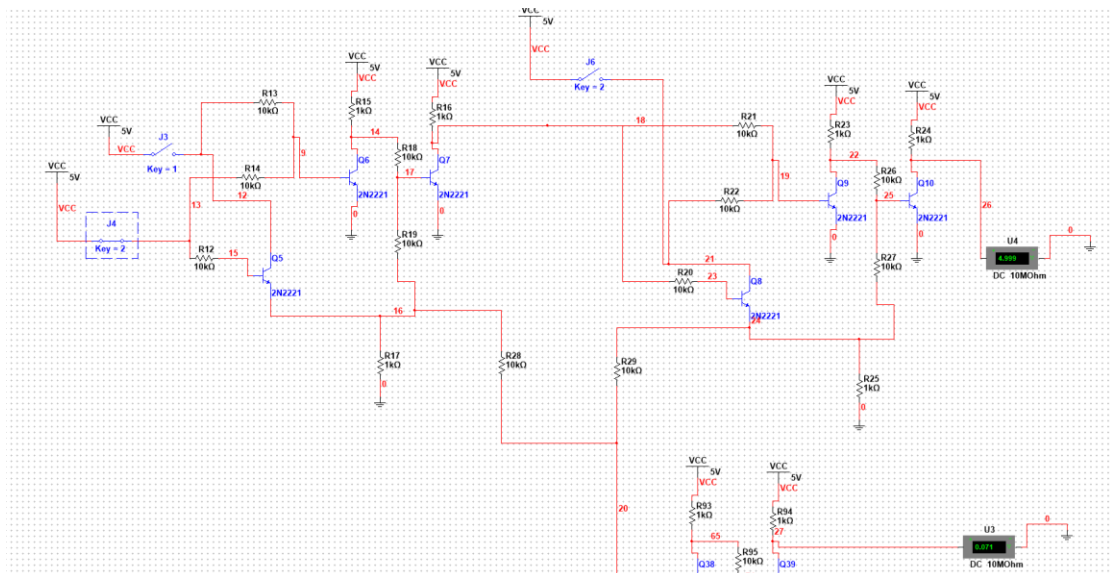
电路仿真结果如下：



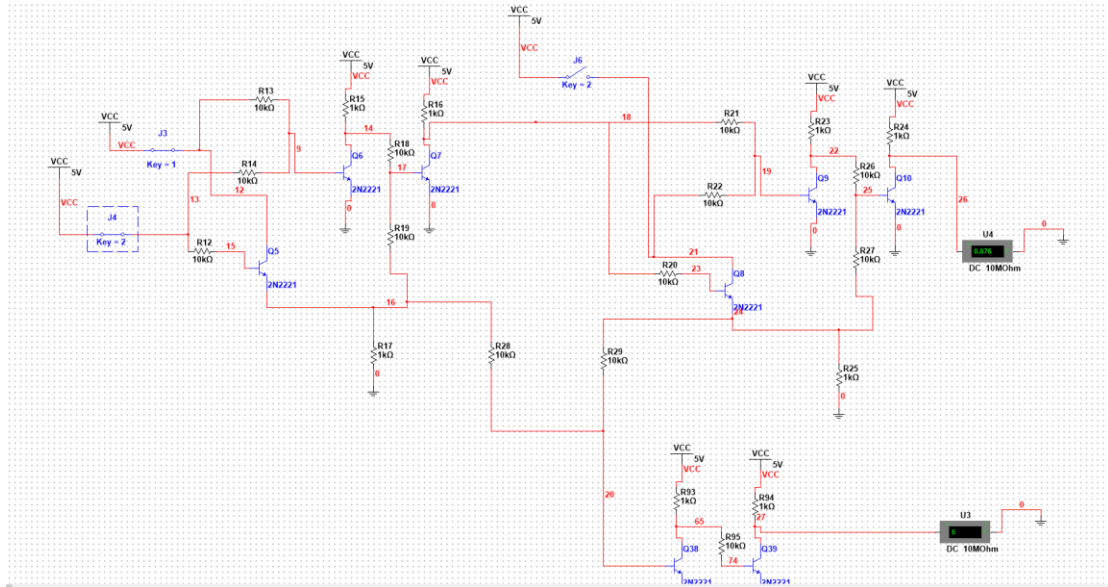
<i>A</i>	<i>B</i>	<i>US</i>	<i>U1</i>
0	0	0	0
开	开	0.077V	0.071V



$A$	$B$	$US$	$UI$
0	0	0	0
闭	开	4.999 V	0.071V



$A$	$B$	$US$	$UI$
0	0	0	0
开	闭	4.999V	0.071V



$A$	$B$	$US$	$UI$
0	0	0	0
闭	闭	0.076V	5V

结果符合真值表。且基本做到了无损电压输出。

### (2) 一位全加器

由于全加器由两个半加器构成，原理相似，经仿真输出电压后结果均符合真值表，此处便不在赘述。

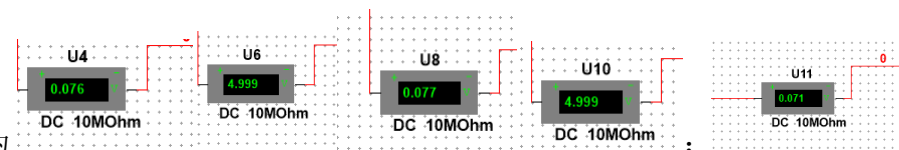
### (3) 四位全加器

利用一位全加器进行适当地级联，搭建出 4-bit 加法器，并进行仿真测试

A	B	C	D	E	F	G	H	二进制	十进制
0	0	0	0	0	0	0	0	00000	0
1	0	0	0	0	0	0	0	00001	1
0	0	1	0	0	0	0	0	00010	2
1	0	1	0	0	0	0	0	00011	3
0	0	0	0	1	0	0	0	00100	4
1	0	0	0	0	1	0	0	00101	5
0	0	1	0	1	0	0	0	00110	6

[illegible]

这里仅列举出一种情况：1001+0001



五级电压输出为

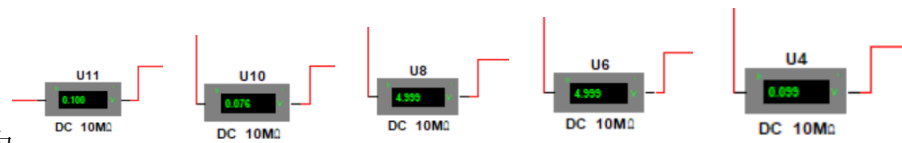
即结果为 01010，符合真值表。

依次验证各种情况，均符合真值表。

#### (4) 四位全加减器

这里仅列举出两种情况：

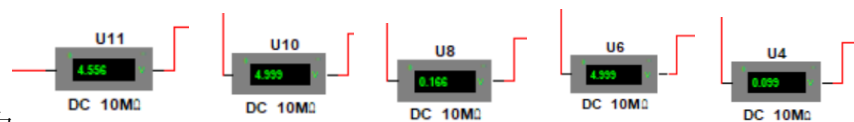
(1) 1001-0011



输出情况为

结果为  $9-3=6=00110$ ，结果正确

(2) 0011-1001



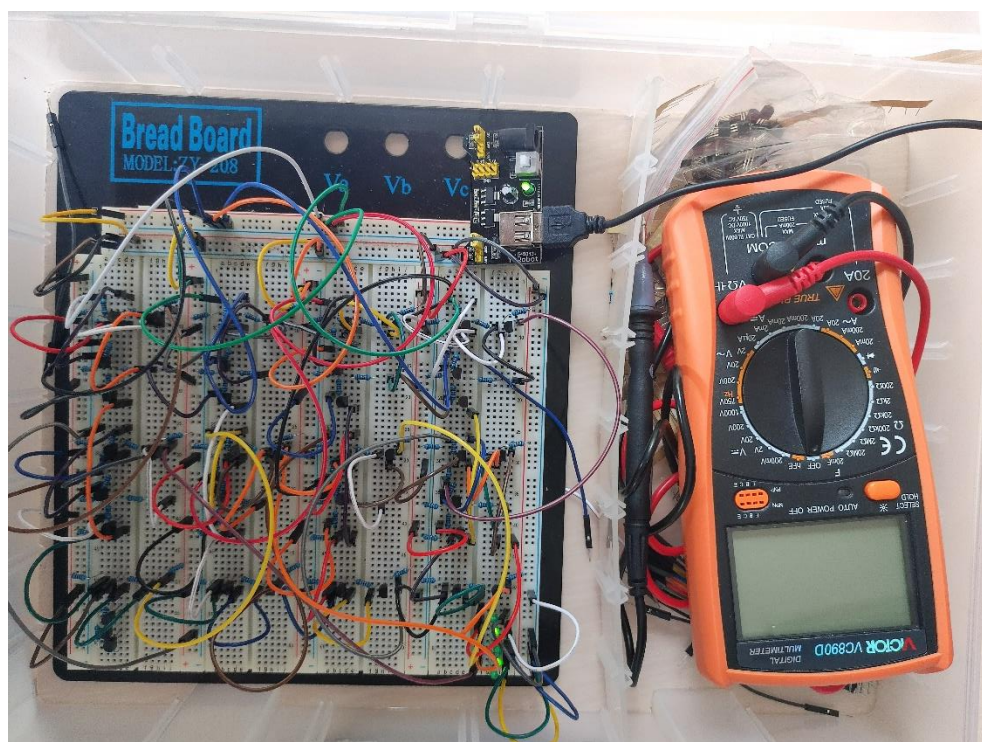
输出情况为

结果为  $3-9=-6=11010$  (00110 的补码)，结果正确

依次验证各种情况，均符合真值表。

实物部分：

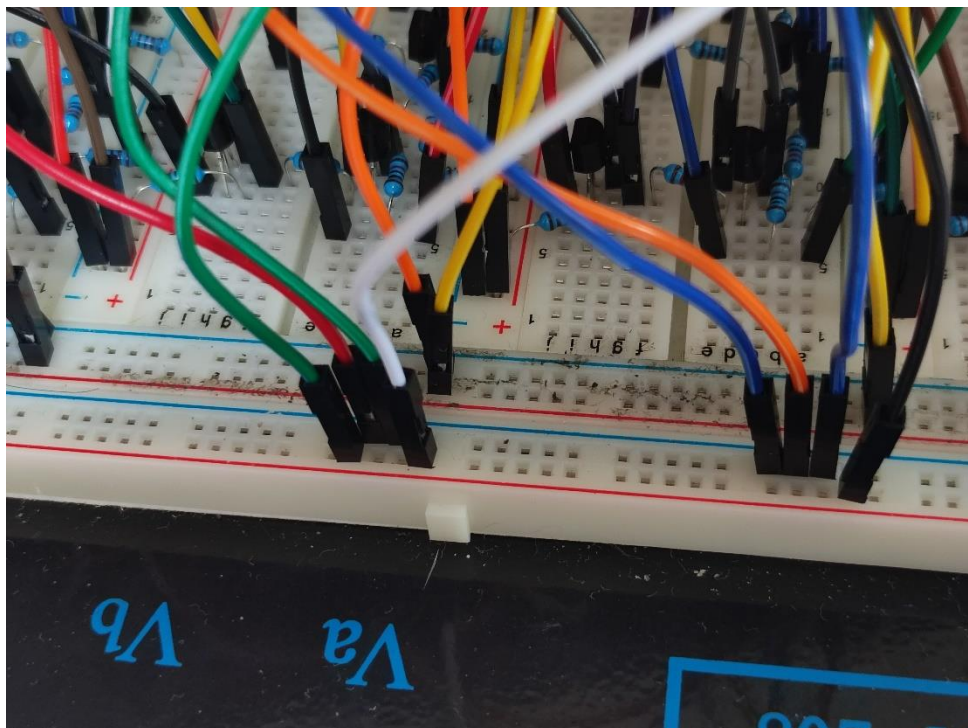
(1) 实物搭建：



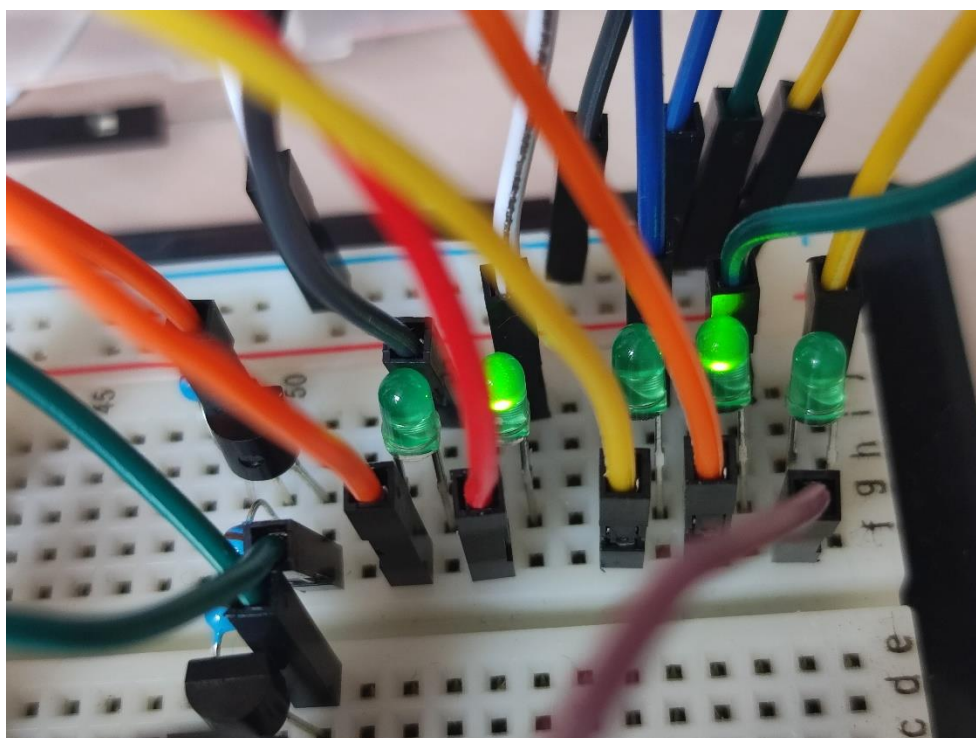


(2) 实物测试（此处仅列举同仿真相同的一种情况）

输入端：1001+0001



输出端：01010



依次验证各种情况后，证明我们搭建的实物加法器可以实现 4bit 加法器的所有功能。

## 5 结论

（基于课程设计的实验结果和分析，得出结论；本课程学习体会，对课程的意见和建议）

1. 运用模块化设计思想，从局部到整体，从易到难设计。
2. 在优化电路时可以采取：
  - （1） 对电路元件进行仔细选择（比如选择合适阻值的电阻）。
  - （2） 对局部电路进行优化，减少使用的电子元件数目，比如对与门和或门进行优化使其只使用 1 个三极管。
  - （3） 对局部电路进行优化，减少电压损失，比如用或非门来实现异或门的效果，同时也减少了使用的三极管的数目。
3. 注重各部分的联系，如将与门输出的电流引入或非门到非门之间的电路可以构造异或门。
4. 尝试多次使用已经设计好的部分，如使用两个半加器和一个或门构造全加器，以降低设计难度。
5. 积极创新，举一反三。如设计出加法器电路后，自然想到减法器的实现方式，并大胆地进行实践。