

浙江大学

本科实验报告

课程名称：数字逻辑设计

姓名：王伟杰

学院：计算机学院

系：软件工程

专业：软件工程

学号：3210106034

指导教师：马德

2022 年 10 月 24 日

浙江大学实验报告

课程名称：____数字逻辑设计____实验类型：____

实验项目名称：____7 段数码管显示译码器设计与应用____

学生姓名：____王伟杰____专业：____软件工程____学号：____3210106034____

同组学生姓名：____王熠、陈苇远____指导老师：____马德____

实验地点：____东 4-509____实验日期：____2022____年____10____月____24____日

一、实验目的

- 1.1 掌握七数码管显示原理。
- 1.2 掌握七段码显示译码设计。
- 1.3 进一步熟悉Xilinx ISE 环境及SWORD实验平台。

二、实验内容

- 2.1 原理图设计实现显示译码MyMC14495模块
- 2.2 用MyMC14495模块实现数码管显示

三、操作方法与实验步骤

原理图设计实现显示译码MyMC14495模块

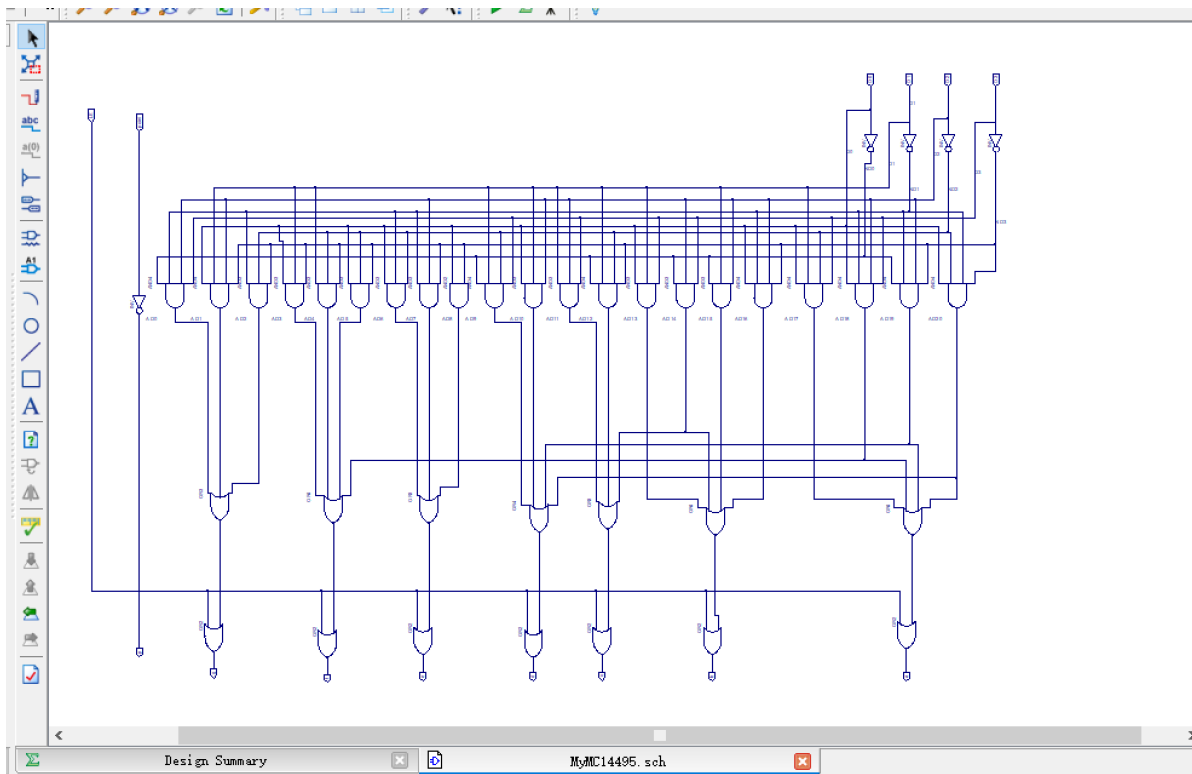
1.设计实现74LS138

□新建工程，工程名称用D_74LS138_SCH。

□新建Schematic源文件，文件名称用D_74LS138。

□原理图方式进行设计。

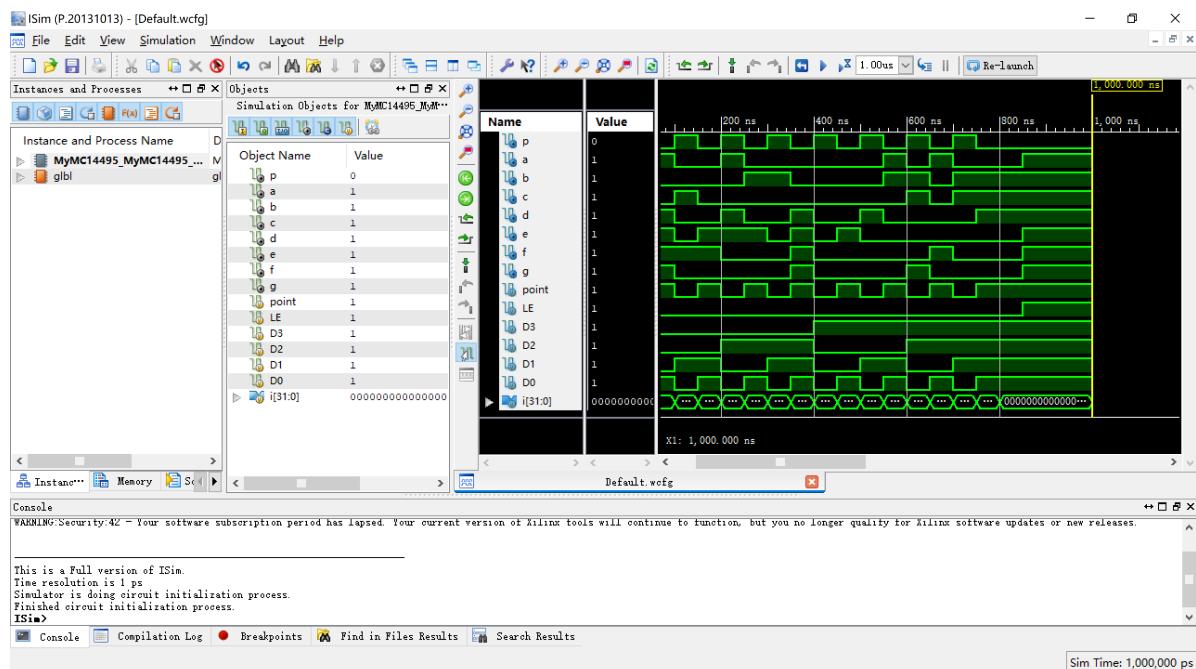
原理图实现：



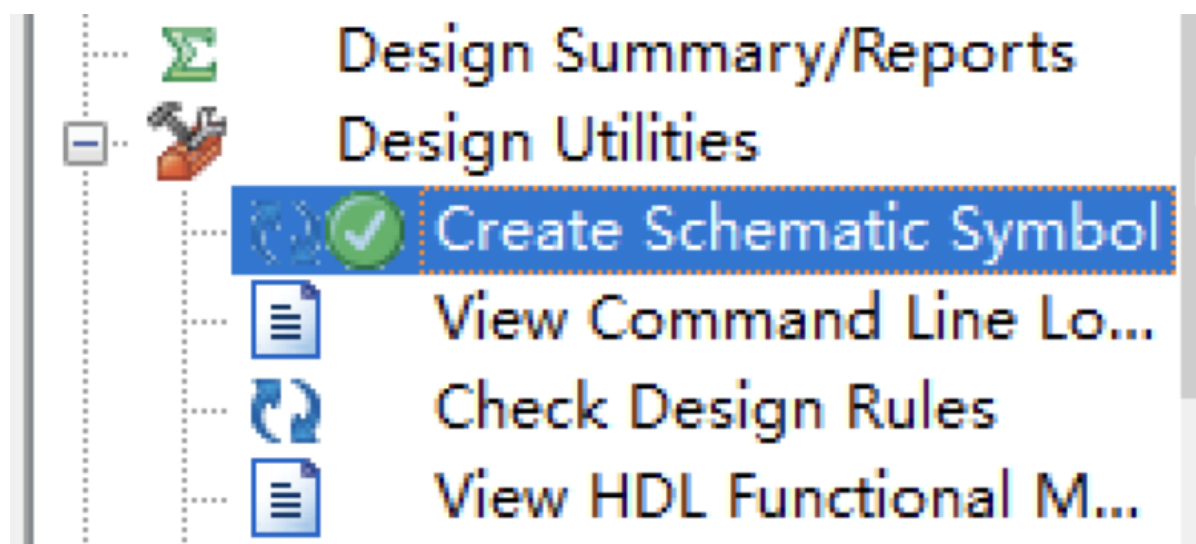
2.仿真

```
integer i;
initial begin
    point = 0;
    LE = 0;
    D3 = 0;
    D2 = 0;
    D1 = 0;
    D0 = 0;
    for(i = 0; i <= 15; i = i + 1) begin
        {D3, D2, D1, D0} = i;
        point = i;
        #50;
    end
    #50;
    LE = 1;
end
```

仿真结果：



3.生成逻辑符号图



用MyMC14495模块实现数码管显示

1.新建工程

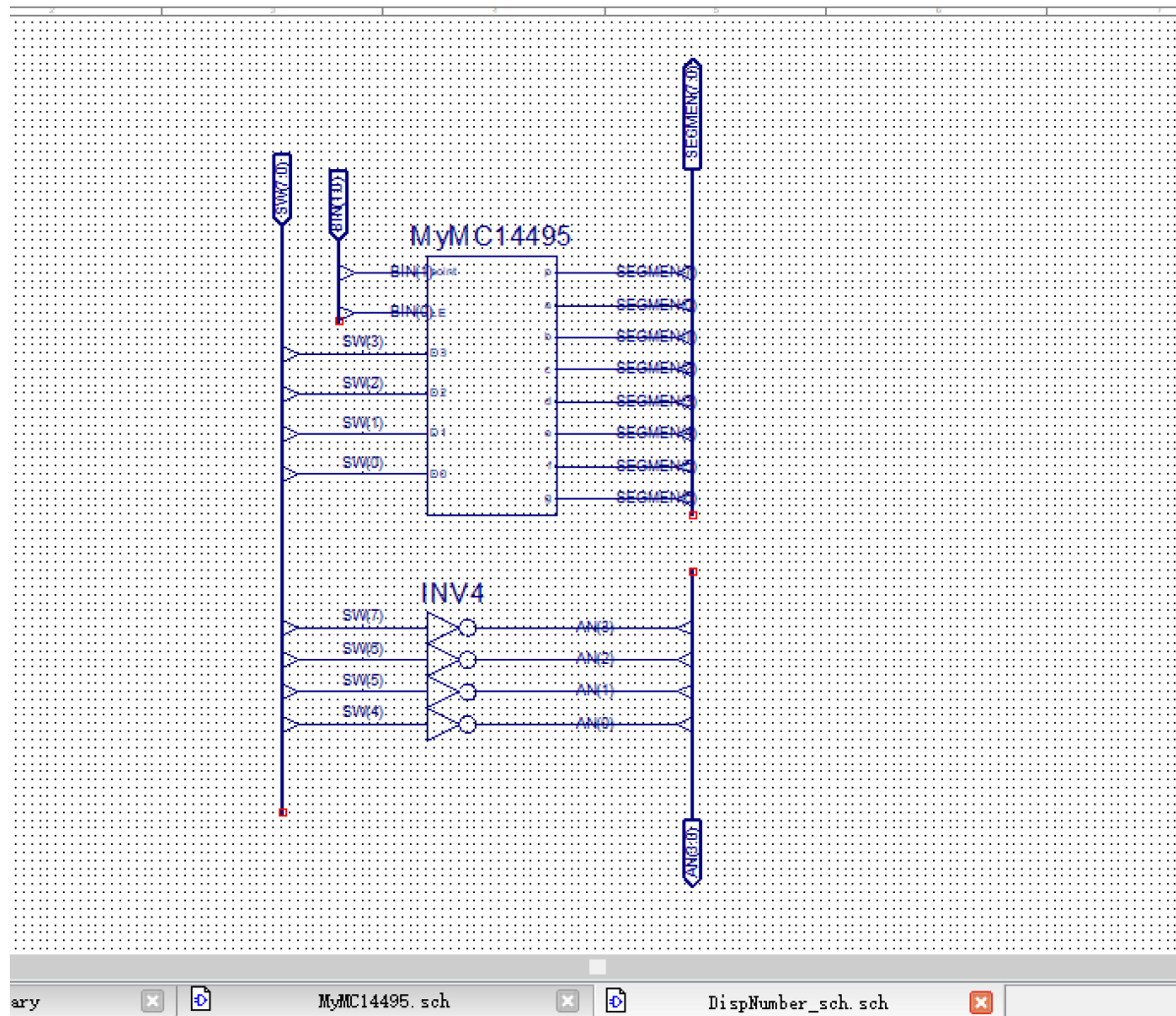
□ 新建工程 DispNumber_sch

□ 新建 schematic 文件 DispNumber_sch

□ 复制 MyMC14495. sym 和 .sch 到工程根目录

□ 在 symbols 框里的第一个元件，就是 MyMC14495

2. 绘制原理图



3. 下载验证

#ucf文件中的引脚约束:

```
NET "Sw[0]" LOC=AA10 | IOSTANDARD=LVC MOS15;  
NET "Sw[1]" LOC=AB10 | IOSTANDARD=LVC MOS15;  
NET "Sw[2]" LOC=AA13 | IOSTANDARD=LVC MOS15;
```

```

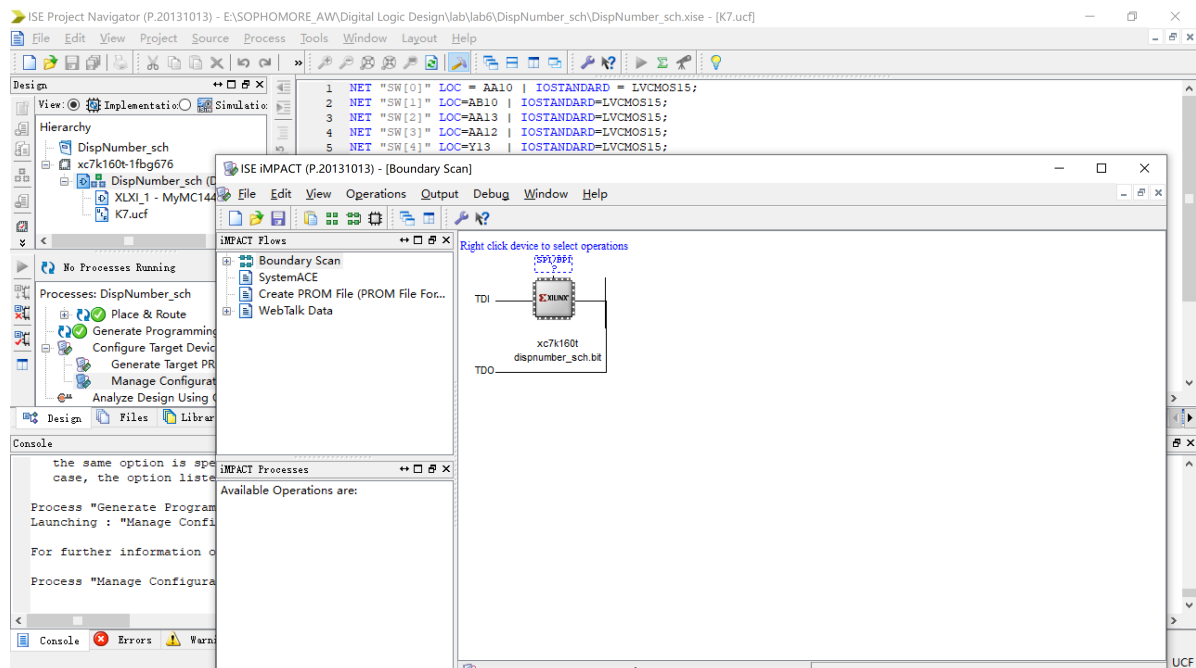
NET "SW[3]" LOC=AA12 | IOSTANDARD=LVC MOS15;
NET "SW[4]" LOC=Y13 | IOSTANDARD=LVC MOS15;
NET "SW[5]" LOC=Y12 | IOSTANDARD=LVC MOS15;
NET "SW[6]" LOC=AD11 | IOSTANDARD=LVC MOS15;
NET "SW[7]" LOC=AD10 | IOSTANDARD=LVC MOS15;

NET "BIN[0]" LOC = AF13 | IOSTANDARD = LVC MOS15;#SW[14]
NET "BIN[1]" LOC = AF10 | IOSTANDARD = LVC MOS15;#SW[15]

NET "SEGMENT[0]" LOC=AB22 | IOSTANDARD=LVC MOS33;#a
NET "SEGMENT[1]" LOC=AD24 | IOSTANDARD=LVC MOS33;#b
NET "SEGMENT[2]" LOC=AD23 | IOSTANDARD=LVC MOS33;#c
NET "SEGMENT[3]" LOC=Y21 | IOSTANDARD=LVC MOS33;#d
NET "SEGMENT[4]" LOC=W20 | IOSTANDARD=LVC MOS33;#e
NET "SEGMENT[5]" LOC=AC24 | IOSTANDARD=LVC MOS33;#f
NET "SEGMENT[6]" LOC=AC23 | IOSTANDARD=LVC MOS33;#g
NET "SEGMENT[7]" LOC=AA22 | IOSTANDARD=LVC MOS33;#point

NET "AN[0]" LOC=AD21 | IOSTANDARD=LVC MOS33;
NET "AN[1]" LOC=AC21 | IOSTANDARD=LVC MOS33;
NET "AN[2]" LOC=AB21 | IOSTANDARD=LVC MOS33;
NET "AN[3]" LOC=AC22 | IOSTANDARD=LVC MOS33;

```



四、实验结果与分析

原理图设计实现显示译码MyMC14495模块

项目中成功出现元件且功能正常

Categories

... <--All Symbols--> ^
... <E:\SOPHOMORE_AW\Digital L...
... Advanced
... Arithmetic
... Buffer
... Carry_Logic
... Clocking_Resources
... Comparator
... Counter
... Decoder v

Symbols

... DispNumber_sch ^
... MyMC14495
... acc16
... acc4
... acc8
... add16
... add4
... add8
... adsu16
... adsu4 v



MyMC14495

HN(1)point

p

HN(0)LE

a

b

D3

c

D2

d

D1

e

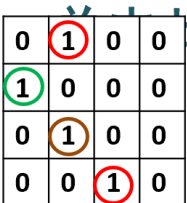
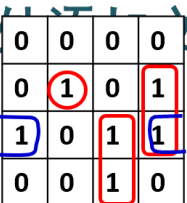
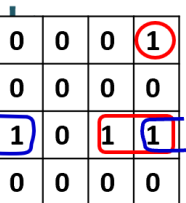
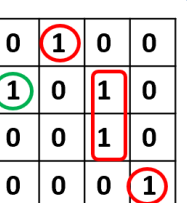
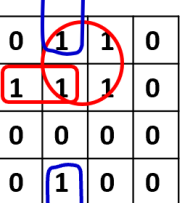
D0

f

g

用MyMC14495模块实现数码管显示

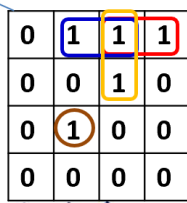
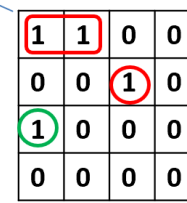
Hex	D ₃ D ₂ D ₁ D ₀	BI/LE	1	b	c	d	e	f	g	p
0	0000	0	0	0	0	0	0	0	1	p
1	0001	0	1	0	0	1	1	1	1	p
2	0010	0	0	0	1	0	0	1	0	p
3	0011	0	0	0	0	0	1	1	0	p
4	0100	0	1	0	0	1	1	0	0	p
5	0101	0	0	1	0	0	1	0	0	p
6	0110	0	0	1	0	0	0	0	0	p
7	0111	0	0	0	0	1	1	1	1	p
8	1000	0	0	0	0	0	0	0	0	P
9	1001	0	0	0	0	0	1	0	0	P
A	1010	0	0	0	0	1	0	0	0	P
B	1011	0	1	1	0	0	0	0	0	P
C	1100	0	0	1	1	0	0	0	1	P
D	1101	0	1	0	0	0	0	1	0	P
E	1110	0	0	1	1	0	0	0	0	P
F	1111	0	0	1	1	1	0	0	0	P
X	xxxx	1	1	1	1	1	1	1	1	1

a  b  c  d  e 

$a = \bar{D}_3\bar{D}_2\bar{D}_1D_0 + \bar{D}_3D_2\bar{D}_1\bar{D}_0 + D_3\bar{D}_2D_1D_0 + D_3D_2\bar{D}_1D_0$

$b = \bar{D}_3D_2\bar{D}_1D_0 + D_2D_1\bar{D}_0 + D_3D_2\bar{D}_0 + D_3\bar{D}_1D_0$

$c = \bar{D}_3\bar{D}_2D_1\bar{D}_0 + D_3D_2\bar{D}_0 + D_3D_2D_1$

f  g 

$d = \bar{D}_3\bar{D}_2\bar{D}_1D_0 + \bar{D}_3D_2\bar{D}_1\bar{D}_0 + D_2D_1D_0 + D_3\bar{D}_2D_1\bar{D}_0$

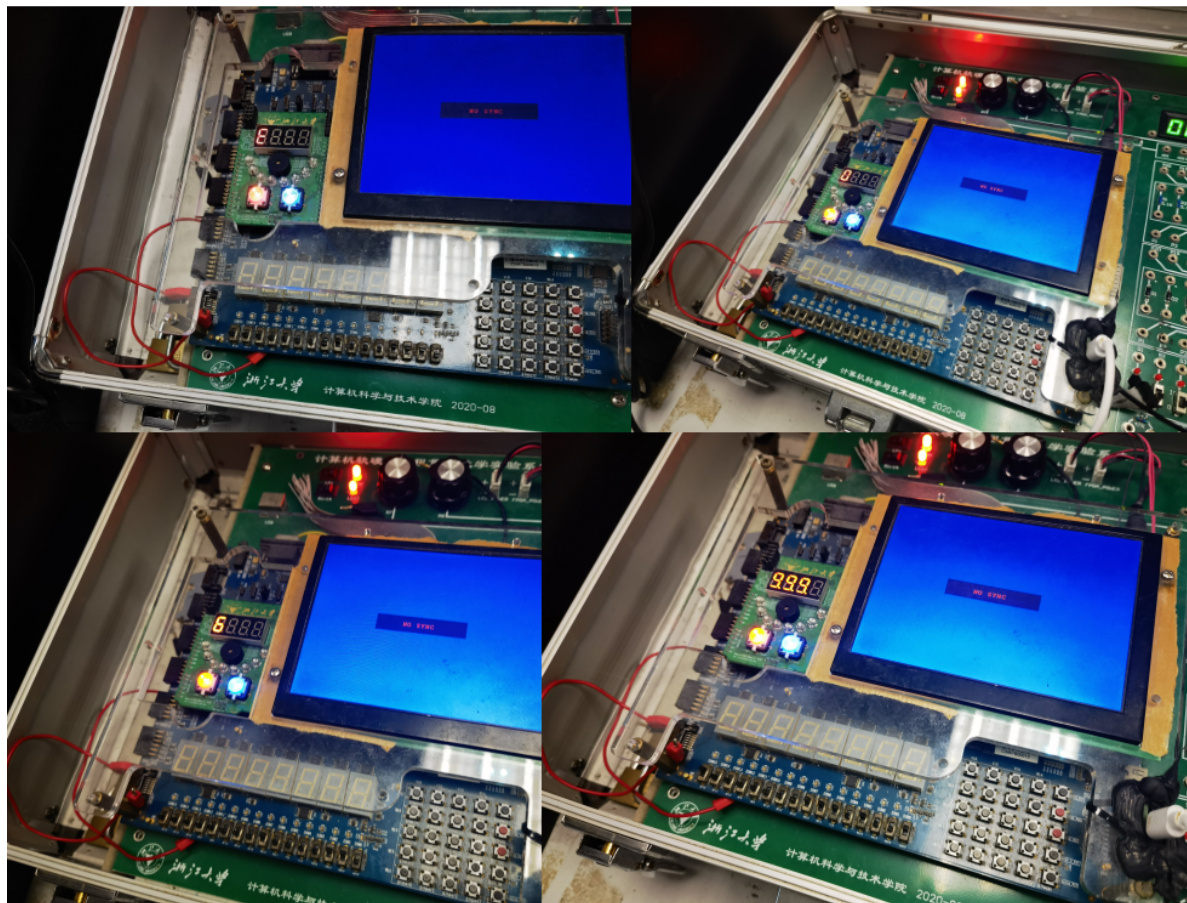
$e = \bar{D}_3D_0 + \bar{D}_3D_2\bar{D}_1 + \bar{D}_2\bar{D}_1D_0$

$f = \bar{D}_3\bar{D}_2D_0 + \bar{D}_3\bar{D}_2D_1 + \bar{D}_3D_1D_0 + D_3D_2\bar{D}_1D_0$

$g = \bar{D}_3\bar{D}_2\bar{D}_1 + \bar{D}_3D_2D_1D_0 + D_3D_2\bar{D}_1\bar{D}_0$

浙江大學

结果符合真值表及逻辑表达式：



五、讨论、心得

通过本次实验，我完整地理解了7段数码管显示译码器的原理及实现步骤。

本次实验的重点在于正确绘制出原理图，这个步骤花费了我很多时间。此后我会在上实验课之前完成原理图的绘制或代码的编写，从而节省课堂时间，更好地解决更多深层次的问题。