

# 浙江大学

## 本科实验报告

课程名称：数字逻辑设计

姓名：王伟杰

学院：计算机学院

系：软件工程

专业：软件工程

学号：3210106034

指导教师：马德

2022 年 12 月 19 日

# 浙江大学实验报告

课程名称：\_\_\_\_ 数字逻辑设计 \_\_\_\_ 实验类型：\_\_\_\_

实验项目名称：\_\_\_\_ 计数器、定时器设计与应用 \_\_\_\_

学生姓名：\_\_\_\_ 王伟杰 \_\_\_\_ 专业：\_\_\_\_ 软件工程 \_\_\_\_ 学号：\_\_\_\_ 3210106034 \_\_\_\_

同组学生姓名：\_\_\_\_ 王熠、陈苇远 \_\_\_\_ 指导老师：\_\_\_\_ 马德 \_\_\_\_

实验地点：\_\_\_\_ 寝室 \_\_\_\_ 实验日期：\_\_\_\_ 2022 \_\_\_\_ 年 \_\_\_\_ 12 \_\_\_\_ 月 \_\_\_\_ 19 \_\_\_\_ 日

## 一、实验目的

1.1 掌握同步四位二进制计数器74LS161的工作原理和设计方法。

1.2 掌握时钟/定时器的的工作原理与设计方法。

## 二、实验内容

2.1 采用行为描述设计同步四位二进制计数器74LS161。

2.2 基于74LS161设计时钟应用。

## 三、操作方法与实验步骤

### 3.1 采用行为描述设计同步四位二进制计数器74LS161

#### 1. 新建工程My74LS161

#### 2. 新建源文件my74LS161.v

```
1 module my74LS161(  
2     input wire CR,  
3     input wire CP,  
4     input wire [3:0] D,  
5     input wire CTP,  
6     input wire CTT,  
7     input wire Ld,  
8     output reg[3:0] Q,  
9     output wire CO  
10 );  
11 wire [3:0] a, b, c, d;  
12 assign CO = Q[3] && Q[2] && Q[1] && Q[0] && CTT;  
13 assign a = D;  
14 assign b = Q + 4'b0001;  
15 always @(posedge CP or negedge CR) begin  
16     if(CR == 0)  
17         Q <= 4'b0000;  
18     else begin  
19         if(Ld == 0)  
20             Q <= a;  
21         else if(CTT && CTP)  
22             Q <= b;
```

```

23         end
24     end
25 endmodule

```

### 3. 建立基准测试波形文件Verilog Test Fixture

仿真激励代码：

```

1  initial begin
2      CR = 0;
3      D = 0;
4      CTP = 0;
5      CTT = 0;
6      Ld = 0;
7      #100;
8      CR = 1;
9      Ld = 1;
10     D = 4'b1100;
11     CTT = 0;
12     CTP = 0;
13     #30 CR = 0;
14     #20 CR = 1;
15     #10 Ld = 0;
16     #30 CTT = 1;
17     CTP = 1;
18     #10 Ld = 1;
19     #510; CR = 0;
20     #20 CR = 1;
21     #500;
22     end
23
24     always begin
25         CP = 1; #20;
26         CP = 0; #20;
27     end
28

```

## 3.2 基于74LS161设计时钟应用

新建工程和Verilog文件top.v

```

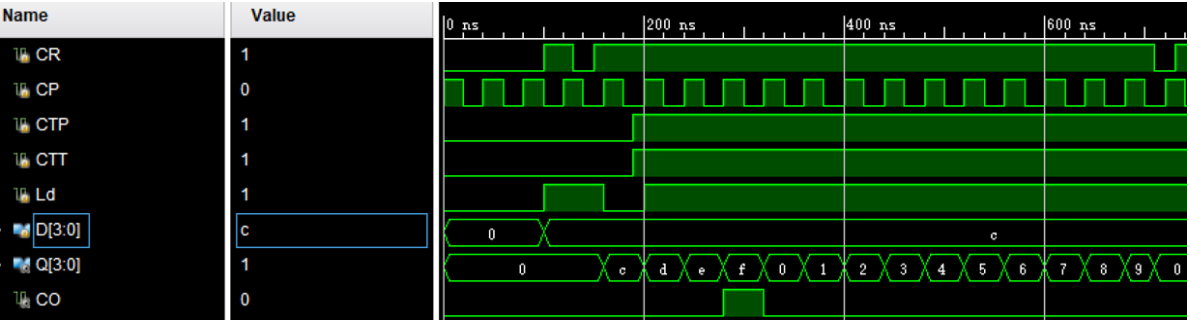
1  module Top(clk, num);
2      input wire clk;
3      output wire [15:0] num;
4      clk_100ms m4(.clk(clk), .clk_100ms(clk_100ms));
5      my74LS161 m0(.CR(1'b1), .Ld(~(num[3] & num[0])), .CTT(1'b1),
6      .CTP(1'b1), .CP(clk_100ms), .D(4'b0000), .Q(num[3:0]));
7      my74LS161 m1(.CR(1'b1), .Ld(~(num[6]&num[4]&num[3]&num[0])),
8      .CTT(num[3] & num[0]), .CTP(1'b1), .CP(clk_100ms), .D(4'b0000),
9      .Q(num[7:4]));    assign hCarry1 = (~num[13])&
10     (num[11]&num[8])&num[6]&num[4]&num[3]&num[0];
11     assign hCarry2 = num[13]&(~num[12])&(num[9]&num[8])&(num[6]&num[4])&
12     (num[3]&num[0]);
13     assign hCarry = hCarry1 | hCarry2;

```

```
11      my74LS161 m2(.CR(1'b1), .Ld(~hCarry), .CTT(num[6]&num[4]&num[3]&num[0]),
12      .CTP(1'b1), .CP(c1k_100ms), .D(4'b0000), .Q(num[11:8]));
13      assign t23_59 = num[13] & (~num[12]) & (num[9] & num[8]) & (num[6] &
num[4]) & (num[3] & num[0]);
14      assign tx9_59 = (num[11] & num[8]) & (num[6] & num[4]) & (num[3] &
num[0]);
15      my74LS161 m3(.CR(1'b1), .Ld(~(t23_59)), .CTT(tx9_59),
    .CTP(1'b1),.CP(c1k_100ms), .D(4'b0000), .Q(num[15:12]));
16  endmodule
```

## 四、实验结果与分析

同步四位二进制计数器74LS161仿真结果：



仿真结果符合预期。

## 五、讨论、心得

本次实验分两部分内容，一部分为设计同步4 位二进制计数器，一部分为设计时钟应用，用到了寄存器的相关知识，同时也调用了以前的My74LS161模块和分频器模块。由于实验条件限制，并未调用显示模块进行下载验证，但我对Verilog语言更加熟悉了。