

2015 IC Design Contest Preliminary

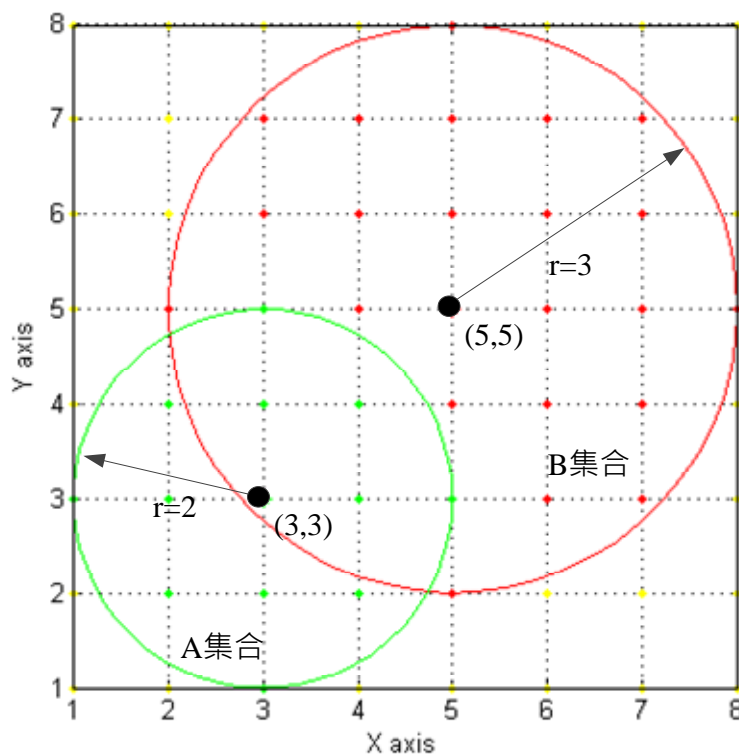
E 組-大學類可程式邏輯設計

指定集合內覆蓋之元素個數計數器

1. 問題描述

本題目須完成利用指定圖形之集合運算計算出圖內覆蓋的元素個數。如下圖一所示，在二維平面空間 8x8 座標系統內共有 2 個圓形，其中 A 圓形的圓心座標(3,3)與其半徑 $r=2$ 所涵蓋(包含圓周內與剛好坐落在圓周上的點)的每一座標點所形成的集合稱為 $A=\{\dots\}$ ， $|集合 A|$ 則表示集合 A 所涵蓋的元素個數，其中 B 圓形的圓心座標(5,5)與其半徑 $r=3$ 所涵蓋(包含圓周內與剛好坐落在圓周上的點)的每一座標點所形成的集合稱為集合 $B=\{\dots\}$ ， $|集合 B|$ 則表示集合 B 所涵蓋的元素個數，針對集合 A 與集合 B 進行各種集合運算，電路最後輸出滿足集合運算之元素個數。(其中圓心座標與半徑皆是正整數)

本試題電路中，有 6 只信號輸入(clk、rst、en、central、radius、mode)、3 只信號輸出(busy、valid、candidate)。相關的信號說明，請參考表一。



圖一、二維 8x8 座標系統空間

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 B。

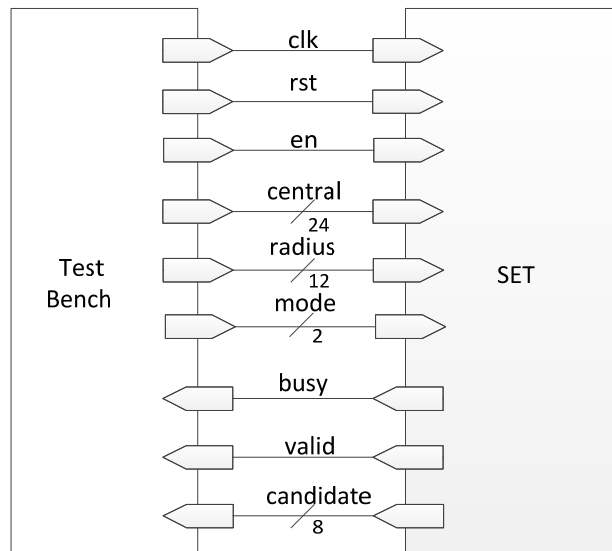
本次 IC 設計競賽比賽時間為上午 08:30 到下午 08:30。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

2. 設計規格

請注意：

1. 此次 top module 名稱及檔案名稱、大小寫須完全符合**附錄 B 規範**，若有引入其它模組、檔案請自行寫在設計檔內，測試檔不允許任何修改否則不予計分。
2. 最後評分方式為使用最後上傳檔案版本評分，並以最後上傳檔案版本時間為依據，請參考 3. 評分標準。

2.1 系統方塊圖



圖二、系統方塊圖

2.2 輸入/輸出介面

表一、輸入/輸出訊號

Signal Name	Direction	Width(bit)	Description
rst	input	1	非同步系統重置訊號。當此訊號為 1 時表示系統重置。
clk	input	1	系統時脈訊號。
en	input	1	資料有效信號。當此訊號為 1 時表示輸入資料為有效。
central	input	24	集合座標資料。其組成為{x1,y1,x2,y2,x3,y3}，其中 central[23:20]：為集合 A 的 X 軸座標 (x1) central[19:16]：為集合 A 的 Y 軸座標 (y1) central[15:12]：為集合 B 的 X 軸座標 (x2) central[11:8]：為集合 B 的 Y 軸座標 (y2)

			central[7:4] : 保留功能 (本試題不使用)。 central[3:0] : 保留功能 (本試題不使用)。
radius	input	12	集合半徑資料。其組成為{r1,r2,r3}，其中 radius[11:8] : 為集合 A 的半徑值 r1 radius[7:4] : 為集合 B 的半徑值 r2 radius[3:0] : 保留功能 (本試題不使用)。
mode	input	2	mode 為指示進行運算模式信號。詳細請見:2.3.1~2.3.3 節。
busy	output	1	系統忙碌指示信號。當此信號為 1 時表示系統為忙碌中。
valid	output	1	valid 為有效的資料輸出指示信號。當信號 valid 為高位準時，於 central 及 radius 輸出埠所輸出之資料均為有效之座標軸及半徑資料。
candidate	output	8	輸出題目所指定的元素個數。

2.3 系統功能描述

本電路功能如下：

當 reset 結束後。每當測試模組偵測到 $busy = 0$ 且經時脈信號負緣觸發時會立刻送出輸入致能信號 en 、集合座標資料 $central$ 、集合半徑資料 $radius$ 及運算模式指示信號 $mode$ ；而當 $en = 1$ 且經時脈信號正緣觸發之 $central$ 、 $radius$ 及 $mode$ 為有效輸入信號。

系統需在接收到有效輸入信號後將 $busy$ 拉為 1 表示系統忙碌中，並利用運算模式指示信號 $mode$ 所指示之計算出其集合空間裡所涵蓋的元素個數。接著系統須將 $valid$ 拉為 1 並同時將前述計算完成之集合座標點數目利用 $candidate$ 信號輸出，詳細時序請參考圖六。接著請再次將 $busy$ 設定為 0 表示系統閒置，測試模組將在偵測到 $busy = 0$ 且經時脈信號負緣觸發後輸出下一筆待測信號。

此三筆資料輸入分別為 A 集合座標($x1,y1$)與 $r1$ 、B 集合座標($x2,y2$)與 $r2$ 、C 集合座標($x3,y3$)與 $r3$ ，一次運算最多為 2 個集合(A 集合與 B 集合，C 集合忽略)，本系統描述如下：

$$\left\{ \begin{array}{l} 1 \leq x \leq 8 \\ \forall x, y | x^2 + y^2 \leq r^2 | x, y, r \in Z \\ 1 \leq y \leq 8 \end{array} \right\}$$

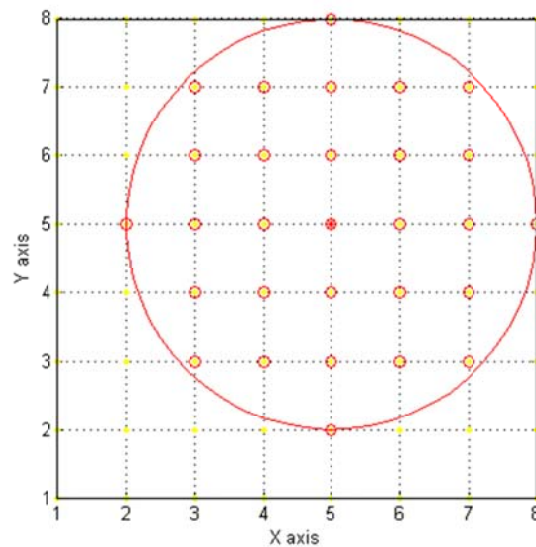
式一

集合運算模式信號 $mode$ 為 2bits，共有三種模式，系統須依信號指示擷取有效資料進行運算。茲將此三種模式說明如 2.3.1~2.3.3 所示。

2.3.1 集合運算指示訊號(mode)訊號為 2'b00

mode=2'b00: 計算一個 A 集合在二維 8x8 空間裡所涵蓋的座標元素個數，其中 *central* 信號($x1,y1$)，*radius* 信號 $r1$ 為有效資料。

範例：輸入($x1=5, y1=5$)， $r1=3$ ，在二維 8x8 座標空間裡，產生 A 集合，如圖三所示。



圖三、A 集合

其中所涵蓋的元素如下：

(2,5)、(3,3)、(3,4)、(3,5)、(3,6)、(3,7)、(4,3)、(4,4)、(4,5)、(4,6)、(4,7)、(5,2)、(5,3)、(5,4)、(5,5)、(5,6)、(5,7)、(5,8)、(6,3)、(6,4)、(6,5)、(6,6)、(6,7)、(7,3)、(7,4)、(7,5)、(7,6)、(7,7)、(8,5)。

A 集合所涵蓋元素個數為 29。

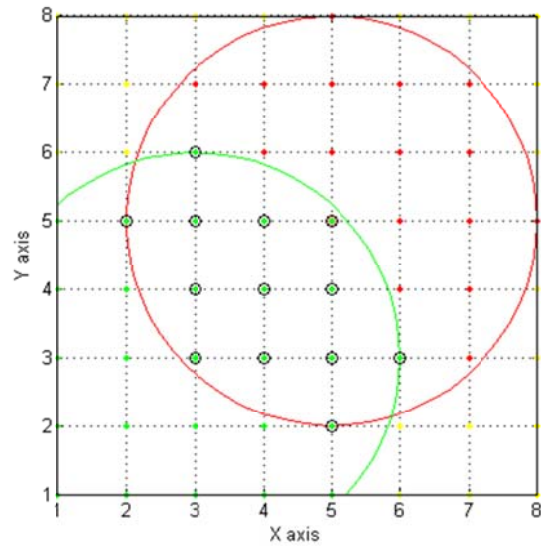
2.3.2 集合運算模式指示訊號(mode)訊號為 2'b01

mode=2'b01: 進行($A \cap B$)運算

說明：

計算 A、B 兩個集合，二維 8x8 座標空間裡，交集所涵蓋的元素座標點個數，其中 *central* 信號($x1,y1$)、($x2,y2$)及 *radius* 信號 $r1$ 、 $r2$ 為有效資料。

範例：輸入($x1=5, y1=5$)， $r1=3$ ，產生 A 集合，($x2=3, y2=3$)， $r2=3$ 產生 B 集合在二維 8x8 座標空間裡，如圖四所示。



圖四、 $(A \cap B)$ 運算

其中 $(A \cap B)$ 運算所涵蓋的元素如下：

$(2,5)$ 、 $(3,3)$ 、 $(3,4)$ 、 $(3,5)$ 、 $(3,6)$ 、 $(4,3)$ 、 $(4,4)$ 、 $(4,5)$ 、 $(5,2)$ 、 $(5,3)$ 、 $(5,4)$ 、 $(5,5)$ 、 $(6,3)$ 。

故 $(A \cap B)$ 運算結果所涵蓋元素個數為 13。

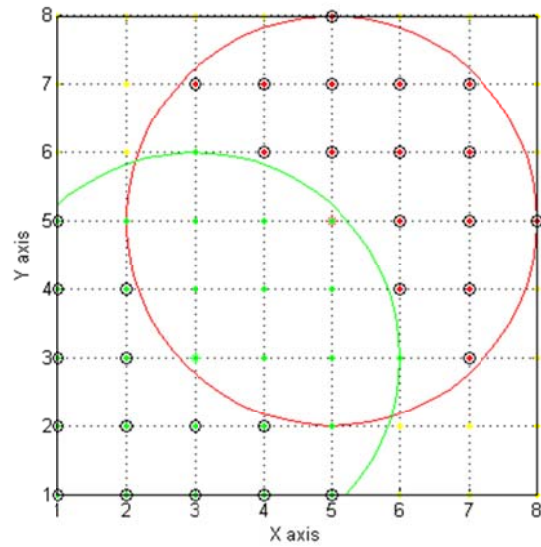
2.3.3 集合運算模式指示訊號(mode)訊號為 2'b10

mode=2'b10：進行 $(A \cup B) - (A \cap B)$ 運算

說明：

計算 A、B 兩個集合在二維 8x8 座標空間裡，差集所涵蓋的元素座標點個數，其中 *central* 信號 $(x1,y1)$ 、 $(x2,y2)$ 及 *radius* 信號 $r1$ 、 $r2$ 為有效資料。

範例：輸入 $(x1=5, y1=5)$ ， $r1=3$ ，產生 A 集合， $(x2=3, y2=3)$ ， $r2=3$ 產生 B 集合在二維 8x8 座標空間裡，如圖五所示。



圖五、 $(A \cup B) - (A \cap B)$ 運算

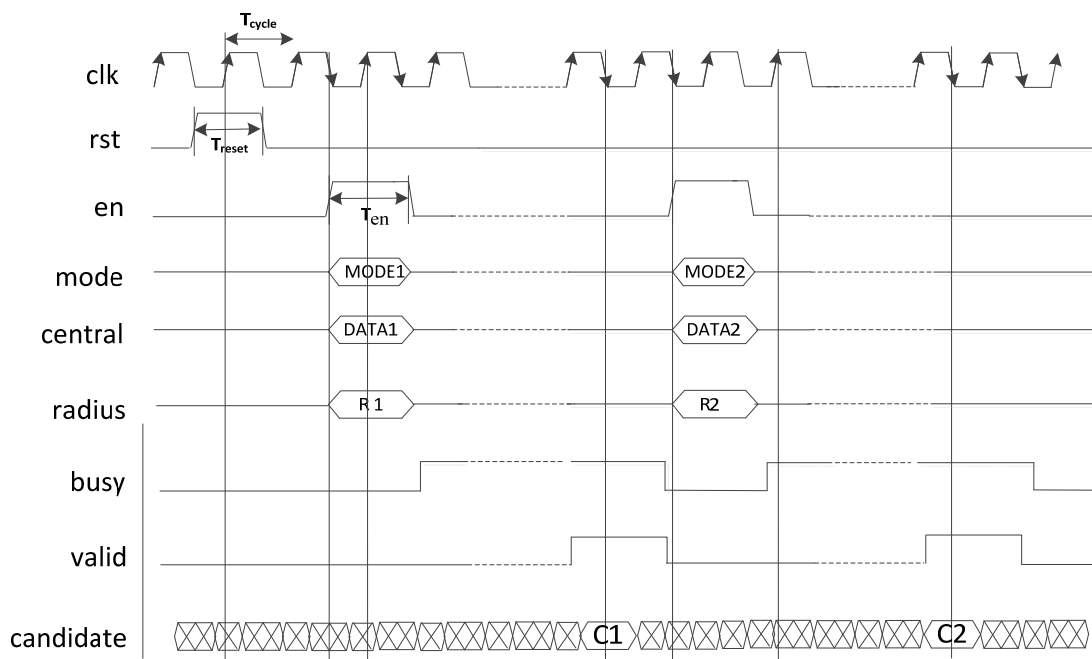
其中所涵蓋的元素如下：

$(3,7)$ 、 $(4,6)$ 、 $(4,7)$ 、 $(5,6)$ 、 $(5,7)$ 、 $(5,8)$ 、 $(6,4)$ 、 $(6,5)$ 、 $(6,6)$ 、 $(6,7)$ 、 $(7,3)$ 、 $(7,4)$ 、 $(7,5)$ 、 $(7,6)$ 、 $(7,7)$ 、 $(8,5)$ 、 $(1,1)$ 、 $(1,2)$ 、 $(1,3)$ 、 $(1,4)$ 、 $(1,5)$ 、 $(2,1)$ 、 $(2,2)$ 、 $(2,3)$ 、 $(2,4)$ 、 $(3,1)$ 、 $(3,2)$ 、 $(4,1)$ 、 $(4,2)$ 、 $(5,1)$ 。

故 $(A \cup B) - (A \cap B)$ 運算結果所涵蓋元素個數為 30。

2.4 時序規格圖

系統輸入/輸出時序規格圖，如圖六所示。



圖六、時序規格圖

表二、時序規格參數

Symbol	Description	Value
T_{cycle}	Clock (clk) period with duty cycle 50%	25 ns
T_{reset}	Reset pulse width, active between positive edge of clk.	$= T_{cycle}$
T_{en}	New SET parameter pulse width, active between positive edges of clk.	$= T_{cycle}$

2.5 FPGA 元件指定

本次 FPGA 組初賽主要由 Mentor Graphics 公司 Modelsim 進行 RTL 模擬來進行評分，唯各參賽者所設計之 SET 電路必須可分別在 FPGA 開發工具進行電路合成。請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件及對應之 FPGA 發展工具進行設計編譯。請參賽者注意，本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，或選用不同之 FPGA 開發工具，並不會影響本競賽初賽的評分!! 且各位參賽者需在 report file 中填寫所使用之合成器為 Quartus II 或是 ISE。本次競賽所使用之 FPGA 開發環境軟體版本以附錄 A 中所指定為標準。

表三、Altera 組元件指定

Altera (EP4CE30F23C6)	
Target Family	Cyclone IV E
Target Device	EP4CE30F23C6
Target Package	FBGA
Pin count	484
Target Speed	6

表四、Xilinx 組元件指定

Xilinx (XC6SLX25-2FGG484)	
Target Family	Spartan 6
Target Device	XC6SLX25
Target Package	FG (FBGA)
Pin count	484
Target Speed	-2

3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 或 gate-level simulation，以驗證設計正確性，並且依據設計完成度及設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 D)的時間來進行排名。各參賽隊伍應於題目所規範的系統時脈下(25ns)，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

CIC 將本試題區分為下面4個等級來作為功能完成度之評分(A等級為最高分)，完成度越高者優先錄取；若為同一等級則以檔案上傳時間來評分：

1. A 等級：完成試題電路 mode=2'b00、mode=2'b01、mode=2'b10 比對之 post-layout gate-level simulation
2. B 等級：完成試題電路 mode=2'b00、mode=2'b01、mode=2'b10 比對之 RTL simulation
3. C 等級：完成試題電路之 mode=2'b00 及 mode=2'b01 比對之 RTL simulation
4. D 等級：完成試題電路之 mode=2'b00 資料比對之 RTL simulation

B 等級至 D 等級雖不須進行 synthesis，但 RTL code 須為 synthesizable RTL code。

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，**完成同一等級者，上傳時間越早，排名越前面。**建議每完成一個等級就先將設計檔案內容上傳，主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 D 則為設計檔上傳步驟說明。

附錄A 軟體環境

競賽中所提供的設計軟體環境與版本如下表五。驗證評分時，係以所列軟體及版本作為驗證依據。

表五、設計軟體版本

Functionality	Corresponding EDA tools
Design Entry	VHDL/Verilog
FPGA Synthesizer	Synopsys Synplify Premier (2014.09-SP2) 、 Mentor Graphics Precision Synthesizer (PS2014b)
FPGA Simulator	Mentor Graphics ModelSim SE (10.2)
FPGA tools	Altera QuartusII (14.1)、Xilinx ISE (14.7)

各隊伍可以利用上述 EDA 軟體工具來檢查自己設計的正確性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體(如 Altera Quartus II 或是 Xilinx ISE)中內建的編輯功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第 3 節之評分標準說明)。主辦單位是以(1)ModelSim 模擬結果及(2)電路是否可在 ISE/Quartus II 中合成作為評分的依據。

如參賽手冊中刊載，採用之 ModelSim 為 CIC 提供學術界申請使用的 Mentor Graphics 公司發行之正式版，有支援 Verilog/VHDL 混合模擬的功能，若參賽者未詳閱參賽手冊之說明並遵行之，而使用自行下載之其它版本 ModelSim 軟體(如 Altera 或 Xilinx 公司提供的 OEM 版 ModelSim)，致使比賽時設計環境出問題造成不便，請自行負責。

附錄 B 設計檔案說明

1. 下表六為主辦單位所提供各參賽者的設計檔案

表六、資料夾\testbench 設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號。
SET.v	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
./dat/Central_pattern .dat	central 測試樣本檔案
./dat/Radius_pattern.dat	radius 測試樣本檔案
./dat/candidate_result_Length.dat	MD1(mode=2'b00)比對樣本檔案
./dat/candidate_united_result_Length .dat	MD2(mode=2'b01)比對樣本檔案
./dat/candidate_diff_result_Length .dat	MD3(mode=2'b10)比對樣本檔案
report.000	結果報告範本

2. 請使用 SET.v，進行電路設計。其模組名稱、輸出/入埠宣告如下所示：

```
module SET (clk ,rst, en,central,radius, mode, busy, valid, candidate);  
input clk;  
input rst;  
input en;  
input [23:0] central;  
input [11:0] radius;  
input [1:0]mode;  
  
output busy;  
output valid;  
output [7:0]candidate;  
  
endmodule
```

3. 比賽共提供 3 組測試樣本 (MD0、MD1、MD2)，三個測試程式均已各自對應到各 golden pattern 了，參賽者只要注意這些檔案的路徑即可。參賽者可依下面範例來進行模擬：

- FPGA 組使用 modelsim 進行模擬，在 compile verilog 時，使用下面指令：

```
vlog SETv  
vlog testfixture.v +define+MD0
```

- FPGA 組使用 modelsim 進行模擬，在 compile VHDL 時使用下面指令：

vcom SET.vhd

vlog testfixture.v +define+MD0

- 上述指令中 **+define+MD0** 指的是使用第一組測試樣本模擬，若須使用其它測試樣本請自行修改此參數。第二組測試樣本：**+define+ MD1**；第三組測試樣本：**+define+ MD2**；。
- 若 RTL 模擬時，為了確保足夠的可視範圍(visibility)，可在載入時加上「-novopt」參數以關閉最佳化功能，為避免時序檢查以減少錯誤訊息，可於模擬指令中加入 **+notimingchecks**，其參考指令語法如下(work 為工作 library 之名稱，test 為測試樣本的 module name):

vsim +notimingchecks -novopt work.testfixture1

- 提醒 VHDL 的使用者，如同參賽手冊所載明：比賽時使用 CIC 提供之 Mentor Graphics 公司的正式版 ModelSim。該版本之 ModelSim 有支援 Mixed-language (即整個系統中混用 Verilog 及 VHDL 作設計)的模擬功能，為保持測試樣本之一致性，故未再提供 VHDL 版的測試樣本與 memory simulation model，但並無妨礙。參賽者只要掌握「對設計中的.v 檔用 vlog 作 compile」、「對設計中的.vhd 檔用 vcom 作 compile」、「最後在載入模擬時，不分 verilog 或 VHDL，一律用 vsim +notimingchecks -novopt work.tb 指令」的基本原則即可，細節請自行參考 ModelSim 使用手冊。

附錄 C 評分用檔案

如表七所示，評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用到的各 module 檔放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由 FPGA 發展軟體所產生的 Post-layout gate-level netlist，以及對應的 SDF 檔(Altera 組為*.vo、*_v.sdo 檔或*.vho、*_vhd.sdo 檔，Xilinx 組為*_timesim.v、*_timesim.vhd 及*_timesim.sdf 檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫 report_xxx.txt 檔，以方便主辦單位進行評分，report_xxx.txt 的格式如圖十四所示。(report 檔以後三碼序號表示版本，首次繳交為 report_001.txt。若繳交檔案更新版本，則新版的 report 檔檔名為 report_002.txt，依此類推)。**請注意**，本次初賽之電路設計並未開放使用 FPGA 廠商之 IP(如 Altera 之 Megafuction Wizard 及 Xilinx 之 Core Generator)，若參賽者之設計中有使用到 Altera 的 Megafuction/Xilinx 的 Co-gen & Architecture IP 的話，將不予計分。

表七、評分用檔案

<i>Result_xxx directory</i>	
<i>RTL category</i>	
<i>File format</i>	<i>Description</i>
*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
<i>Post-Layout Gate-Level category</i>	
<i>File format</i>	<i>Description</i>
*.vo, *.vho, *.sdo (*v, *.vhd, *.sdf)	Verilog/VHDL Post-Place & Route gate-level netlist generated by FPGA Development Tool, and SDF file
<i>Report category</i>	
<i>File format</i>	<i>Description</i>
report_xxx.txt	Design report file

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 TOP.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Quartus II 為例)合成後所產生的 gate-level netlist 為 TOP.vo，所產生的 SDF 檔為 TOP.sdo，則參賽隊伍須將 TOP.v、sub1.v、sub2.v、TOP.vo、TOP_v.sdo、report_xxx.txt 等檔案確實放置於同一個 result_xxx 目錄下。其中 report_xxx.txt 的內容可參考下面表八所示：

FTP 帳號: 60001

--- RTL category---

使用之 HDL 語言:

Verilog

使用之合成器:

Quartus II

使用之晶片型號:

EP4C30F23C6

RTL 檔案名稱(RTL filename):

TOP.v, sub1.v, sub2.v

Post-layout gate-level Netlist:

TOP.vo, TOP_v.sdo

Report:

report_001.txt (此次為第一次上傳)

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

TOP 電路 RTL 設計檔之 Top module 為 TOP，位於 TOP.v 內

表八、report.txt 的範本

附錄 D 檔案上傳

所有包含於如附錄 D 中表格所示的檔案，均需要提交至 CIC。提交的設計檔案，需要經過壓縮於同一個資料夾下，並為*.zip 或*.rar 格式(建議以*.zip 格式為優先)¹。步驟如下：

1. 建立一個 result_xxx 資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如“001”表示為第一次上傳；“002”表示為第二度上傳；003 表示為第三度上傳，以此類推…。
2. 參考附錄 D 評分用檔案，將所有繳交檔案複製到 result_xxx 資料夾
3. 參賽者需依據設計內容編輯報告檔案“report_xxx.txt”(如圖十四所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report_001.txt”並置於 Result_001 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report_002.txt”並置於 Result_002 資料夾下，再連同設計檔一併壓縮上傳。亦即 Result_xxx 與 report_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result_xxx 資料夾進行壓縮成*.zip(或*.rar)格式，如 Result_xxx.zip(或 Result_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳 (CIC 已於競賽當日的前 4 天，將 FTP 的 username 及 password 藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與 CIC 接洽。

請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21 (port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 CIC

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

6. 若你需要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及壓縮檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result_xxx 目錄名稱與 report_xxx.txt 報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
7. 建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!

¹假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com>

7zip: <http://www.7-zip.org/download.html>