

2006 University/College IC Design Contest Preliminary

FPGA IC Category

Right-angled triangle Rendering Engine

[初賽登錄]

參賽隊伍請於**10:30 分前**，完成下列步驟進行初賽登錄。主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額，請務必完成登錄動作，以免影響您的權益。

一、請將您的隊伍參賽資料E-mail至 boyu@vlsilab.ee.ncku.edu.tw，
信件內容格式如下：

參賽組別：(A：大學組全客戶設計；B：研究所組全客戶設計；C：標準單元設計；
D：類比單元設計；E：大學組可程式邏輯設計)

參賽編號：(例：951001)

參賽姓名：春嬌、志明

二、信件標題請標示為「**IC 設計競賽初賽資料登錄**」

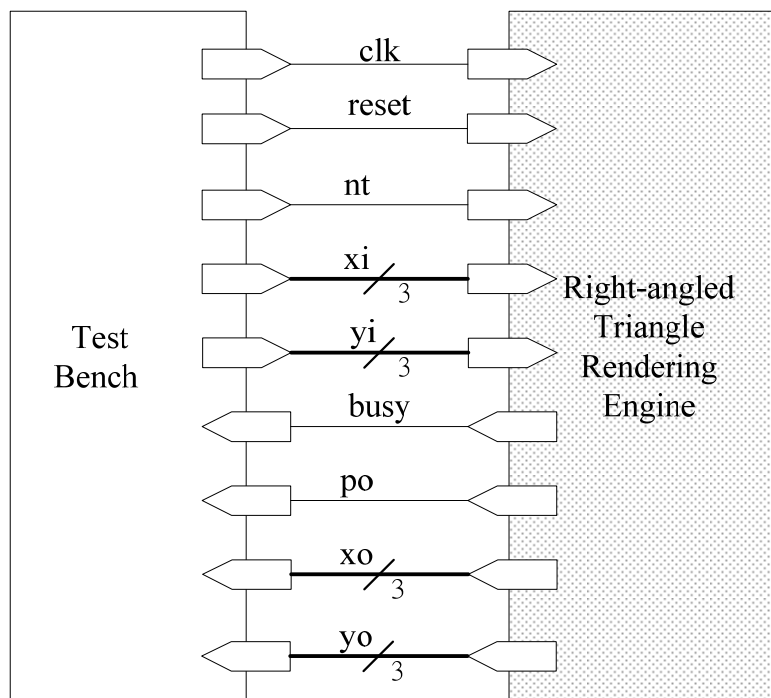
1. 問題描述

請完成一直角三角形(*Right-angled triangle*)之直角座標轉譯系統(*Rendering Engine*)。此直角三角形之座標轉譯系統，將可於 testbench 所提供的直角三角形的三個頂點座標如($x1,y1$)、($x2,y2$)與($x3,y3$)後，轉譯系統將依序完成涵蓋於直角三角形平面內的所有座標點之輸出。

本次 IC 設計競賽比賽時間為上午 09:00 到下午 21:00。當 IC 設計競賽結束後，CIC 會根據本試題卷第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

2. 設計規格

2.1 系統方塊圖



圖一、系統方塊圖

2.2 輸入/輸出介面

Table I -輸入/輸出訊號

Signal Name	Direction	Width(bit)	Description
reset	input	1	高位準非同步之系統重置信號。
clk	input	1	時脈信號。此系統為同步於時脈正緣之同步設計。
nt	input	1	直角三角形座標的輸入標記。當 nt 信號為高位準，表示有 3 組直角三角形的頂點座標輸入。(請注意!! 只有當 busy 信號為低位準時，nt 信號才能為高位準。)
xi	input	3	直角三角形頂點座標之 X 軸輸入值。
yi	input	3	直角三角形頂點座標之 Y 軸輸入值。
busy	output	1	當 busy 信號為高位準時，表示直角三角形座標轉譯系統正在運作，並防止新的(下一個)直角三角形頂點座標輸入於系統中。
po	output	1	po 為有效的資料輸出指示信號。當信號 po 為高位準時，於 xo 及 yo 輸出埠所輸出之資料均為有效之座標軸資料。
xo	output	3	直角三角平面內所涵蓋的座標點 X 軸之輸出結果
yo	output	3	直角三角平面內所涵蓋的座標點 Y 軸之輸出結果

2.3 系統功能描述

此設計之重置(reset)信號為非同步信號，當重置信號釋放(release)後，系統即開始依著時脈信號的正緣進行同步運作。系統之 nt 信號，當 nt 為高位準時(此時的 busy 信號應為低位準)，表示直角三角形的三個頂點 $(x1,y1)$ 、 $(x2,y2)$ 與 $(x3,y3)$ 座標，開始依序輸入於系統中。待 $(x3,y3)$ 頂點座標輸入前，busy 信號必須由低位準提昇至高位準，以防止下一個(新的)直角三角形的頂點座標輸入於系統。待產生輸出結果 (xo, yo) 的同時，po 信號將由低位準提昇至高位準，以表示系統之輸出為有效之資料。主辦單位評審將根據參賽者之 po 高位準信號，來判讀設計結果之正確性。此外，所有的測試輸出結果，將依下列範例之輸出順序(先由左而右，再由下而上)，依序進行輸出。

此直角三角形的三個頂點輸入為 $(x1,y1)$ 、 $(x2,y2)$ 與 $(x3,y3)$ ，並有下式之關係。隨所給定的三個頂點值，使直角三角形平面大小有不同之變化。

$$0 < x1 = x3 \leq 7$$

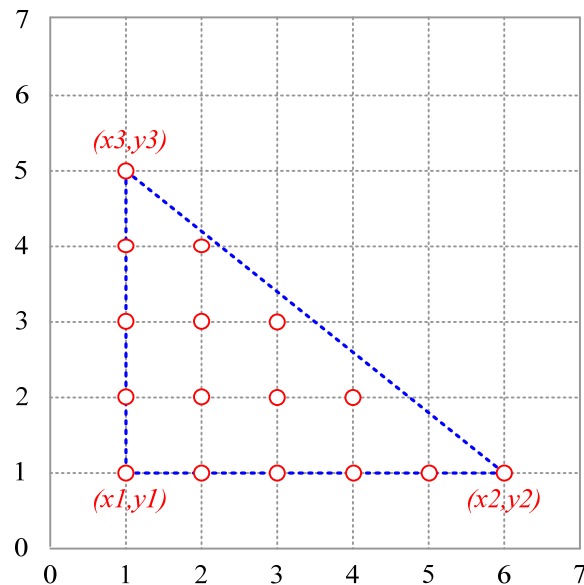
$$0 < y1 = y2 < y3 \leq 7$$

($x1$ 、 $x2$ 、 $x3$ 、 $y1$ 、 $y2$ 、 $y3$ 均為正整數)

亦即此直角三角形的底邊為水平於直角座標的 X 軸。

圖二所示為直角三角形之座標範例。以下圖二為例，直角三角形的三個頂座標 $(x1,y1)$ 、 $(x2,y2)$ 與 $(x3,y3)$ 分別為 $(1,1)$ 、 $(6,1)$ 與 $(1,5)$ ，則此直角三角形之座標轉譯系統將先由左而右，再由下而上的依序輸出如下：

$(1,1), (2,1), (3,1), (4,1), (5,1), (6,1), (1,2), (2,2), (3,2), (4,2), (1,3), (2,3), (3,3), (1,4), (2,4), (1,5)$



圖二、直角三角形座標範例

所有的輸入及輸出資料均為 3 個位元，且均為 10 進制表示。

[設計提示]

直角座標座系中，倘若一條線段經過兩點 $(x1, y1)$ 與 $(x2, y2)$ ，我們可以得知，凡位於此線段上的座標點均滿足下式(1)。

$$\frac{x - x1}{y - y1} = \frac{x2 - x1}{y2 - y1} \quad (1)$$

同上所述，位於此線段的右邊座標點(非座落於線段上之點)，其關係滿足下式(2)。

$$\frac{x - x1}{y - y1} > \frac{x2 - x1}{y2 - y1} \quad (2)$$

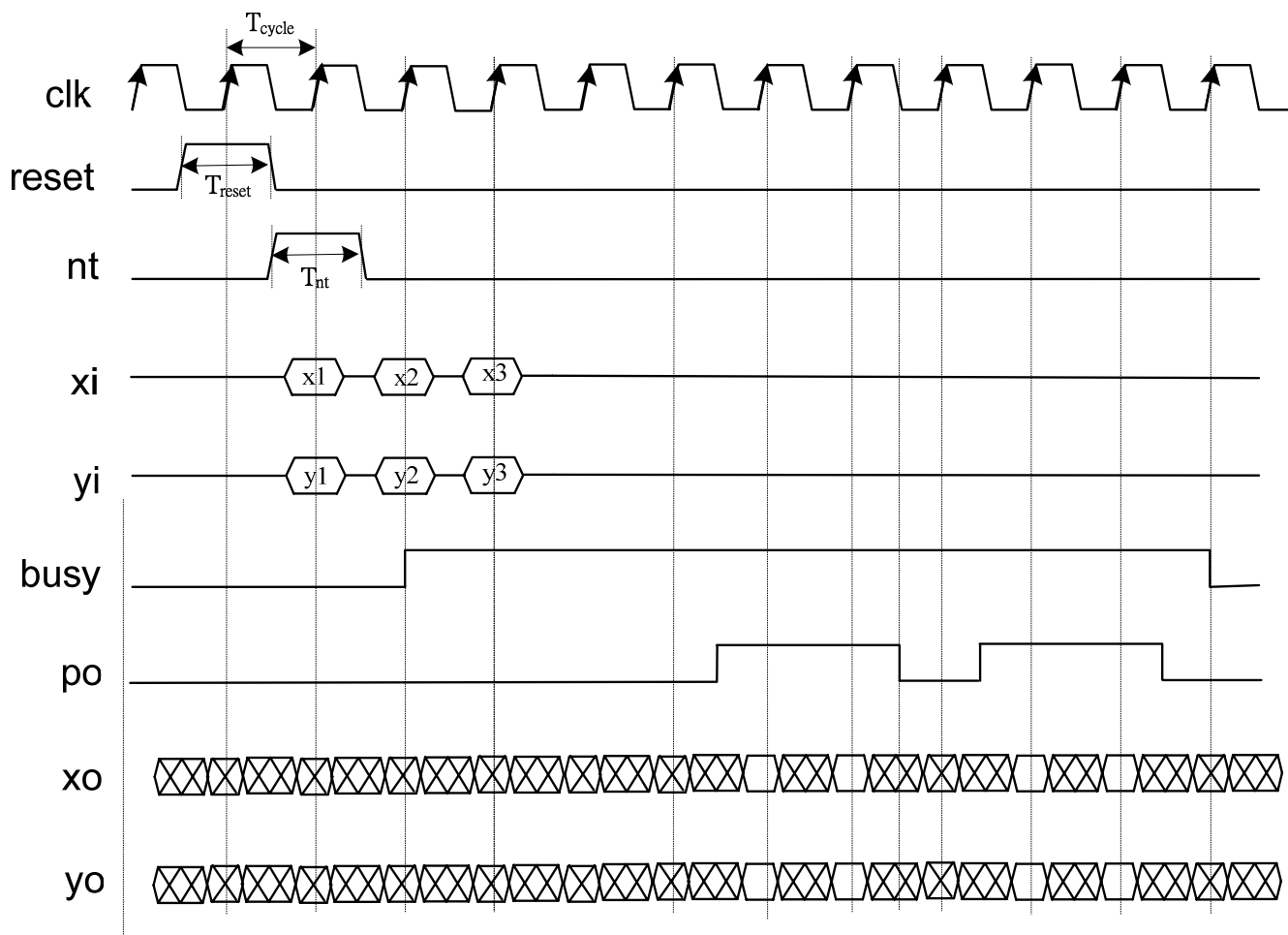
同理，位於此線段的左邊座標點(非座落於線段上之點)，其關係滿足下式(3)。

$$\frac{x - x1}{y - y1} < \frac{x2 - x1}{y2 - y1} \quad (3)$$

參賽者可以藉由上述式(1)~(3)，來鑑別位於直角三角形平面內所涵蓋的座標點。

2.4 時序規格圖

系統輸入/輸出時序規格圖，如圖三所示。



圖三、時序規格圖

Table II -時序規格參數

Symbol	Description	Value
T_{cycle}	Clock (clk) period with duty cycle 50%	User defined
T_{reset}	Reset pulse width, active between negative edges of clk.	$= T_{\text{cycle}}$
T_{nt}	New right-angled triangle pulse width, active between negative edges of clk.	$= T_{\text{cycle}}$

2.5 FPGA 元件選擇

請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件進行設計編譯。
請參賽者注意!! 本試題第三節所述的評分標準中，關於元件面積之使用率及設計效能，或選用不同之 FPGA 開發工具，並不會影響本次競賽之評分!!

Table III - Altera 元件指定

Altera	
Target Family	Cyclone
Target Device	EP1C3
Target Package	TQFP
Pin count	100
Target Speed	8

Table IV - Xilinx 元件指定

Xilinx	
Target Family	Spartan2E
Target Device	XC2S50E
Target Package	PG208
Target Speed	6

3. 評分標準

主辦單位的評分人員將依照各組所繳交檔案分別進行 RTL simulation 及 timing simulation，並依據模擬的結果正確性、以及將設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 E)的時間，進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

一旦設計經評審驗證後，且參賽者的設計結果正確，**上傳時間越早者，其所得到的分數就越高**。請注意，我們將以各參賽隊伍的**最後上傳檔案為依據**。審查成績將另擇期通知。

Table V-評分標準

評分標準	
1.	設計結果正確
2.	設計上傳時間 (上傳時間的記分前提為設計結果正確!!)

附錄

附錄 A 提供了 2 組設計之測試樣本；附錄 B 中說明本次競賽之軟體環境；附錄 C 為主辦單位所提供各參賽者的設計檔說明；附錄 D 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 E 則為設計檔上傳步驟說明。

附錄 A、直角三角形座標轉譯系統之測試樣本(Testbench)

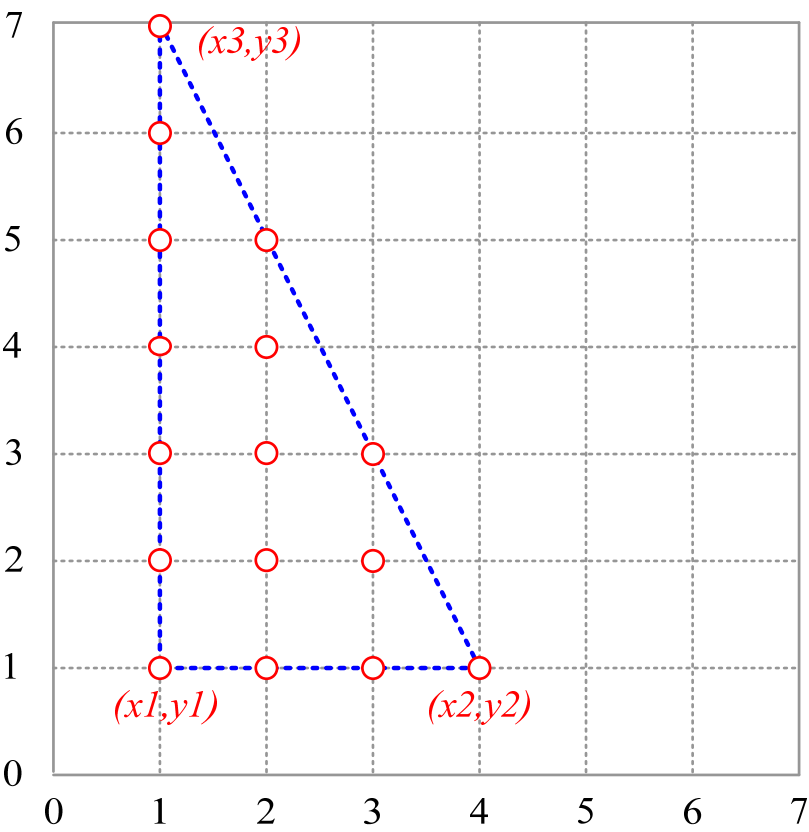
直角三角形 A：

直角三角形 A 之頂點座標輸入：

$(1,1), (4,1), (1,7)$

直角三角形 A 平面內所涵蓋的座標點依序輸出如下：

$(1,1), (2,1), (3,1), (4,1), (1,2), (2,2), (3,2), (1,3), (2,3), (3,3), (1,4), (2,4), (1,5), (2,5), (1,6), (1,7)$



圖四、測試樣本之直角三角形 A

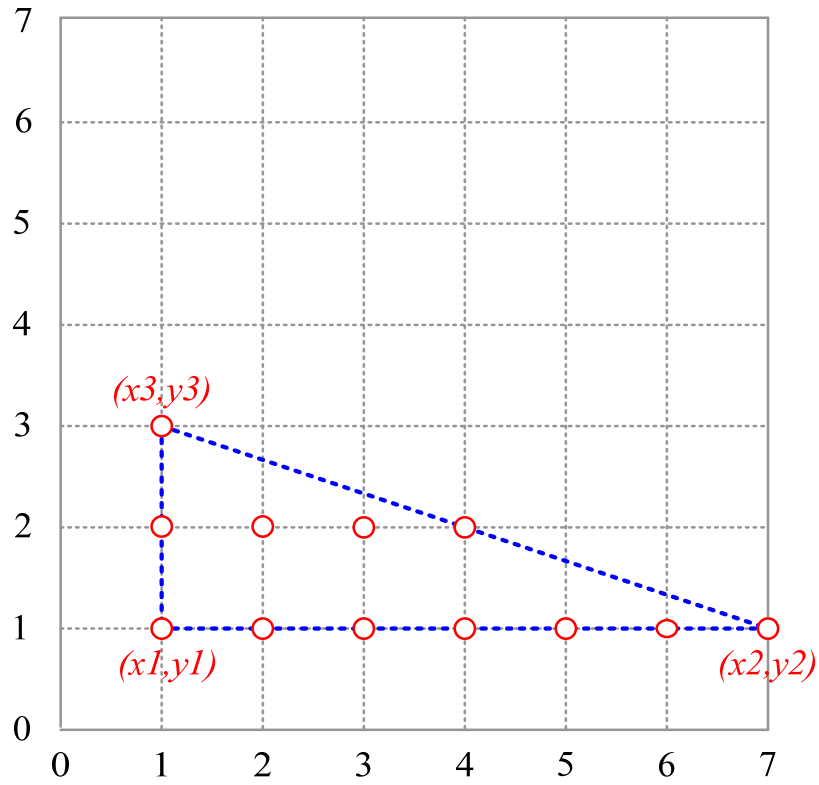
直角三角形 B：

直角三角形 B 之頂點座標輸入：

$(1,1), (7,1), (1,3)$

直角三角形 B 平面內所涵蓋的座標點依序輸出如下：

$(1,1), (2,1), (3,1), (4,1), (5,1), (6,1), (7,1), (1,2), (2,2), (3,2), (4,2), (1,3)$



圖五、測試樣本之直角三角形 B

附錄 B、軟體環境

競賽所提供的設計軟體與版本如下表(Table VI)。驗證評分時，係以所列軟體及版本作為驗證依據。

Table VI-軟體環境

Functionality	Corresponding EDA tools
Design Entry	VHDL / Verilog
Logic Simulator	Mentor Graphic ModelSim v5.8e
Logic Synthesizer	Synplicity Synplify Pro v8.2.
FPGA Implementation	Xilinx ISE v7.1 or Altera Quartus II v5.0

其中 ModelSim、Synplify Pro 為輔助性工具，並不強制各參賽隊伍使用，各隊伍可以利用上述 EDA 軟體工具來檢查自己設計功能的正確性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體 Altera Quartus II 或是 Xilinx ISE 來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第 3 節之評分標準說明)。

附錄 C、設計檔 (For Verilog or VHDL)

1. 以下為主辦單位所提供各參賽者的設計檔

Table VII-設計檔

檔名	說明
readme.txt	說明文件。
testfixture.v (.vhd)	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號
triangle.v (.vhd)	參賽者所使用的參考設計檔，已包含系統輸/出入埠之宣告
input.dat	包含直角三角形之三個座標頂點(x_i, y_i)
expect.dat	直角三角形平面內所涵蓋的座標點依序輸出之預期結果(x_o, y_o)，供參賽者驗證設計結果是否正確
report_XXX.txt	參賽隊伍之設計內容整理，以利主辦單位進行評分，report_XXX.txt 的格式請參考附錄 D，XXX 表示參賽隊伍上傳設計檔案之次數，詳情請參考附錄 E

2. 請務必使用 *triangle.v(.vhd)*，進行直角三角形座標轉譯系統之設計。其模組名稱、輸出/入埠宣告如下所示：

triangle.v

```
module triangle (clk, reset, nt, xi, yi, busy, po, xo, yo);  
input          clk, reset, nt;  
input  [2:0]   xi, yi;  
output         busy, po;  
output [2:0]   xo, yo;  
endmodule
```

triangle.vhd

```
Library IEEE;  
use IEEE.std_Logic_1164.all;  
use IEEE.numeric_std.all;  
ENTITY triangle IS  
port (  
        clk      : in std_logic;
```

```

        reset    :    in std_logic;
        nt       :    in std_logic;
        xi       :    in std_logic_vector(2 downto 0);
        yi       :    in std_logic_vector(2 downto 0);
        busy     :    out std_logic;
        po       :    out std_logic;
        xo       :    out std_logic_vector(2 downto 0);
        yo       :    out std_logic_vector(2 downto 0)
    );
END triangle;
ARCHITECTURE triangle_arc OF triangle IS
BEGIN

    END triangle_arc;

```

3. 請參賽隊伍使用主辦單位所提供的測試樣本(testfixture.v)，來進行設計之模擬驗證。主辦單位除了將利用本試題所提供的測試樣本進行各參賽隊伍之設計測試外，我們亦準備另一份測試樣本，進行設計之二次驗證。唯通過二次驗證且均能符合輸出結果，始能稱為無誤之設計。

測試樣本(testfixture.v) 包含 clk、reset、nt、xi 與 yi 測試信號。而於測試樣本內所定義的時脈週期參數(CYCLE)，可由參賽者依需求自行修改。

附錄 D、評分用檔案

評分所須檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各module檔放進來，以免評審進行評分時，無法進行設計編譯；(2)Post-layout gate-level design，即由FPGA發展軟體所產生的Post-layout gate-level netlist *.vo或*.vho檔；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫report_xxx.txt檔，以利主辦單位進行評分。

Table VIII– 評分用檔案

<i>Result_xxx directory</i>	
<i>RTL category</i>	
<i>File format</i>	<i>Description</i>
*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
<i>Gate-Level category</i>	
<i>File format</i>	<i>Description</i>
*.vo *.vho *.sdo *.ngc or etc.	Verilog/VHDL gate-level netlist generated by FPGA Development Tool, and SDF file
<i>Report category</i>	
<i>File format</i>	<i>Description</i>
report_xxx.txt	design report

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 triangle.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Altera QuartusII 為例)，合成後所產生的 post-layout gate-level netlist 為 triangle.vo，所產生的 SDF 檔為 triangle_v.sdo，則參賽隊伍須將 triangle.v、sub1.v、sub2.v、triangle.vo、triangle_v.sdo、report_xxx.txt 等檔案確實放置於同一個 Result_xxx 目錄下。其中 report_xxx.txt 的內容如下圖六所示：

隊號(Team number): CIC

使用之 HDL 名稱: Verilog

RTL 設計檔: triangle.v, sub1.v, sub2.v

Post-layout gate-level: triangle.vo, triangle _v.sdo

Report: report_xxx.txt

-----注意事項-----

RTL 設計檔之 Top module 為 triangle.v

(注意事項依各參賽隊伍的實際設計情況填寫如下)

timing simulation 時有在 clock=12MHz 的環境下驗證通過 (Altera waveform)

timing simulation 時有在 clock=10MHz 的環境下驗證通過 (ModelSim)

圖六、report_xxx.txt 的範本(以 Altera QuartusII 為例)

附錄 E、檔案上傳

所有包含於如附錄D中表格所示的檔案，均需要提交至CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，並為*.zip或*.rar格式(建議以*.zip格式為優先)¹。步驟如下：

1. 建立一個 Result_xxx 資料夾。“xxx”表示第幾次上傳之編號。例如，“000”，表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推…。
2. 參賽者需將試題所指定之“Table VIII-評分用檔案，且包含 report_xxx.txt”，複製於所建立的資料夾內。
3. 參賽者需依據設計內容編輯報告檔案“report_xxx.txt”(如圖六所示)，並應變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report_000.txt”並置於 Result_000 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，進行第二次上傳，則報告檔名應更新為“report_001.txt”並置於 Result_001 資料夾下，再連同設計檔一並上傳。亦即 Result_xxx 與 report_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result_xxx 資料夾進行壓縮成*.zip(*.rar)格式，如 Result_xxx.zip(或 Result_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳。(CIC 已於競賽當日的前 4 天，將 username 及 password 藉電子郵件，寄送於參賽者信箱)。倘若上傳設計檔過程，有任何問題，請與 CIC 接洽。

請注意!!上傳之FTP需切換為二進制模式(binary mode)，且傳輸埠均設為21(port:21)。

FTP site1 (NTU)：iccftp1.ee.ntu.edu.tw (140.112.20.85)

FTP site2 (CIC)：iccftp.cic.org.tw (140.126.24.6)

FTP site3 (NCKU)：iccftp.ee.ncku.edu.tw (140.116.156.55)

6. 再次提醒各參賽隊伍，Result_xxx 與 report_xxx.txt 之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。而評審將以最後上傳的設計檔及報告檔編號進行評分作業！
7. **建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案！**

¹假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com/>

B. winrar: <http://www.rarlab.com/index.htm>