

初賽時間為 4 月 1 日(二) **8:30~20:30**，參賽者請於**10 點半前**完成下列步驟進行初賽登錄，主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額，請務必完成登錄動作，以免影響你的權益。

- [請將你的隊伍參賽資料E-mail至ic2008@vlsilab.ee.ncku.edu.tw](mailto:ic2008@vlsilab.ee.ncku.edu.tw)，

信件內容格式如下:

參賽組別：可程式邏輯設計(大學組)

參賽編號：(例：9740001)

參賽姓名：張三、李四

- 信件標題請標示為「**IC 設計競賽初賽資料登錄**」

2008 University/College IC Design Contest

FPGA Design Category

Image Display Controller

1. 問題描述

今考慮一數位相機，其拍照像片解析度 12x9 像素，相機上的 LCD 螢幕解析度為 4x4 像素，可用來觀察拍攝照片的全圖(Fit)或是放大(Zoom In)局部照片並移到要看的地方，以檢視拍攝的品質。請試以該數位相機為例，完成一影像顯示控制(Image Display Control)電路設計。此控制電路，可依指定之操控指令，使 LCD 螢幕畫面的影像進行畫面放大(Zoom In)、顯示全圖(Zoom Fit、即縮小圖像)與水平及垂直方向的平移(Shift)功能。

本控制電路有 5 只信號輸入(cmd, cmd_valid, datain, clk, reset)及 3 只信號輸出(dataout, output_valid, busy)，關於各輸入輸出信號的功能說明，請參考表一，請參考本題目卷內容之詳細規格利用 Verilog 或 VHDL 設計出合適的控制電路。

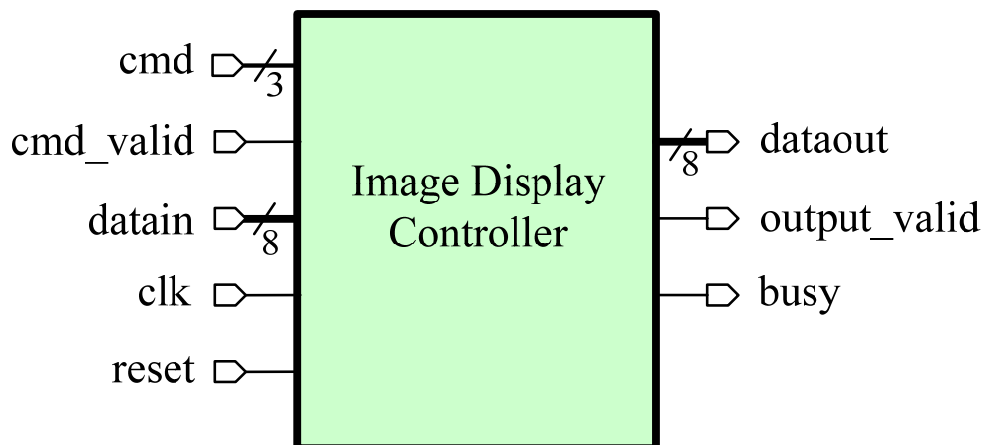
每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 C。

本次 IC 設計競賽比賽時間為**上午 08:30 到下午 08:30**。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。



2. 設計規格

2.1 系統方塊圖



圖一、系統方塊圖

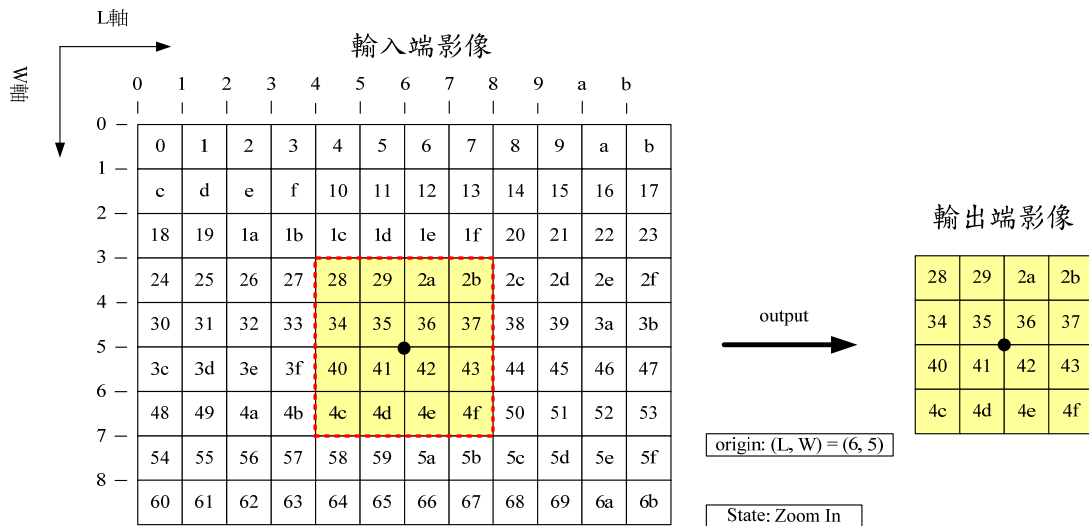
2.2 輸入/輸出介面

表一、輸入/輸出訊號

| 信號名稱 | 輸/出入 | 位元寬度 | 說明 |
|---------------------|--------|------|---|
| <i>reset</i> | input | 1 | 高位準非同步(active high asynchronous)之系統重置信號。 說明:本信號應於系統啟動時送出。 |
| <i>clk</i> | input | 1 | 時脈信號。 說明:此系統為同步於時脈正緣(posedge)之同步設計。 |
| <i>cmd</i> | input | 3 | 指令輸入信號。 說明:本控制器共有七種指令輸入，相關指令說明請參考表二。指令輸入只有在 <i>cmd_valid</i> 為 high 及 <i>busy</i> 為 low 時，為有效指令。 |
| <i>cmd_valid</i> | input | 1 | 有效指令輸入信號。 說明:當本信號為 high 時表示 <i>cmd</i> 指令為有效指令輸入。 |
| <i>datain</i> | input | 8 | 八位元影像資料輸入埠。 |
| <i>dataout</i> | output | 8 | 八位元影像資料輸出埠。 |
| <i>output_valid</i> | output | 1 | 有效資料輸出信號。 說明:當本信號為 high 時表示 <i>dataout</i> 為有效資料輸出。 |
| <i>busy</i> | output | 1 | 系統忙碌信號。 說明:當本信號為 high 時，表示此控制器正在執行現行(current)指令，而無法接收其他新的指令輸入。 |

2.3 系統功能描述

影像顯示控制器之輸入端，為一張 12x9 大小的影像資料。而輸出端則為 4x4 大小的顯示影像(對應到 LCD 螢幕)，如圖二所示。影像顯示控制器必須處理使用者輸入之指令，取得顯示相關之座標(origin)、平移(shift)方向及顯示狀態(state)等參數，使顯示端能送出顯示全圖(Zoom Fit)、畫面放大(Zoom In)及放大後平移(Shift)之畫面。

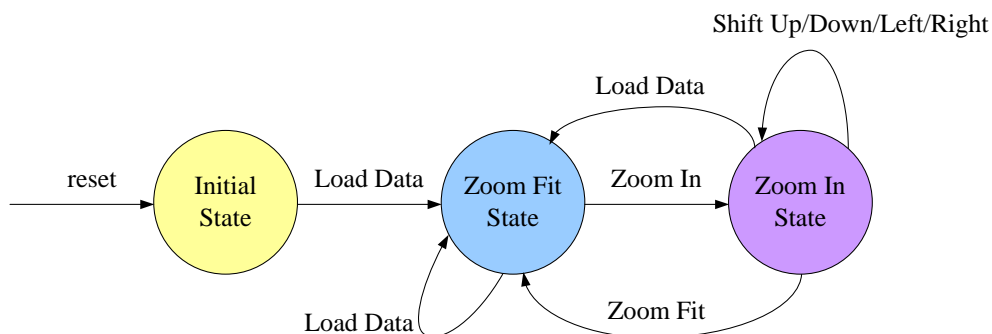


圖二、系統功能圖

影像顯示控制器的指令操作流程如圖三所示。一開始由外界輸入 reset 訊號，進入 Initial State 後，**接收到第一道指令必定為 Load Data**，此時顯示狀態進入 Zoom Fit State 並將該影像作取樣輸出，在 LCD 螢幕上顯示全圖。

在 Zoom Fit State 下，若接收到 Zoom In 指令，此時影像會進入 Zoom In State，顯示圖片正中央(如圖二，以 L=6、W=5 為中心點)的畫面放大圖。

平移指令(Shift Up/Down/Left/Right)只有在 Zoom In State 才會有作用，透過該指令可以進行影像放大後的平移。在 Zoom In State 下，若收到 Zoom Fit 指令，此時影像會回到 Zoom Fit State。



圖三、影像控制指令之流程圖

2.3.1 輸入與輸出端之影像及參數規範

[影像輸入]

主辦單位將提供輸入端影像資料，此影像資料為 12x9 共 108 筆測試樣本，每筆樣本為 8 位元資料。其順序為由左而右；由上而下，且以序列(Serial)的方式循序輸入至參賽者的影像控制電路中。(如圖四所示資料，輸入順序為 0,1,2,3,4,5,6,7,8,9,a,b,c,d,e,f,10,.....,69,6a,6b) 註：以下僅為圖例示範，詳細的輸入影像內容值未必如下圖四所示。

| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | a | b |
|-----|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 - | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | a | b |
| 1 - | c | d | e | f | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 |
| 2 - | 18 | 19 | 1a | 1b | 1c | 1d | 1e | 1f | 20 | 21 | 22 | 23 |
| 3 - | 24 | 25 | 26 | 27 | 28 | 29 | 2a | 2b | 2c | 2d | 2e | 2f |
| 4 - | 30 | 31 | 32 | 33 | 34 | 35 | 36 | 37 | 38 | 39 | 3a | 3b |
| 5 - | 3c | 3d | 3e | 3f | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 |
| 6 - | 48 | 49 | 4a | 4b | 4c | 4d | 4e | 4f | 50 | 51 | 52 | 53 |
| 7 - | 54 | 55 | 56 | 57 | 58 | 59 | 5a | 5b | 5c | 5d | 5e | 5f |
| 8 - | 60 | 61 | 62 | 63 | 64 | 65 | 66 | 67 | 68 | 69 | 6a | 6b |

圖四、輸入端影像資料

[影像輸出]

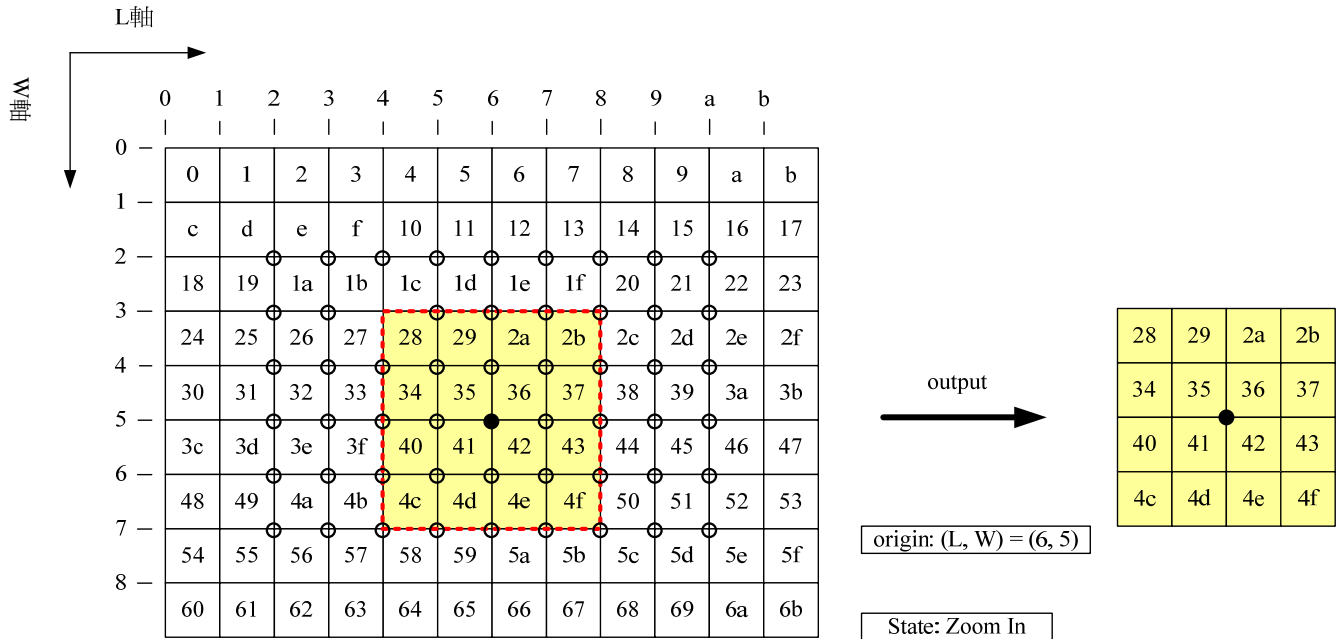
輸出端影像為 4x4 共 16 筆樣本輸出，每筆樣本為 8 位元資料。其順序是由左而右；由上而下，且以序列(Serial)的方式循序輸出結果。(如圖五所示資料，原點(L,W)在(6,5)時，輸出資料順序為 28,29,2a,2b,34,35,36,37,40,41,42,43,4c,4d,4e,4f)。註：以下僅為圖例示範，詳細的輸出影像內容值未必如下圖五所示。

| | | | |
|----|----|----|----|
| 28 | 29 | 2a | 2b |
| 34 | 35 | 36 | 37 |
| 40 | 41 | 42 | 43 |
| 4c | 4d | 4e | 4f |

圖五、輸出端影像資料

[輸出影像原點座標]

輸出影像原點座標(origin)指的是輸出影像相對於輸入影像的參考座標，本試題已定義輸入端影像之座標軸。輸入端影像為 4:3 之比例，影像之長邊稱作L軸，短邊稱作W軸，而origin表示輸出影像之正中間對應輸入影像的位置。此外，**origin在L軸座標可移動範圍為 2~a**，在**W軸可移動座標範圍為 2~7**。(如圖六所示，為確保輸出影像不超出輸入影像邊界，因此限制原點之L軸移動範圍最小是 2、最大至a，而W軸移動範圍最小是 2、最大至 7)。參賽者需根據此參考座標，進行顯示端的畫面平移(Shift)功能設計。



圖六、輸入端影像參考座標

[顯示狀態]

顯示狀態分為 Zoom Fit State 及 Zoom In State 兩種。當收到畫面放大(Zoom In)或顯示全圖(Zoom Fit)指令時會影響顯示狀態。

- ◆ Zoom Fit State 輸出取樣方式: 如圖七所示，當影像在 Zoom Fit State 時輸出點固定為 d,10,13,16,25,28,2b,2e,3d,40,43,46,55,58,5b,5e。
- ◆ Zoom In State 輸出方式是以 1:1 的顯示比例來顯示原輸入影像的部分區塊。

註：Zoom In State 時，4x4 顯示端之輸出資料內容會隨著影像平移位置而有所改變。

2.3.2 影像顯示控制器功能規範

[指令定義]

影像控制器電路有 7 項控制指令功能。輸入指令(cmd)所對應之功能如表二所示。

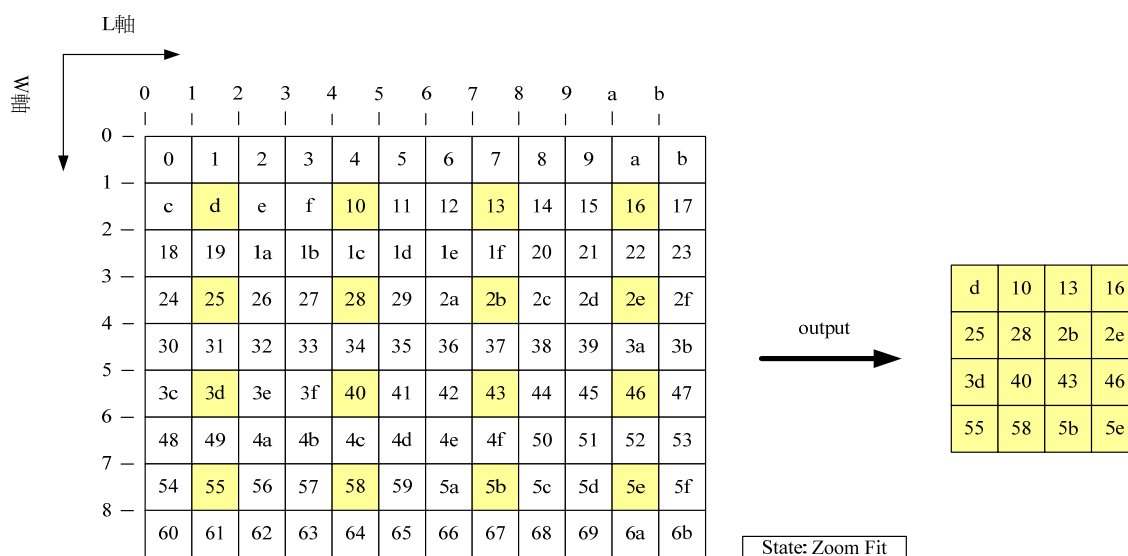
表二、控制指令定義

| cmd 編號 | 控制指令說明 |
|--------|-------------|
| 0 | Load Data |
| 1 | Zoom In |
| 2 | Zoom Fit |
| 3 | Shift Right |
| 4 | Shift Left |
| 5 | Shift Up |
| 6 | Shift Down |

對於所有有效之控制指令，都必須在指令處理結束後輸出 16 筆資料至顯示端。以下分別就各項指令進行說明。

◆ 資料載入(Load Data)

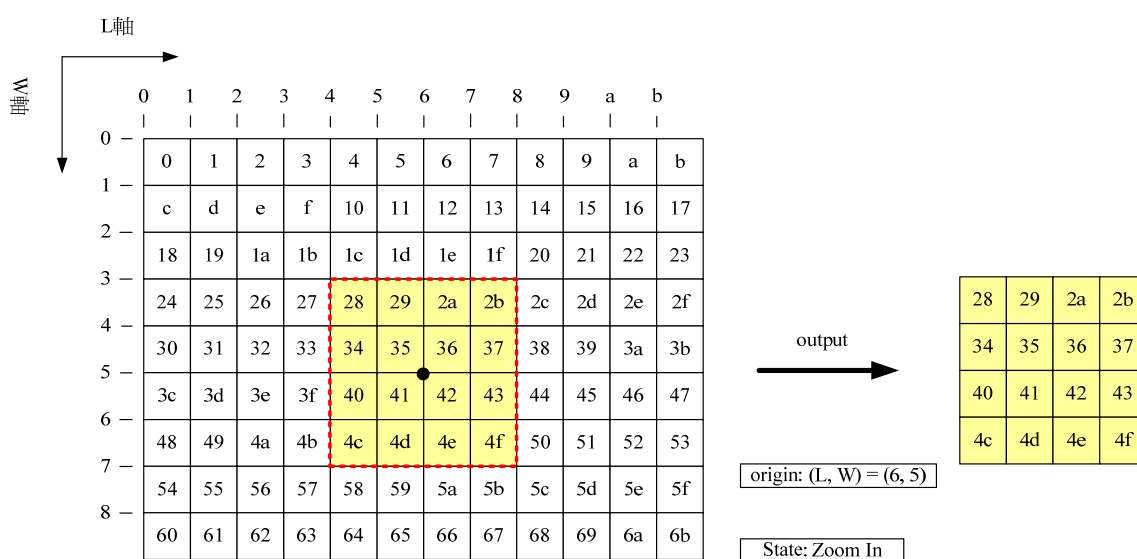
- ⇒ Load Data 指令，進入 Zoom Fit State，將 108 筆影像資料依序載入於 12x9 影像緩衝器中，並將其畫面作取樣後輸出至 4x4 顯示端，其輸出順序固定為 d,10,13,16,25,28,2b,2e,3d,40,43,46,55,58,5b,5e。
- ⇒ Load Data 必定為系統的第一個指令輸入。



圖七、畫面載入(Load Data)之取樣相對位置

◆ 畫面放大(Zoom In)

- ⇒ Zoom In 指令，進入 Zoom In State，此時影像是以 1:1 的顯示比例來顯示原輸入影像的部分區塊，並將該區塊內容輸出至 4x4 顯示端。
- ⇒ 由 Zoom Fit State 切換為 Zoom In State 時，均設定 origin 指向(6,5)。**移動(Shift)指令，只有在該 Zoom In State 才有效用，進行移動顯示區域。**
- ⇒ 若在 Zoom In State 下 Zoom In 指令，則原點 origin 位置保持上次位置，輸出相同的 4x4 顯示畫面。
- ⇒ Zoom In State 中，可接受 Load Data 指令，進行圖形的載入。
- ⇒ 放大前輸出畫面如圖七所示，經 Zoom In 指令切為放大顯示時輸出畫面如圖八所示。



圖八、放大(Zoom In)前畫面，放大後之取樣相對位置

◆ 顯示全圖(Zoom Fit)

- ⇒ Zoom Fit 指令，進入 Zoom Fit State，並將縮小後之畫面作取樣輸出至 4x4 顯示端。此時顯示端輸出順序為 d,10,13,16,25,28,2b,2e,3d, 40,43,46, 55,58,5b,5e。
- ⇒ 在 Zoom Fit State 中，無法做上、下、左、右等平移功能。**假使在 Zoom Fit State 中收到上下左右平移(Shift Up/Down/Left/Right)的指令時，顯示結果仍維持不變，僅重覆輸出相同之取樣結果。在 Zoom Fit State 可接受 Load Data 指令。**

◆ 畫面右移(Shift Right)

- ⇒ 右移顯示區塊。執行此 Shift Right 指令，是將目前畫面之 origin 向右移 1 格，並將移動後之畫面輸出至 4x4 顯示端，意指為：origin 在 L 軸座標值增加 1，但最大不可大於 a (如圖八)。
- ⇒ 當 origin 已到達 L 軸座標之可移動範圍的右邊界時，假使再收到右移指令，origin 將維持原來值，即輸出顯示端內容值不作改變。

◆ 畫面左移(Shift Left)

- ⇒ 左移顯示區塊。執行此 Shift Left 指令，是將目前畫面之 origin 向左移 1 格，並將移動後之畫面輸出至 4x4 顯示端，意指為：origin 在 L 軸座標值減少 1，但最小不可小於 2 (如圖八)。
- ⇒ 當 origin 已到達 L 軸座標之可移動的左邊界時，假使再收到左移指令，origin 將維持原來值，即輸出顯示端內容值不作改變。

◆ 畫面上移(Shift Up)

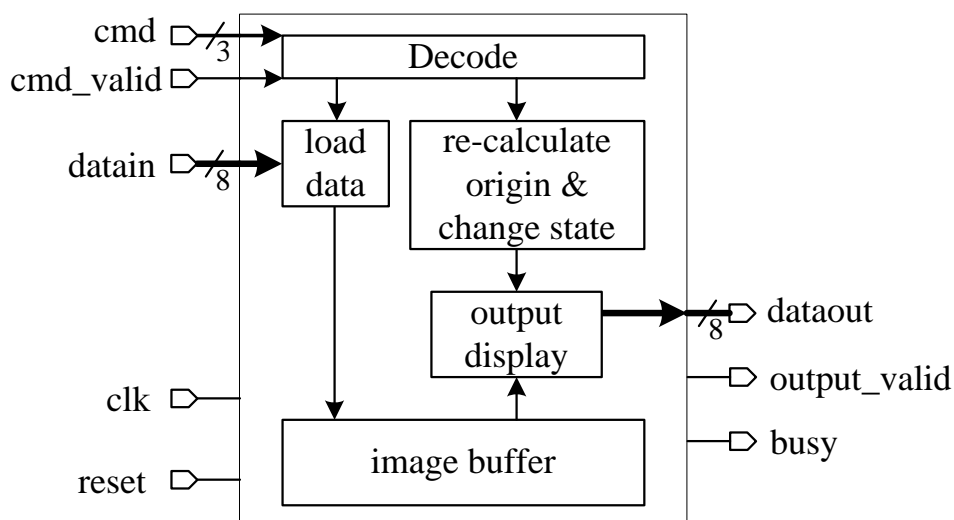
- ⇒ 上移顯示區塊。執行此 Shift Up 指令，是將目前畫面之 origin 向上移 1 格，並將移動後之畫面輸出至 4x4 顯示端，意指為：origin 在 W 軸座標值減少 1，但最小不可小於 2 (如圖八)。
- ⇒ 當 origin 已到達 W 軸座標之可移動的上邊界時，假使再收到上移指令，origin 將維持原來值，即輸出顯示端內容值不作改變。

◆ 畫面下移(Shift Down)

- ⇒ 下移顯示區塊。執行此 Shift Down 指令，是將目前畫面之 origin 向下移 1 格，並將移動後之畫面輸出至 4x4 顯示端，意指為：origin 在 W 軸座標值增加 1，但最大不可大於 7 (如圖八)。
- ⇒ 當 origin 已到達 W 軸座標之可移動的下邊界點時，假使再收到下移指令，origin 將維持原來值，即輸出顯示端內容值不作改變。

2.3.3 影像顯示控制器範例

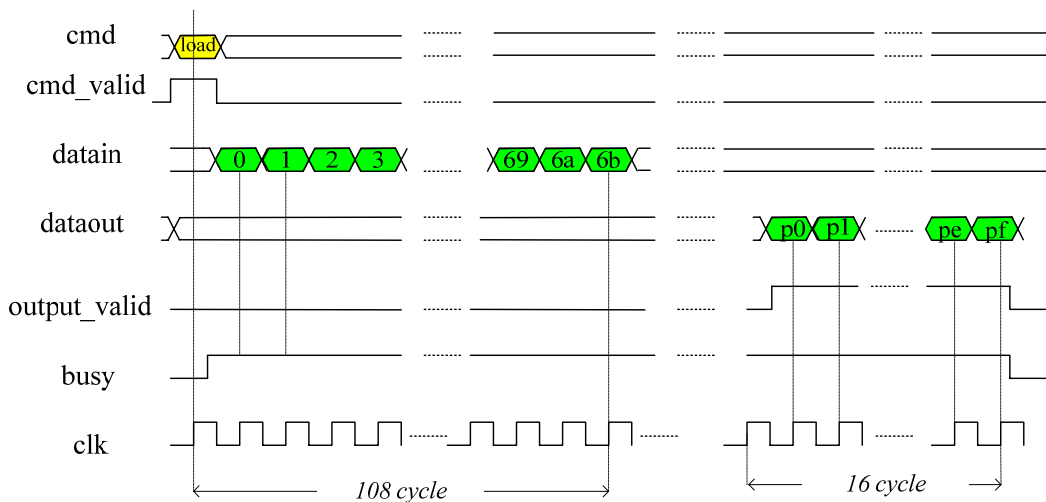
以下為影像控制器電路方塊圖範例，**僅供參賽者作為設計之參考，參賽者亦可自行發揮創意!**



圖九、影像控制器電路方塊圖

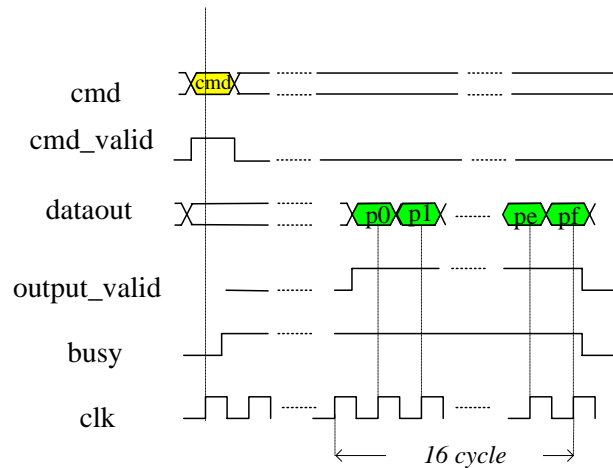
2.4 時序規格圖

- ◆ 載入資料(Load Data)之時序規格圖，如下圖十所示。
 - ⇒ 在有效的 **Load Data** 指令之後，會緊接著連續輸入 108 筆影像資料
 - ⇒ 當影像顯示控制電路內部處理完成後，連續輸出 16 筆顯示資料，輸出同時須將 **output_valid** 設為 high。
 - ⇒ 在整個處理過程中，busy 皆維持為 high。並在輸出完成後，將 busy 設回 low 以接受新指令輸入。



圖十、資料載入之時序規格圖

- ⇒ 其它控制指令(Zoom In、Zoom Fit、Shift Right、Shift Left、Shift Up、Shift Down)之時序規格圖，如下圖十一所示。
- ⇒ 當影像顯示控制電路內部處理完成，連續輸出 16 筆顯示資料，輸出同時須將 **output_valid** 設為 high。
- ⇒ 在整個處理過程中，busy 皆維持為 high。並在輸出完成後，將 busy 設回 low 以接受新指令輸入。



圖十一、其它控制指令之時序規格圖

2.5 FPGA 元件指定

請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件進行設計編譯。請參賽者注意，本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，或選用不同之 FPGA 開發工具，並不會影響本競賽初賽的評分!!

表三、Altera 組元件指定

| Altera | |
|----------------|------------|
| Target Family | Cyclone II |
| Target Device | EP2C35 |
| Target Package | FBGA |
| Pin count | 672 |
| Target Speed | 6 |

表四、Xilinx 組元件指定

| Xilinx | |
|----------------|-----------|
| Target Family | Spartan 3 |
| Target Device | XC3S1500 |
| Target Package | FG (FBGA) |
| Pin count | 676 |
| Target Speed | -4 |

3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 與 Gate-level simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 E)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

假若通過 Gate-level 驗證的組數不足，CIC 將本試題區分五個等級之功能完成度進行評分：

1. 影像 Load Data 功能正確。
2. 影像 Zoom Fit 功能正確。
3. 影像 Zoom In 功能正確。
4. 影像 Shift Up/Down/Left/Right 功能正確。
5. 影像所有功能完全正確。

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，且參賽者的設計結果正確，上傳時間越早者，其所得到的分數就越高。但倘若參賽者於競賽時間內無法完成設計，也請務必將設計檔案內容上傳，主辦單位亦將根據上列五個等級之功能完成度進行配分，完成越多等級者，排名相對越前面。審查成績將另擇期通知。

附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為測試樣本詳細資料；附錄 D 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 E 則為設計檔上傳步驟說明。

附錄 A 軟體環境

競賽主辦單位所提供的設計軟體與版本如下表(表五)。驗證評分時，係以所列軟體及版本作為驗證依據。

表五、設計軟體版本

| Functionality | Corresponding EDA tools |
|------------------|--|
| Design Entry | VHDL/Verilog |
| FPGA Synthesizer | Precision RTL v2005c.99 |
| FPGA Simulator | ModelSim 6.3a |
| FPGA tools | Altera Quartus II v7.2 or Xilinx ISE v9.1i |

其中 ModelSim、Precision RTL 為輔助性工具，並不強制各參賽單位使用。各隊伍可以利用上述 EDA 軟體工具來檢查自己設計的正确性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體(如 Altera Quartus II 或是 Xilinx ISE)中內建的功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第 3 節之評分標準說明)。主辦單位是以 ModelSim 模擬結果為評分的依據。

附錄 B 設計檔 (For Verilog or VHDL)

1. 以下為主辦單位所提供各參賽者的設計檔

表六、設計檔

| 檔名 | 說明 |
|-----------------|--|
| testfixture.v | 測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號 |
| lcd_ctrl.v | 參賽者所使用的設計檔範本，已包含系統輸/出入埠之宣告 |
| cmd1.dat | 第一組測試樣本之指令 |
| image1.dat | 第一組測試樣本使用之影像檔 |
| out_golden1.dat | 第一組測試樣本之正確結果 |
| cmd2.dat | 第二組測試樣本之指令 |
| image2.dat | 第二組測試樣本使用之影像檔 |
| out_golden2.dat | 第二組測試樣本之正確結果 |
| Report_xxx.txt | 結果報告範本。參賽隊伍之設計內容摘要文件，以便主辦單位進行評分，report_xxx.txt 的格式請參考附錄 D，xxx 代表參賽隊伍上傳設計檔之次數，詳情請參考附錄 E |

2. 請使用 *lcd_ctrl.v(.vhd)*，進行影像顯示控制器之設計。其模組名稱、輸出/入埠宣告如下所示：

lcd_ctrl.v

```
module LCD_CTRL(clk, reset, datain, cmd, cmd_valid, dataout, output_valid, busy);
input          clk;
input          reset;
input  [7:0]   datain;
input  [2:0]   cmd;
input          cmd_valid;
output [7:0]   dataout;
output         output_valid;
output         busy;
endmodule
```

lcd_ctrl.vhd

```
Library IEEE;
use IEEE.std_Logic_1164.all;
use IEEE.numeric_std.all;
ENTITY lcd_ctrl IS Port(
    clk          : int std_logic;
    reset        : int std_logic;
    datain       : int std_logic_vector(7 downto 0);
    cmd          : int std_logic_vector(2 downto 0);
    cmd_valid    : int std_logic;
    dataout      : int std_logic_vector(7 downto 0);
    output_valid : int std_logic;
    busy         : int std_logic
);
END lcd_ctrl;
ARCHITECTURE lcd_ctrl_arc OF lcd_ctrl IS
BEGIN

END lcd_ctrl_arc;
```

3. 比賽共提供二組測試樣本，請自行修改 `testfixture.v` 內容，以使用第二組測試樣本，修改方法如下：

```
`define IMAGE    "./image1.dat"
`define CMD      "./cmd1.dat"
`define EXPECT   "./out_golden1.dat"
```

將以上三行修改為：

```
`define IMAGE    "./image2.dat"
`define CMD      "./cmd2.dat"
`define EXPECT   "./out_golden2.dat"
```

4. 請參賽隊伍使用主辦單位所提供的測試樣本(`testfixture.v`)，來進行設計之模擬驗證。主辦單位除了將利用本試題所提供的測試樣本進行各參賽隊伍之設計測試外，我們亦準備另一份測試樣本，進行設計之二次驗證。唯通過二次驗證且均能符合輸出結果，始能稱為無誤之設計。測試樣本(`testfixture.v`) 包含 `clk`, `reset`, `datain`, `cmd`, 與 `cmd_valid` 測試信號。而於測試樣本內所定義的時脈週期參數(`CYCLE`)，可由參賽者依需求自行修改。

附錄 C 測試樣本

主辦單位共提供兩組測試樣本，以方便參賽者除錯之用，測試樣本之影像資料及指令輸入已存為檔案並說明如下：

◆ 測試樣本一

⇒ 相關檔案: image1.dat , cmd1.dat , out_golden1.dat

⇒ 影像資料: 測試樣本一所用之測試影像如下圖所示，影像資料依載入記憶體時之順序記錄為 image1.dat

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | a | b |
| c | d | e | f | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 |
| 18 | 19 | 1a | 1b | 1c | 1d | 1e | 1f | 20 | 21 | 22 | 23 |
| 24 | 25 | 26 | 27 | 28 | 29 | 2a | 2b | 2c | 2d | 2e | 2f |
| 30 | 31 | 32 | 33 | 34 | 35 | 36 | 37 | 38 | 39 | 3a | 3b |
| 3c | 3d | 3e | 3f | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 |
| 48 | 49 | 4a | 4b | 4c | 4d | 4e | 4f | 50 | 51 | 52 | 53 |
| 54 | 55 | 56 | 57 | 58 | 59 | 5a | 5b | 5c | 5d | 5e | 5f |
| 60 | 61 | 62 | 63 | 64 | 65 | 66 | 67 | 68 | 69 | 6a | 6b |

⇒ 指令輸入順序(共 22 道指令): 測試樣本一針對 lcd_ctrl 電路依序執行下列 22 道指令以進行電路功能測試，並記錄在 cmd1.dat 內

load, zoom in, load, shift up, zoom fit, shift right, zoom in, shift right, shift right, shift right, shift right, shift right, zoom in, shift up, shift up, shift up, shift up, shift left, shift down, zoom fit, zoom in, load

⇒ 參考輸出: 針對測試樣本一的 22 道指令，lcd_ctrl 的 data_out 所產生的理想輸出訊號，依序記載在 out_golden1.dat

◆ 測試樣本二

⇒ 相關檔案: image2.dat , cmd2.dat , out_golden2.dat

⇒ 影像資料: 測試樣本二所用之測試影像如下圖所示，影像資料依載入記憶體時之順序記錄為 image2.dat

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|
| ff | 36 | e7 | f0 | 55 | 32 | 75 | 42 | 32 | 03 | 12 | 75 |
| 18 | 20 | 57 | 30 | eb | af | ec | 11 | af | ef | ee | df |
| 61 | 49 | 93 | 22 | 67 | a0 | 05 | c5 | a0 | f2 | f9 | c6 |
| 28 | 44 | 62 | 66 | cc | 76 | 97 | 79 | 76 | 63 | 56 | 43 |
| 56 | 28 | 09 | ff | 40 | 18 | 80 | 33 | 18 | 83 | 45 | 9f |
| e6 | f0 | e9 | ea | 87 | dd | ed | 95 | dd | ea | ec | ef |
| 78 | d4 | d3 | bb | f4 | 77 | 52 | c3 | 77 | 63 | 42 | 57 |
| c4 | aa | b5 | 92 | 98 | ee | 00 | a9 | ee | dd | df | fa |
| 80 | 83 | 85 | 88 | 89 | 75 | 99 | af | be | c0 | ca | fl |

⇒ 指令輸入順序(共 22 道指令): 測試樣本二針對 lcd_ctrl 電路依序執行下列 22 道指令以進行電路功能測試，並記錄在 cmd2.dat 內

load, zoom in, load, shift left, zoom fit, shift down, zoom in, shift down, shift down, shift down, shift down, zoom in, shift left, shift left, shift left, shift left, shift left, shift up, shift right, zoom fit, zoom in, load

⇒ 參考輸出: 針對測試樣本二的 22 道指令，lcd_ctrl 的 data_out 所產生的理想輸出訊號，依序記載在 out_golden2.dat

附錄 D 評分用檔案

評分所須檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各module檔擺放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由FPGA發展軟體所產生的Post-layout gate-level netlist，以及對應的SDF檔(Altera組為*.vo、*_v.sdo檔或*.vho、*_vhd.sdo檔，Xilinx組為*_timesim.v、*_timesim.vhd及*_timesim.sdf檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫report_xxx.txt檔，以方便主辦單位進行評分，report_xxx.txt的格式如圖十二所示。(report檔以後三碼序號表示版本，首次繳交為report_001.txt。若繳交檔案更新版本，則新版的report檔檔名為report_002.txt，依此類推)。請注意，若參賽者之設計中有使用到Altera的Megafunction/Xilinx的Co-gen & Architecture IP的話，須另外附上其進行RTL simulation及Post-Layout simulation所用的simulation library source file，若無附上以致造成評分問題者，將不予計分。

表七、評分用檔案

| <i>Result_xxx directory</i> | |
|--|--|
| <i>RTL category</i> | |
| <i>File format</i> | <i>Description</i> |
| *.v or *.vhd | Verilog (or VHDL) synthesizable RTL code |
| <i>Post-Layout Gate-Level category</i> | |
| <i>File format</i> | <i>Description</i> |
| *.vo, *.vho, *.sdo (*v, *.vhd, *.sdf) | Verilog/VHDL post-layout gate-level netlist generated by FPGA Development Tool, and SDF file |
| <i>Report category</i> | |
| <i>File format</i> | <i>Description</i> |
| Report_xxx.txt | Design report file |

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 lcd_ctrl.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Quartus II 為例)合成後所產生的 post-layout gate-level netlist 為 lcd_ctrl.vo，所產生的 SDF 檔為 lcd_ctrl_v.sdo，則參賽隊伍須將 lcd_ctrl.v、sub1.v、sub2.v、lcd_ctrl.vo、lcd_ctrl_v.sdo、report_xxx.txt 等檔案確實放置於同一個 Result_xxx 目錄下。其中 report_xxx.txt 的內容可參考下面圖十二所示：

隊號(Team number): 999999

--- RTL category---

使用之 HDL 語言:

Verilog

RTL 檔案名稱(RTL filename):

lcd_ctrl.v, sub1.v, sub2.v

Post-layout gate-level Netlist:

lcd_ctrl.vo, lcd_ctrl_v.sdo

Report:

report_001.txt (此次為第一次上傳)

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

RTL 設計檔之 Top module 為 lcd_ctrl，位於 lcd_ctrl.v 內

Timing simulation 時有在 clock=12MHz 的環境下通過驗證 (Altera waveform)

Timing simulation 時有在 clock=10MHz 的環境下通過驗證 (ModelSim)

圖十二、report_xxx.txt 的範本(以 Altera Quartus II 為例)

附錄 E 檔案上傳

所有包含於如附錄D中表格所示的檔案，均需要提交至CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，並為*.zip或*.rar格式(建議以*.zip格式為優先)¹。步驟如下：

1. 建立一個 result_xxx 資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如“001”表示為第一次上傳；“002”表示為第二度上傳；003 表示為第三度上傳，以此類推...
2. 參考附錄 D 評分用檔案，將所有應繳交檔案複製到 result_xxx 資料夾
3. 參賽者需依據設計內容編輯報告檔案“report_xxx.txt”(如圖十二所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report_001.txt”並置於 Result_001 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report_002.txt”並置於 Result_002 資料夾下，再連同設計檔一併壓縮上傳。亦即 Result_xxx 與 report_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result_xxx 資料夾進行壓縮成*.zip(或*.rar)格式，如 Result_xxx.zip(或 Result_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳 (CIC 已於競賽當日的前 4 天，將 FTP 的 username 及 password 藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與 CIC 接洽。

請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。

FTP site1 (台灣大學)：iccfpt.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccfpt.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccfpt2.cic.org.tw (140.110.117.9)

6. 若你須要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及 tar 檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result_xxx 目錄名稱與 report_xxx.txt 報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
7. **建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!**

¹假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com>

B. winrar: <http://www.rarlab.com/index.htm>