

初賽時間為 4 月 1 日(二) **8:30~20:30**，參賽者請於 **10 點半前**完成下列步驟進行初賽登錄，主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額，請務必完成登錄動作，以免影響你的權益。

■ 請將你的隊伍參賽資料 E-mail 至 **icc2009@xxx.yyy.zzz.edu.tw**，

信件內容格式如下:

**參賽組別：大學類(F 組)可程式邏輯設計**

**參賽編號：(例：9740001)**

**參賽姓名：張三、李四**

信件標題請標示為「**IC 設計競賽初賽資料登錄**」

# 2009 University/College IC Design Contest Preliminary

## FPGA Category

### Flash Memory Controller

#### 1. 問題描述

請完成一快閃記憶體控制(Flash Memory Control)電路設計。此控制電路，可依主控端(Host)之操控指令來對快閃記憶體(Flash Memory)進行讀寫，讀取時是將快閃記憶體的資料讀出並存放至內部記憶體(Internal Memory)；寫入時是將內部記憶體的資料寫至快閃記憶體之中。

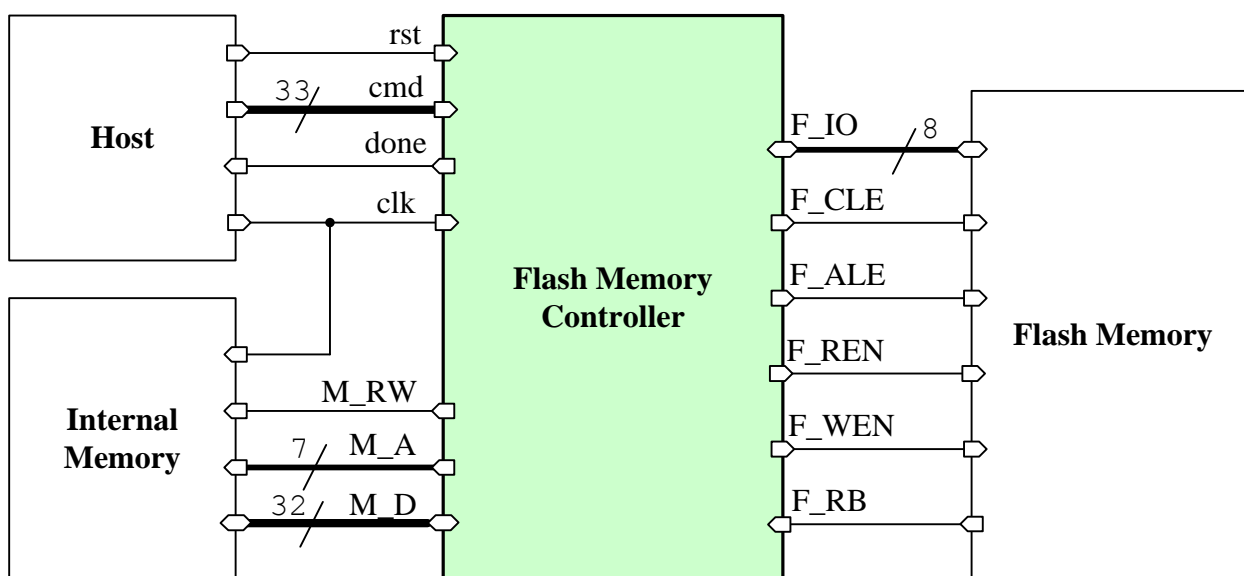
本控制電路有 4 只信號輸入(clk, rst, cmd, F\_RB)、7 只信號輸出(done, M\_RW, M\_A, F\_CLE, F\_ALE, F\_REN, F\_WEN)及 2 只記憶體雙向輸出入信號(M\_D, F\_IO)，關於各輸入/輸出信號的功能說明，請參考表一。

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 B。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 08:30。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

#### 2. 設計規格

##### 2.1 系統方塊圖



圖一、系統方塊圖

## 2.2 輸入/輸出介面

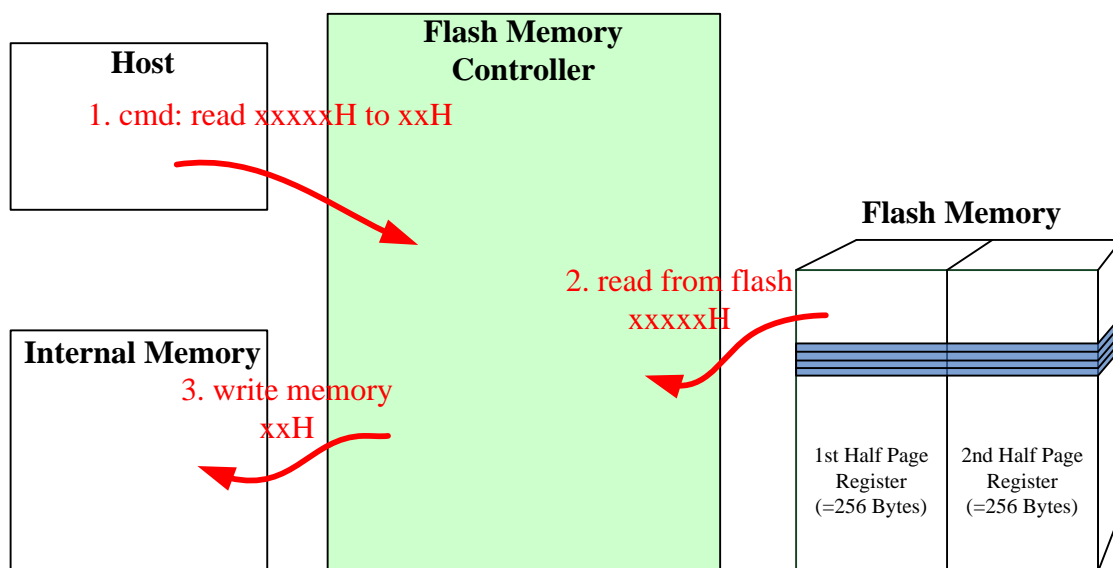
表一、輸入/輸出信號

信號名稱	輸入/輸出	位元寬度	說明
<i>clk</i>	input	1	時脈信號。 說明：主控端與內部記憶體於時脈正緣時動作。
<i>rst</i>	input	1	高位準非同步(active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
<i>cmd</i>	input	33	指令輸入信號。 說明：本控制器需根據此指令來對快閃記憶進行讀寫，詳細定義請參考 2.3.1。
<i>done</i>	output	1	完成指令輸出信號。 說明：當此信號為 low 時表示控制電路正在對快閃記憶體進行讀寫；此信號為 high 時表示控制電路完成讀寫指令，主控端也會發出下一筆指令。
<i>M_RW</i>	output	1	內部記憶體讀寫控制信號。 說明：當此信號為 high 時是對內部記憶體進行讀取；low 則是進行對內部記憶體寫入。
<i>M_A</i>	output	7	內部記憶體七位元位址信號。
<i>M_D</i>	inout	8	內部記憶體八位元雙向資料輸出入埠。
<i>F_IO</i>	inout	8	快閃記憶體八位元雙向輸出入埠。 說明：此輸出入埠可被視為輸入指令、輸入位址及輸出入資料。
<i>F_CLE</i>	output	1	快閃記憶體指令致能信號。 說明：當此信號為 high 時，F_IO 會被視為「指令」，且快閃記憶體於 F_WEN 為正緣時讀取指令。
<i>F_ALE</i>	output	1	快閃記憶體位址致能信號。 說明：當此信號為 high 時，F_IO 會被視為「位址」，且快閃記憶體於 F_WEN 為正緣時讀取位址。
<i>F_REN</i>	output	1	快閃記憶體連續讀取致能信號。 說明：在進行資料的連續讀取時，資料會在此信號負緣後經過 $t_{REA}$ 的時間出現於 F_IO，同時將快閃記憶體內的位址加 1。
<i>F_WEN</i>	output	1	快閃記憶體寫入致能信號。 說明：當 F_IO 為指令、位址及資料輸入時，由此信號的正緣來對快閃記憶體進行讀取。若 F_IO 為輸出時，此信號須維持在 high。
<i>F_RB</i>	input	1	快閃記憶體完成/忙碌信號。 說明：當此信號為 low 表示快閃記憶體正在忙碌，要等待此信號為 high 時才能進行動作(重置指令除外，請參考表三)。

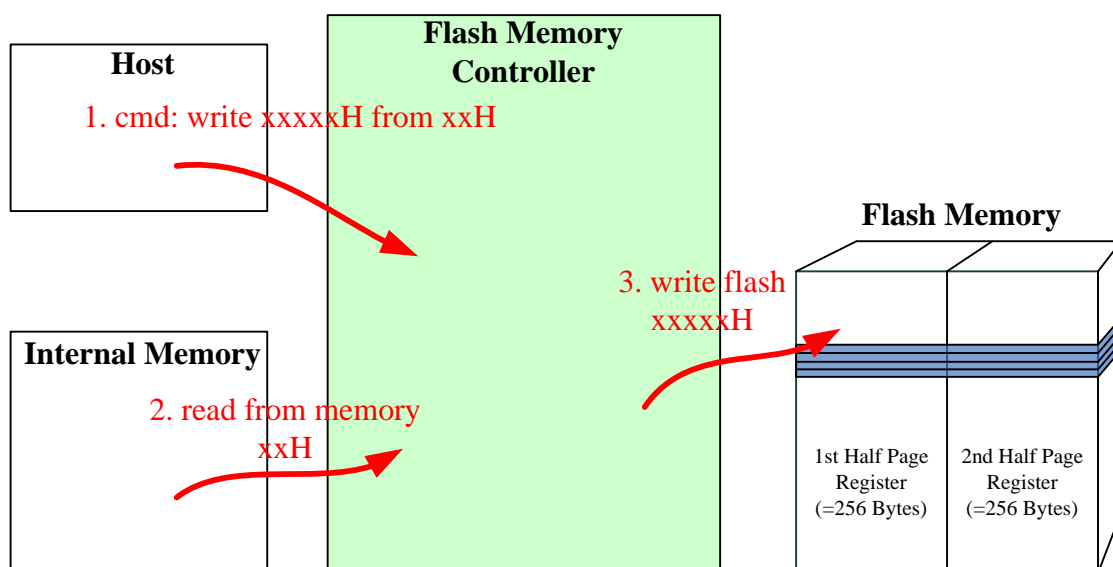
## 2.3 系統功能描述

快閃記憶體控制電路依主控端的指令(詳細指令說明請先參考 2.3.1)來對快閃記憶體進行讀寫。對快閃記憶體讀取時，是從指令中的快閃記憶體起始位址開始進行連續讀取(快閃記憶體之功能請參考 2.5)，並依據指令讀取規定的長度(資料筆數)存放至內部記憶體之中，存放的位址也必須依指令中所給定的內部記憶體起始位址來進行寫入(內部記憶體之功能請參考 2.5)，如圖二所示。

對快閃記憶體寫入時，則必須根據指令中內部記憶體起始位址來讀取指定長度(資料筆數)的資料，並將其寫入快閃記憶體之中，此時是由快閃記憶體起始位址開始進行連續寫入，如圖三所示。



圖二、快閃記憶體讀取指令之範例



圖三、快閃記憶體寫入指令之範例

### 2.3.1 主控端指令格式

主控端會在每個時脈正緣時，檢查快閃記憶體控制電路的 done 信號，若 done 為 high，主控端會立即發出指令(於 cmd 埠)，且維持至下次 done 為 high(見圖七)。主控端之指令格式如表二所示，位元 0 至位元 6 表示此次讀寫的長度，可表示長度為 0 ~ 127；位元 7 至位元 13 表示內部記憶體的讀取或寫入的起始位址，可表示之位址為 0 ~ 127；位元 14 至位元 31 表示快閃記憶體的讀取或寫入的起始位址，可表示之位址為 0 ~ 262143；位元 32 則表示此指令要對快閃記憶體進行的是讀取或寫入，此位元為 1 表示讀取，0 表示寫入。

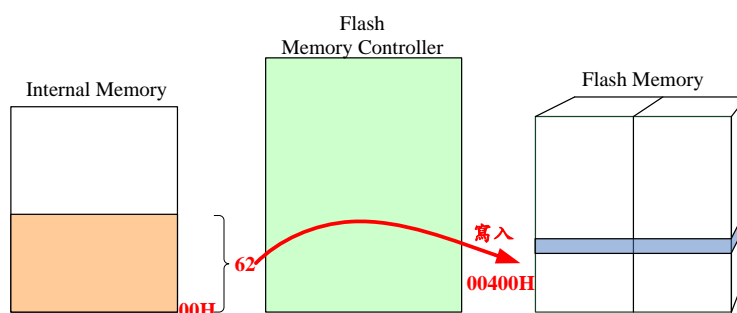
表二、主控端之指令格式

32	31	14	13	7	6	0
讀/寫	快閃記憶體起始位址					
內部記憶體起始位址						讀寫長度

快閃記憶體控制電路須先判斷指令為讀取或是寫入。以下，我們使用兩組指令來做說明：

指令一、0\_00000000100000000000\_0000000\_01111110

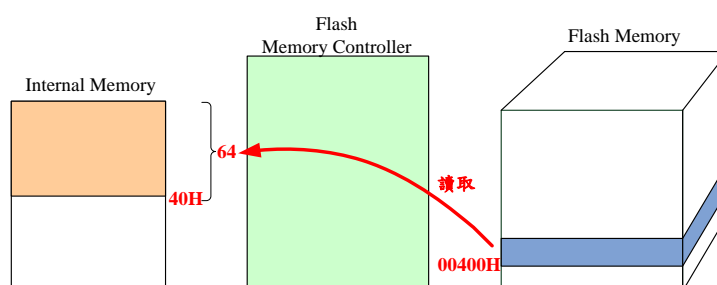
如圖四所示，指令一是要對內部記憶體 00H 的位址讀取 62 筆資料，並將這些資料連續寫入至快閃記憶體裡，且起始位址為 00400H。



圖四、指令一範例說明

指令二、1\_00000000100000000000\_1000000\_1000000

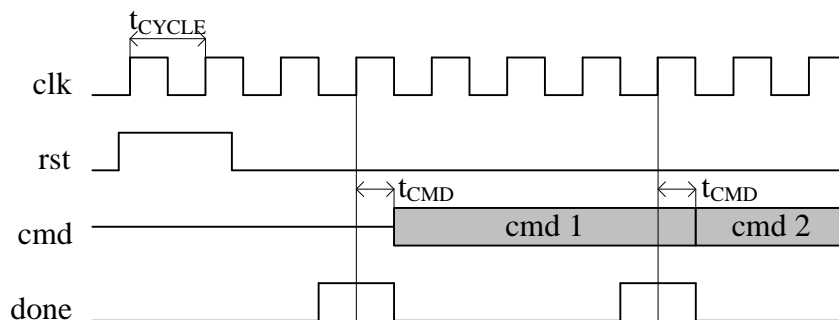
如圖五所示，指令二是要將資料由快閃記憶體中起始位址為 00400H 的位址開始讀取，接著將這些資料寫入至內部記憶體的 40H 位址之中，且寫入長度為 64 筆。



圖五、指令二範例說明

## 2.4 時序規格圖

快閃記憶體控制電路與主控端之間的時序波形如圖七所示，其中的時脈週期  $t_{\text{CYCLE}}$  預設為 10ns， $t_{\text{CMD}}$  則定義為半個時脈週期，也就是  $t_{\text{CYCLE}}/2$ 。主控端會在時脈正緣時檢查 done 信號，當 done 為 high 時便立即送出指令(cmd)信號，在經由  $t_{\text{CMD}}$  的延遲時間後會到達控制電路。控制電路在接受完新指令，應立即將 done 信號為 low，直到完成此讀寫指令後，再將 done 為 high 以接收下一筆指令。



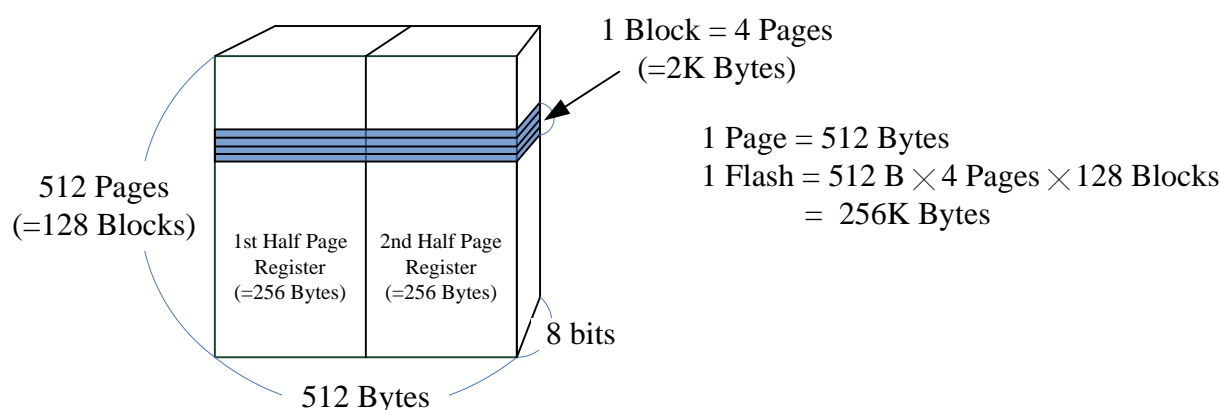
圖六、系統時序圖

## 2.5 快閃記憶體功能描述

本題目中所使用的快閃記憶體容量為 256K 位元組(byte)，其具有 512 個列(row)或頁(page)，且每頁有 512 個位元組。快閃記憶體陣列如下圖所示，並將其分為 128 區塊(block)，每個區塊內有 4 個頁，且每頁又可分為前半頁(1<sup>st</sup> Half Page Register)及後半頁(2<sup>nd</sup> Half Page Register)。快閃記憶體有下面 2 個特性需要注意：

1. 進行讀取或寫入時是以頁為單位，只要給予起始位址，便可開始進行連續的讀取或寫入，最多可讀寫一個頁。換言之，只要在同一頁(512 位元組)內就可被連續地讀寫，無法連續至下一頁。如圖十三、十四所示，為連續讀寫十筆之範例。
2. 若連續寫入長度跨越兩個頁，則跨頁時須重新給予讀寫指令。

此快閃記憶體的位址是由 8 位元的 F\_IO 來多次傳輸，這種方式不僅可減少快閃記憶體的腳位數且無論容量多寡也不須增減腳位數。此記憶體共有 256K 位元組需要 18 條位址，因此使用 F\_IO 需要 3 個週期來分別輸入欄位址(Column address)與列位址(Row address)。指令、位址及資料要經由 F\_IO 來輸入時，F\_WEN 必須為”Low”，而資料將會在 F\_WEN 為正緣時被讀取。當 F\_CLE 為 High 時，F\_IO 會被視為指令輸入；當 F\_ALE 為 High 時，F\_IO 會被視為位址輸入。



	F_IO[7]	F_IO[6]	F_IO[5]	F_IO[4]	F_IO[3]	F_IO[2]	F_IO[1]	F_IO[0]	
1 <sup>st</sup> cycle	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	欄位址
2 <sup>nd</sup> cycle	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	列位址(頁位址)
3 <sup>rd</sup> cycle	L	L	L	L	L	L	L	A <sub>17</sub>	

註：1. A<sub>8</sub> 是經由指令 00H 或 01H 來指定為”Low”或”High”。

指令 00h (Read)：定義起始位址在前半頁(1<sup>st</sup> Half Page Register)

指令 01h (Read)：定義起始位址在後半頁(2<sup>nd</sup> Half Page Register)

2. “L”是指要設定為”Low”。

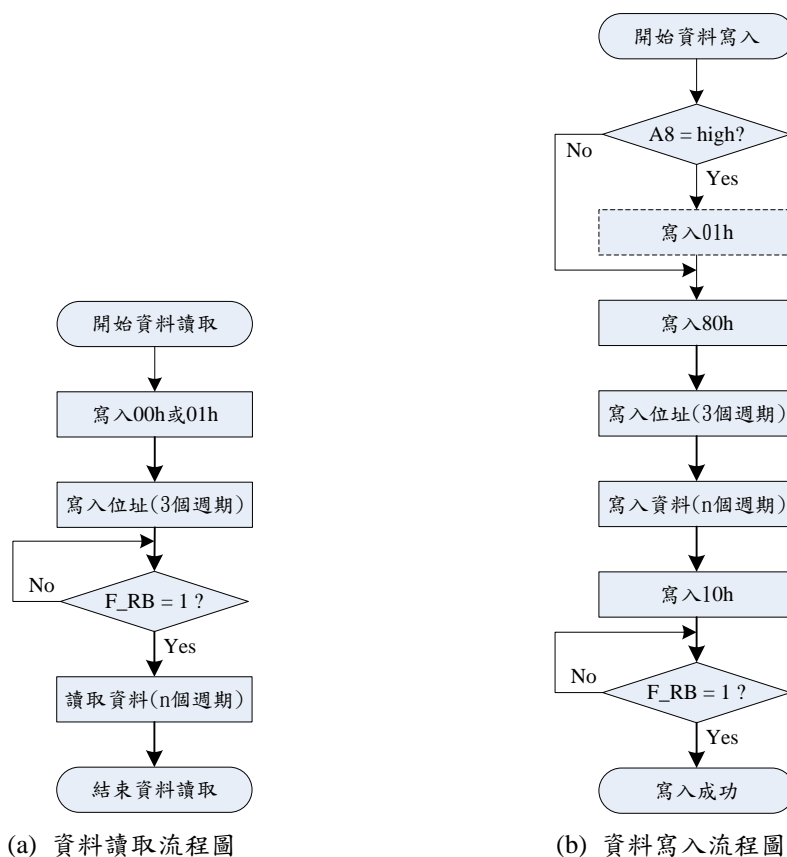
3. 當輸入位址的週期數比所需位址的還多時，快閃記憶體會忽略多餘的位址。

圖七、快閃記憶體之陣列結構

快閃記憶體的動作是經由將指令寫入其內部的暫存器來進行之，我們將此快閃記憶體之指令整理如下表所示：

表三、快閃記憶體之指令集

功能	指令 1	指令 2	忙碌時可使用
重置(Reset)	FFh		○
讀取(Read)	00h/01h		
寫入(Write)	80h	10h	



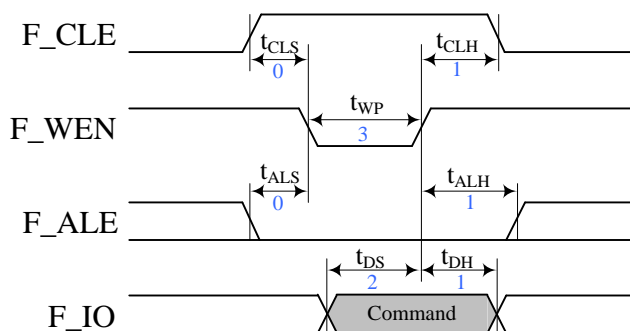
圖八、快閃記憶體動作流程圖

此快閃記憶體的初始狀態為「忙碌」，因此一開始必須對快閃記憶體進行重置的動作，也就是要對快閃記憶寫入 FFh 的指令，接著便可開始對快閃記憶體進行讀取與寫入動作。讀取與寫入動作如上方的流程圖所示，須配合表三的指令再加上指定位址來進行之。資料讀取的動作較為簡單，只要判斷 A8 來決定指令是要使用 00h 或是 01h，再加上欲讀取之起始位址後，便可進行資料的連續讀取。資料寫入的指令一般是以 80h 為起始，但若是想直接對 A8 為 high 的位址做寫入，則可在 80h 前加入 01h 的指令，經由一連串資料寫入，在寫入 10h 的指令後，資料才會由暫存器寫入快閃記憶體之中，隨即便會進入忙碌狀態，等待 F\_RB 為 high 時表示完成寫入動作。

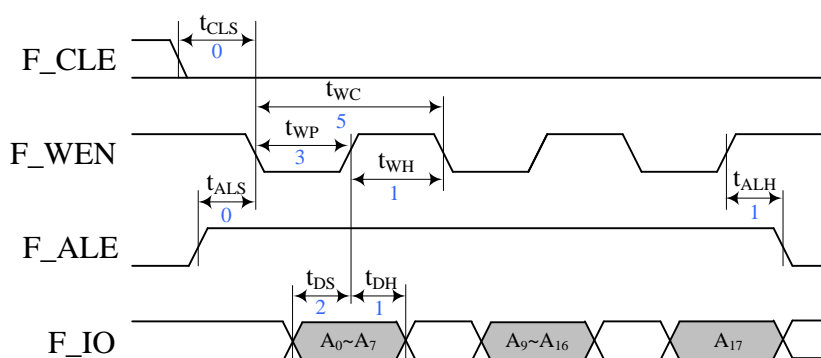


## 2.5.1 快閃記憶體之時序規格

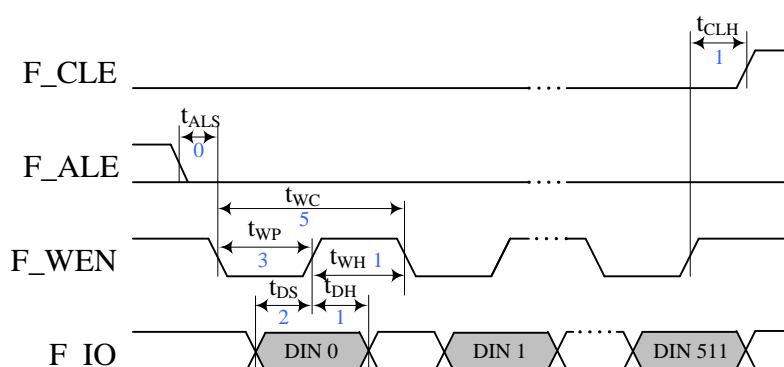
以下將快閃記憶體先細分成四個週期來表示時序，分別是圖九至圖十二的指令週期、位址週期、資料輸入週期及資料連續讀取週期。接著，圖十三與圖十四則是以波形來說明資料讀取及資料寫入之動作。最後，時序的數值整理於表四。



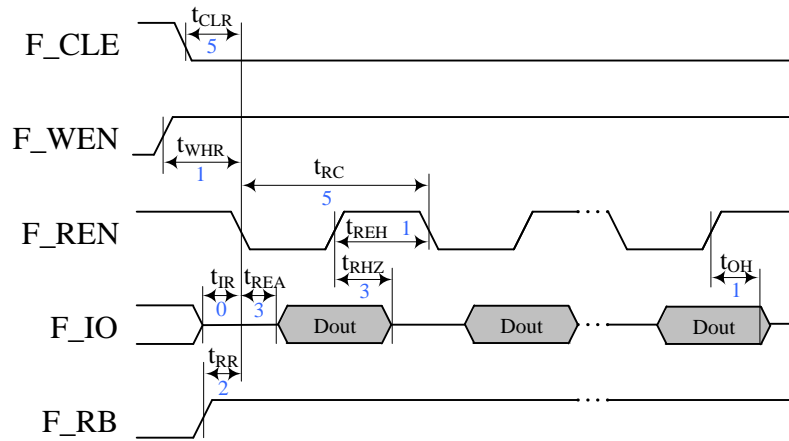
圖九、指令週期



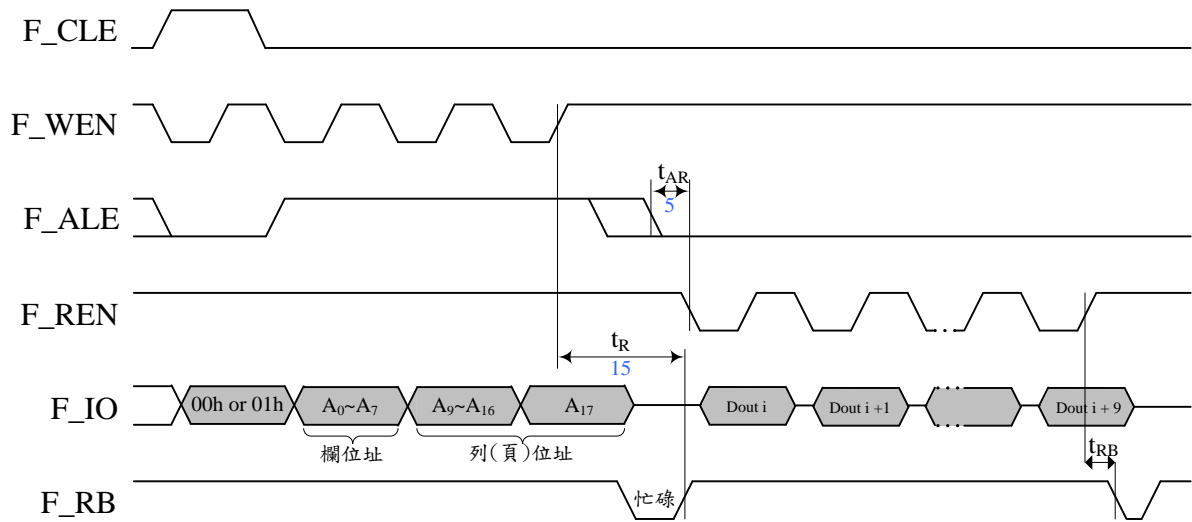
圖十、位址週期



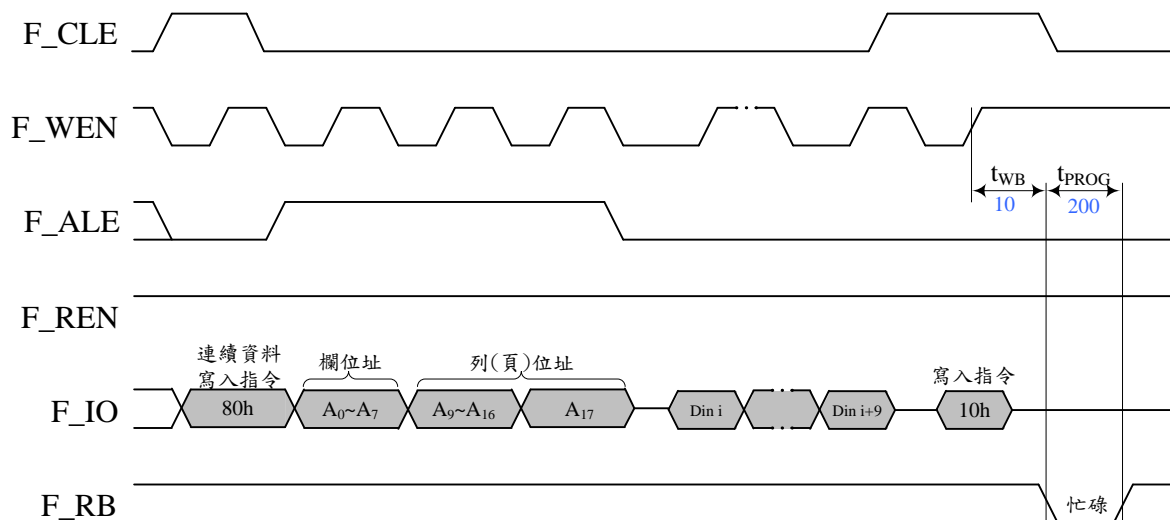
圖十一、資料輸入週期



圖十二、資料連續讀取週期



圖十三、資料連續讀取十筆之波形



圖十四、資料連續寫入十筆之波形

表四、快閃記憶體時序表

Symbol	Description	Min.	Max.	Unit
t <sub>PROG</sub>	Program Time	-	200	ns
t <sub>CLS</sub>	F_CLE Setup Time	0	-	ns
t <sub>CLH</sub>	F_CLE Hold Time	1	-	ns
t <sub>WP</sub>	F_WEN Pulse Width	3	-	ns
t <sub>ALS</sub>	F_ALE Setup Time	0	-	ns
t <sub>ALH</sub>	F_ALE Hold Time	1	-	ns
t <sub>DS</sub>	Data Setup Time	2	-	ns
t <sub>DH</sub>	Data Hold Time	1	-	ns
t <sub>WC</sub>	Write Cycle Time	5	-	ns
t <sub>WH</sub>	F_WEN High Hold Time	1	-	ns
t <sub>R</sub>	Data Transfer from Cell to Register	-	15	ns
t <sub>AR</sub>	F_ALE to F_REN Delay	5	-	ns
t <sub>CLR</sub>	F_CLE to F_REN Delay	5	-	ns
t <sub>RR</sub>	Ready(F_RB=1) to F_REN Low	2	-	ns
t <sub>WB</sub>	F_WEN High to Busy(F_RB=0)	-	10	ns
t <sub>RC</sub>	Read Cycle Time	5	-	ns
t <sub>REA</sub>	F_REN Access Time	-	3	ns
t <sub>RHZ</sub>	F_REN High to Output Hi-Z	-	3	ns
t <sub>OH</sub>	F_REN High to Output Hold Time	1	-	ns
t <sub>REH</sub>	F_REN High Hold Time	1	-	ns
t <sub>IR</sub>	Output Hi-Z to F_REN Low	0	-	ns
t <sub>RB</sub>	Last F_REN High to Busy	-	10	ns
t <sub>WHR</sub>	F_WEN High to F_REN Low	6	-	ns

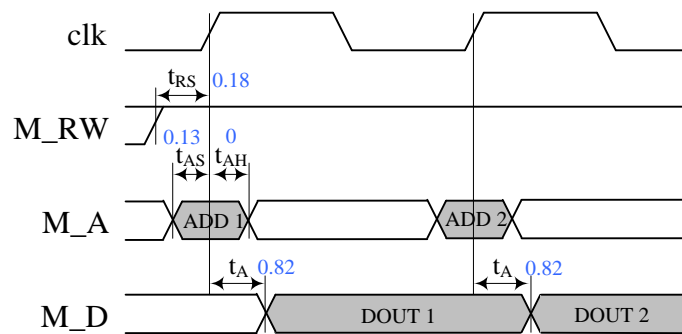
## 2.6 內部記憶體功能描述

內部記憶體是以 Register File 型式來實現的靜態記憶體，其容量為 128 位元組(byte)，每個位元組為 8 位元。所以，內部記憶體的位址信號(M\_A)為 7 個位元；資料信號(M\_D)為 8 個位元，並且具有同步正緣觸發的時脈信號(clk)與記憶體讀寫信號(M\_RW)。內部記憶體須要兩個時脈週期來完成讀取動作與一個時脈週期來完成寫入動作。內部記憶體的 32 位元資料信號為雙向埠，因此在 verilog coding 時可能會需要使用到下列的語法(快閃記憶體之 F\_IO 也可參考使用)：

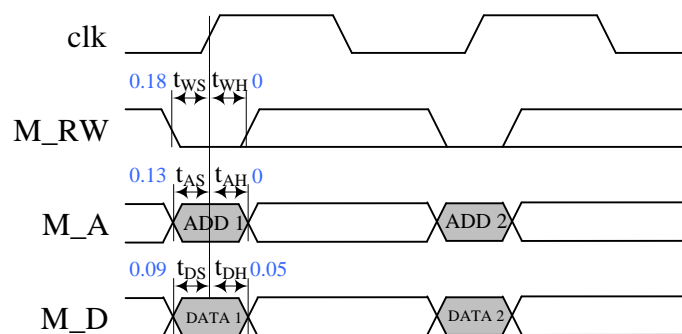
```
assign output = (enable) ? input : 'bz;
```

### 2.6.1 內部記憶體之時序規格

內部記憶體的讀取與寫入動作主要是以 M\_RW 這個信號來做控制，其資料讀取與寫入之波形時序圖，如下面圖十五、圖十六所示。**特別注意若沒有要進行寫入時，請將 M\_RW 保持為 high。**最後，時序的數值整理於表五。



圖十五、內部記憶體資料讀取波形



圖十六、內部記憶體資料寫入波形

表五、內部記憶體時序表

Symbol	Description	Min.	Unit
$t_A$	Access Time	0.83	ns
$t_{RS}$	Read Enable Setup Time	0.18	ns
$t_{WS}$	Write Enable Setup Time	0.18	ns
$t_{WH}$	Write Enable Hold Time	0	ns
$t_{AS}$	Address Setup Time	0.13	ns
$t_{AH}$	Address Hold Time	0	ns
$t_{DS}$	Data Setup Time	0.09	ns
$t_{DH}$	Data Hold Time	0.05	ns

## 2.7 FPGA 元件指定

請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件進行設計編譯。  
請參賽者注意，本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，  
或選用不同之 FPGA 開發工具，並不會影響本競賽初賽的評分!!

表六、Altera 組元件指定

Altera	
Target Family	Cyclone II
Target Device	EP2C35
Target Package	FBGA
Pin count	672
Target Speed	6

表七、Xilinx 組元件指定

Xilinx	
Target Family	Spartan 3
Target Device	XC3S1500
Target Package	FG (FBGA)
Pin count	676
Target Speed	-4

### 3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 與 Gate-level simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 E)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

假若通過 Gate-level 驗證的組數不足，CIC 將本試題區分兩個等級之功能完成度進行評分：

1. 快閃記憶體資料寫入/讀取功能正確。
2. 快閃記憶體資料跨頁寫入/讀取功能正確。

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，且參賽者的設計結果正確，上傳時間越早者，其所得到的分數就越高。但倘若參賽者於競賽時間內無法完成設計，也請務必將設計檔案內容上傳，**主辦單位亦將根據上列五個等級之功能完成度進行配分，完成越多等級者，排名相對越前面。**審查成績將另擇期通知。

## 附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為測試樣本詳細資料；附錄 D 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 E 則為設計檔上傳步驟說明。

### 附錄 A 軟體環境

競賽主辦單位所提供的設計軟體與版本如下表(表八)。驗證評分時，係以所列軟體及版本作為驗證依據。

表八、設計軟體版本

Functionality	Corresponding EDA tools
Design Entry	VHDL/Verilog
FPGA Synthesizer	Precision RTL v2005c.99
FPGA Simulator	ModelSim 6.3a
FPGA tools	Altera Quartus II v7.2 or Xilinx ISE v9.1i

其中 ModelSim、Precision RTL 為輔助性工具，並不強制各參賽單位使用。各隊伍可以利用上述 EDA 軟體工具來檢查自己設計的正確性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體(如 Altera Quartus II 或是 Xilinx ISE)中內建的功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第 3 節之評分標準說明)。主辦單位是以 ModelSim 模擬結果為評分的依據。



## 附錄 B 設計檔 (For Verilog or VHDL)

### 1. 以下為主辦單位所提供各參賽者的設計檔

表九、設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號
NFC.v	參賽者所使用的設計檔範本，已包含系統輸/出入埠之宣告
flash.v	快閃記憶體模擬檔
t13rf128x8.v	內部記憶體模擬檔
p1_cmd.dat	第一組測試樣本之指令
p1_mem.dat	第一組測試樣本使用之記憶體比對檔
p2_cmd.dat	第二組測試樣本之指令
p2_image.dat	第二組測試樣本使用之記憶體比對檔
Report_xxx.txt	結果報告範本。參賽隊伍之設計內容摘要文件，以便主辦單位進行評分，report_xxx.txt 的格式請參考附錄 D，xxx 代表參賽隊伍上傳設計檔之次數，詳情請參考附錄 E

### 2. 請使用 *NFC.v(vhd)*，進行影像顯示控制器之設計。其模組名稱、輸出/入埠宣告如下所示：

#### *NFC.v*

```
module NFC(clk, rst, cmd, done, M_RW, M_A, M_D, F_IO, F_CLE, F_ALE, F_REN, F_WEN, F_RB);  
    input          clk, rst;  
    input  [32:0]  cmd;  
    output         done;  
    output         M_RW;  
    output  [6:0]  M_A;  
    inout  [7:0]   M_D;  
    inout  [7:0]   F_IO;  
    output         F_CLE, F_ALE, F_REN, F_WEN;  
    input          F_RB;  
  
endmodule
```

### *NFC.vhd*

```
Library IEEE;
use IEEE.std_Logic_1164.all;
use IEEE.numeric_std.all;
ENTITY NFC IS Port(
    clk          : in    std_logic;
    rst          : in    std_logic;
    cmd          : in    std_logic_vector(32 downto 0);
    done         : out   std_logic;
    M_RW         : out   std_logic;
    M_A          : out   std_logic_vector(6 downto 0);
    M_D          : inout std_logic_vector(7 downto 0);
    F_IO         : inout std_logic_vector(7 downto 0);
    F_CLE        : out   std_logic;
    F_ALE        : out   std_logic;
    F_REN        : out   std_logic;
    F_WEN        : out   std_logic;
    F_RB         : in    std_logic
);
END NFC;
ARCHITECTURE NFC_arc OF NFC IS
BEGIN

END NFC_arc;
```

3. 比賽共提供二組測試樣本。請自行修改 `testfixture.v` 內容，來決定模擬時使用那一組測試樣本。`testfixture.v` 內容第三行：

```
`define  tb1
```

代表使用第一組測試樣本。若要使用第二組測試樣本，請將上面這行修改為：

```
`define  tb2
```

4. 請參賽隊伍使用主辦單位所提供的測試樣本(testfixture.v)，來進行設計之模擬驗證。主辦單位除了將利用本試題所提供的測試樣本進行各參賽隊伍之設計測試外，我們亦準備另一份測試樣本，進行設計之二次驗證。唯通過二次驗證且均能符合輸出結果，始能稱為無誤之設計。測試樣本(testfixture.v) 包含 *clk*, *rst*, *cmd* 與內部記憶體內容等測試信號。而於測試樣本內所定義的時脈週期參數(CYCLE)，可由參賽者依需求自行修改。

## 附錄 C 測試樣本

主辦單位共提供兩組測試樣本，以方便參賽者除錯之用，測試樣本之內部記憶體資料及指令輸入已存為檔案並說明如下：

### ◆ 測試樣本一

- ⇒ 說明：測試基本 flash 寫入/讀取功能
- ⇒ 相關檔案： p1\_cmd.dat , p1\_mem.dat
- ⇒ 內部記憶體內容：請參考 p1\_mem.dat 內容
- ⇒ 測試指令：測試樣本一針對 NFC 電路依序執行下列 4 道指令以進行電路功能測試，並記錄在 cmd1.dat 內

指令編號	讀/寫	快閃記憶體起始位址	內部記憶體起始位址	讀寫長度
1	0(寫入)	00800H	00H	60
2	1(讀取)	00800H	40H	61
3	0(寫入)	12345H	14H	100
4	1(讀取)	12345H	3CH	100

### ◆ 測試樣本二

- ⇒ 說明：測試 flash 跨頁寫入/讀取功能
- ⇒ 相關檔案： p2\_cmd.dat , p2\_mem.dat
- ⇒ 內部記憶體內容：請參考 p1\_mem.dat 內容
- ⇒ 測試指令：測試樣本二針對 NFC 電路依序執行下列 2 道指令以進行電路功能測試，並記錄在 cmd2.dat 內

指令編號	讀/寫	快閃記憶體起始位址	內部記憶體起始位址	讀寫長度
1	0(寫入)	2E5FEH	00H	110
2	1(讀取)	2E5FEH	14H	110

## 附錄 D 評分用檔案

評分所須檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔擺放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由 FPGA 發展軟體所產生的 Post-layout gate-level netlist，以及對應的 SDF 檔(Altera 組為\*.vo、\*\_v.sdo 檔或\*.vho、\*\_vhd.sdo 檔，Xilinx 組為\*\_timesim.v、\*\_timesim.vhd 及\*\_timesim.sdf 檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫 report\_xxx.txt 檔，以方便主辦單位進行評分，report\_xxx.txt 的格式如圖十七所示。(report 檔以後三碼序號表示版本，首次繳交為 report\_001.txt。若繳交檔案更新版本，則新版的 report 檔檔名為 report\_002.txt，依此類推)。**請注意，本次初賽之電路設計並未開放使用 FPGA 廠商之 IP(如 Altera 之 Megafunction Wizard 及 Xilinx 之 Core Generator)，若參賽者之設計中有使用到 Altera 的 Megafunction/Xilinx 的 Co-gen & Architecture IP 的話，將不予計分。**

表十、評分用檔案

<i>Result_xxx directory</i>	
<i>RTL category</i>	
<i>File format</i>	<i>Description</i>
*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
<i>Post-Layout Gate-Level category</i>	
<i>File format</i>	<i>Description</i>
*.vo, *.vho, *.sdo (*v, *.vhd, *.sdf)	Verilog/VHDL post-layout gate-level netlist generated by FPGA Development Tool, and SDF file
<i>Report category</i>	
<i>File format</i>	<i>Description</i>
Report_xxx.txt	Design report file

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 nfc.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Quartus II 為例)合成後所產生的 post-layout gate-level netlist 為 nfc.vo，所產生的 SDF 檔為 nfc\_v.sdo，則參賽隊伍須將 nfc.v、sub1.v、sub2.v、nfc.vo、nfc\_v.sdo、report\_xxx.txt 等檔案確實放置於同一個 Result\_xxx 目錄下。其中 report\_xxx.txt 的內容可參考下面圖十二所示：

隊號(Team number): 999999

--- RTL category---

使用之 HDL 語言:

Verilog

RTL 檔案名稱(RTL filename):

nfc.v, sub1.v, sub2.v

Post-layout gate-level Netlist:

nfc.vo, nfc\_v.sdo

Report:

report\_001.txt (此次為第一次上傳)

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

RTL 設計檔之 Top module 為 nfc，位於 nfc.v 內

Timing simulation 時有在 clock=12MHz 的環境下通過驗證 (Altera waveform)

Timing simulation 時有在 clock=10MHz 的環境下通過驗證 (ModelSim)

圖十七、report\_xxx.txt 的範本(以 Altera Quartus II 為例)

## 附錄 E 檔案上傳

所有包含於如附錄 D 中表格所示的檔案，均需要提交至 CIC。並且，提交的設計檔案，需要經過壓縮於同一個資料夾下，並為\*.zip 或\*.rar 格式(建議以\*.zip 格式為優先)<sup>1</sup>。步驟如下：

1. 建立一個 result\_xxx 資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如“001”表示為第一次上傳；“002”表示為第二度上傳；003 表示為第三度上傳，以此類推...
2. 參考附錄 D 評分用檔案，將所有應繳交檔案複製到 result\_xxx 資料夾
3. 參賽者需依據設計內容編輯報告檔案“report\_xxx.txt”(如圖十二所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report\_001.txt”並置於 Result\_001 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report\_002.txt”並置於 Result\_002 資料夾下，再連同設計檔一併壓縮上傳。亦即 Result\_xxx 與 report\_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result\_xxx 資料夾進行壓縮成\*.zip(或\*.rar)格式，如 Result\_xxx.zip(或 Result\_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳 (CIC 已於競賽當日的前 4 天，將 FTP 的 username 及 password 藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與 CIC 接洽。

**請注意!!**上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。

FTP site1 (台灣大學)：iccfpt.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccfpt.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccfpt2.cic.org.tw (140.110.117.9)

上面三個網址只要選擇其中一處上傳即可。

6. 若你須要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及 tar 檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result\_xxx 目錄名稱與 report\_xxx.txt 報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
7. 建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!

<sup>1</sup>假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com>

B. 7zip: <http://www.7-zip.org/download.html>