

E 組- 大學部可程式邏輯設計

初賽時間為3月21日(三) 8:30~20:30，初賽當日請密切注意競賽網頁公告及 Facebook “IC競賽專頁”(<http://www.facebook.com/IcContest20122014ByNcu>)，所有最新訊息將做即時動態更新。

請參賽隊伍於**早上10點半**前完成下列步驟進行初賽登錄、主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額、請務必完成登錄動作以免影響您的權益。

參賽作品在今天20:30前務必根據初賽前寄發之ftp 帳號密碼上傳至國家晶片中心之相關ftp site。

初賽登錄：請將您的隊伍參賽資料e-mail至 e.icdesign.ncu@gmail.com

信件主旨為：

IC設計競賽登錄(報名ID: E?????)

(請填上自己的報名ID)

信件內容：

參賽組別：E組

報名ID：E????? (例：E00001)

參賽姓名：李大華、王小明

2012 IC Design Contest Preliminary

大學組可程式邏輯(FPGA)設計組

NAND Flash Memory Controller

1. 問題描述

請完成一快閃記憶體控制(NAND Flash Memory Control)電路設計。此控制電路是將快閃記憶體 A 的資料讀出並寫入至快閃記憶體 B。

本控制電路有 4 只信號輸入(clk, rst, F_RB_A, F_RB_B)、9 只信號輸出(done, F_CLE_A, F_CLE_B, F_ALE_A, F_ALE_B, F_REN_A, F_REN_B, F_WEN_A, F_WEN_B)及 2 只記憶體雙向輸出入信號(F_IO_A, F_IO_B)，如圖一所示，關於各輸入/輸出信號的功能說明，請參考表一。

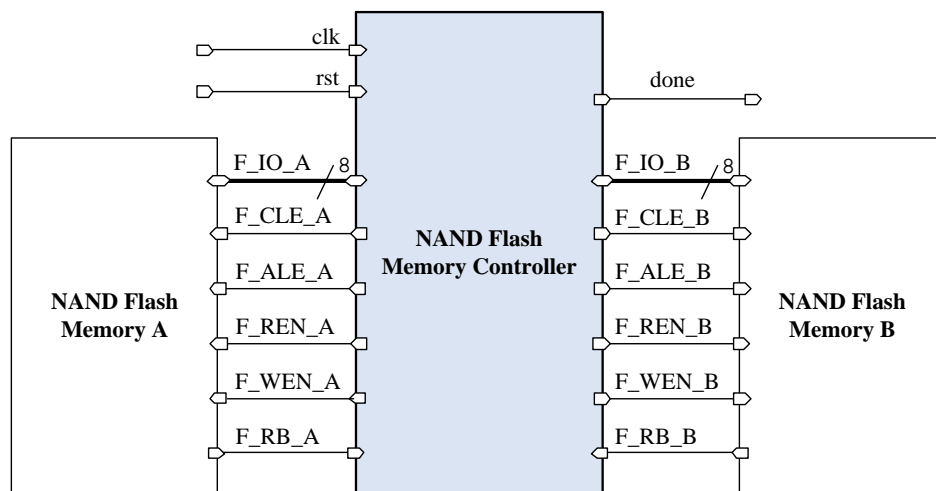
本試題有使用到快閃記憶體模型(flash memory simulation model)，其中內含時序檢查，若要避免 RTL 模擬時所產生的時序檢查錯誤(setup or hold violation)，可參考附錄 B 的第 4 點來進行模擬。

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 C。

本次 IC 設計競賽比賽時間為上午 08:30 到下午 08:30。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

2. 設計規格

2.1 系統方塊圖



圖一、系統方塊圖

2.2 輸入/輸出介面

表 一、輸入/輸出信號

信號名稱	輸入/輸出	位元寬度	說明
<i>clk</i>	input	1	時脈信號。 說明：主控端與內部記憶體於時脈正緣時動作。
<i>rst</i>	input	1	高位準非同步(active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
<i>done</i>	output	1	完成指令輸出信號。 說明：當控制器完成寫入快閃記憶體 B 時，將 done 設為 high 表示完成。
<i>F_IO_A</i>	inout	8	快閃記憶體 A 八位元雙向輸出入埠。 說明：此輸出入埠可被視為輸入指令、輸入位址及輸出入資料。
<i>F_CLE_A</i>	output	1	快閃記憶體 A 指令致能信號。 說明：當此信號為 high 時，F_IO_A 會被視為「指令」，且快閃記憶體 A 於 F_WEN_A 為正緣時讀取指令。
<i>F_ALE_A</i>	output	1	快閃記憶體 A 位址致能信號。 說明：當此信號為 high 時，F_IO_A 會被視為「位址」，且快閃記憶體 A 於 F_WEN_A 為正緣時讀取位址。
<i>F_REN_A</i>	output	1	快閃記憶體 A 連續讀取致能信號。 說明：在進行資料的連續讀取時，資料會在此信號負緣後經過 <i>tREA</i> 的時間出現於 F_IO_A，同時將快閃記憶體 A 內的位址加 1。若 F_IO_A 為輸出時，此信號須維持在 high。
<i>F_WEN_A</i>	output	1	快閃記憶體 A 寫入致能信號。 說明：當 F_IO_A 為指令、位址及資料輸入時，由此信號的正緣來對快閃記憶體 A 進行寫入。若 F_IO_A 為輸入時，此信號須維持在 high。
<i>F_RB_A</i>	input	1	快閃記憶體 A 完成/忙碌信號。 說明：當此信號為 low 表示快閃記憶體 A 正在忙碌，要等待此信號為 high 時才能進行動作(重置指令除外，請參考表二)。
<i>F_IO_B</i>	inout	8	快閃記憶體 B 八位元雙向輸出入埠。 說明：此輸出入埠可被視為輸入指令、輸入位址及輸出入資料。
<i>F_CLE_B</i>	output	1	快閃記憶體 B 指令致能信號。 說明：當此信號為 high 時，F_IO_B 會被視為「指令」，且快閃記憶體 B 於 F_WEN_B 為正緣時讀取指令。
<i>F_ALE_B</i>	output	1	快閃記憶體 B 位址致能信號。 說明：當此信號為 high 時，F_IO_B 會被視為「位址」，且快閃記憶體 B 於 F_WEN_B 為正緣時讀取位址。

<i>F_REN_B</i>	output	1	快閃記憶體 B 連續讀取致能信號。 說明：在進行資料的連續讀取時，資料會在此信號負緣後經過 tREA 的時間出現於 F_IO_B，同時將快閃記憶體 B 內的位址加 1。若 F_IO_B 為輸出時，此信號須維持在 high。
<i>F_WEN_B</i>	output	1	快閃記憶體 B 寫入致能信號。 說明：當 F_IO_B 為指令、位址及資料輸入時，由此信號的正緣來對快閃記憶體 B 進行寫入。若 F_IO_B 為輸入時，此信號須維持在 high。
<i>F_RB_B</i>	input	1	快閃記憶體 B 完成/忙碌信號。 說明：當此信號為 low 表示快閃記憶體 B 正在忙碌，要等待此信號為 high 時才能進行動作(重置指令除外，請參考表二)。

2.3 系統功能描述

快閃記憶體控制電路來對快閃記憶體進行讀寫功能。

系統啟動時將對快閃記憶體 A 讀取資料，並將快閃記憶體 A 內測試樣本所指定之資料(換 Page 情況不在此次規格，每次讀寫都從 1st Half Page 開始)寫入存放至快閃記憶體 B 之相同位址中，本次規格讀寫之起始位址為 24'h000000，如圖 二所示。

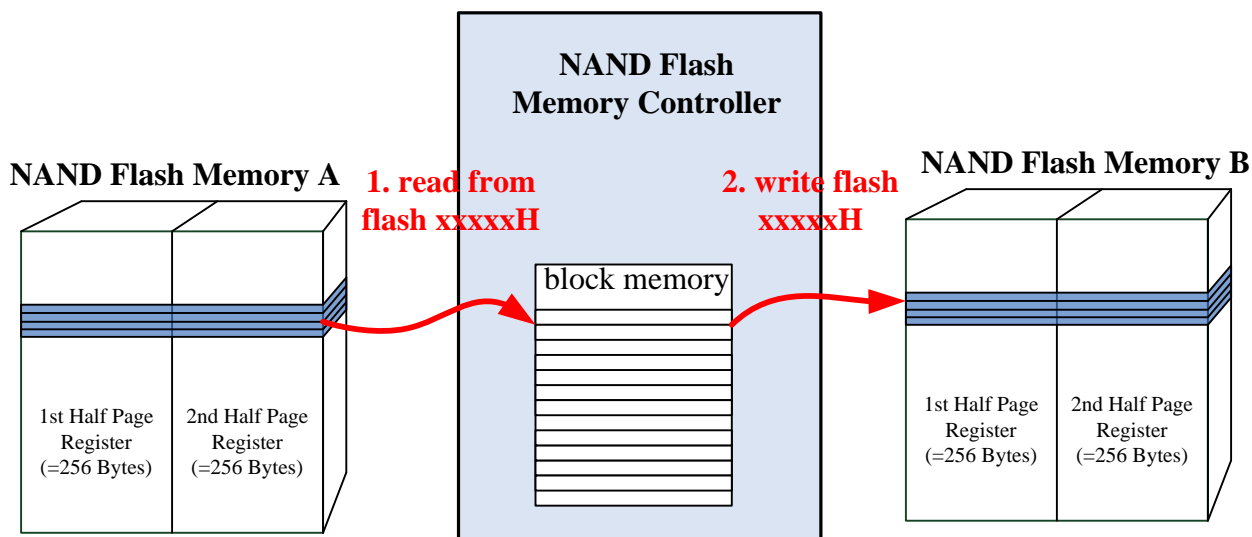


圖 二、快閃記憶體讀取寫入之範例

2.4 時序規格圖

快閃記憶體控制電路與主控端之間的時序波形如圖 三所示，其中的時脈週期 t_{CYCLE} 預設為 20ns。當系統啟動時，即開始將快閃記憶體A內指定的資料寫入至快閃記憶體B，寫入結束時並將 done 信號設定為high，當done為high時便立即結束動作。

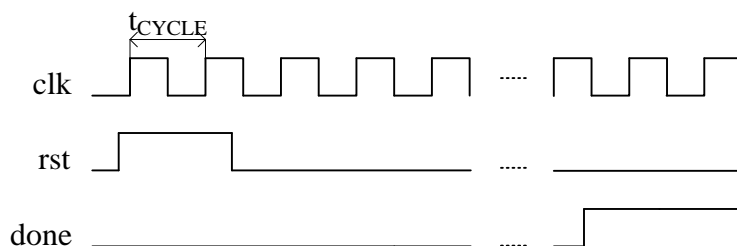


圖 三、系統時序圖

2.5 快閃記憶體(NAND Flash Memory)功能描述

本題目中所使用的快閃記憶體容量為 256K 位元組(byte)，快閃記憶體陣列如圖 四所示，此快閃記憶體共分為 128 區塊(block)，每個區塊內有 4 個頁，且每頁又可分為前半頁(1st Half Page Register)及後半頁(2nd Half Page Register)；故快閃記憶體合計具有 512 個列(row)或頁(page)，且每頁有 512 個位元組。快閃記憶體之特性有下面操作特色：

- 進行讀取或寫入時是以頁為單位，只要給予起始位址，便可開始進行連續的讀取或寫入，最多可讀寫一個頁。換言之，只要在同一頁(512 位元組)內就可被連續地讀寫，無法連續至下一頁。如圖 十、十一所示，為連續讀寫十筆之範例。

此快閃記憶體的位址是由 8 位元的 F_IO 來多次傳輸，這種方式不僅可減少快閃記憶體的腳位數且無論容量多寡也不須增減腳位數。此記憶體共有 256K 位元組需要 18 條位址，因此使用 F_IO 需要 3 個週期來分別輸入欄位址(Column address)與列位址(Row address)。在一般的讀寫時，需要使用到 3 個週期的位址且置於指令之後。指令、位址及資料要經由 F_IO 來輸入時，F_WEN 必須為”Low”，而資料將會在 F_WEN 為正緣時被讀取。當 F_CLE 為 High 時，F_IO 會被視為指令輸入；當 F_ALE 為 High 時，F_IO 會被視為位址輸入。

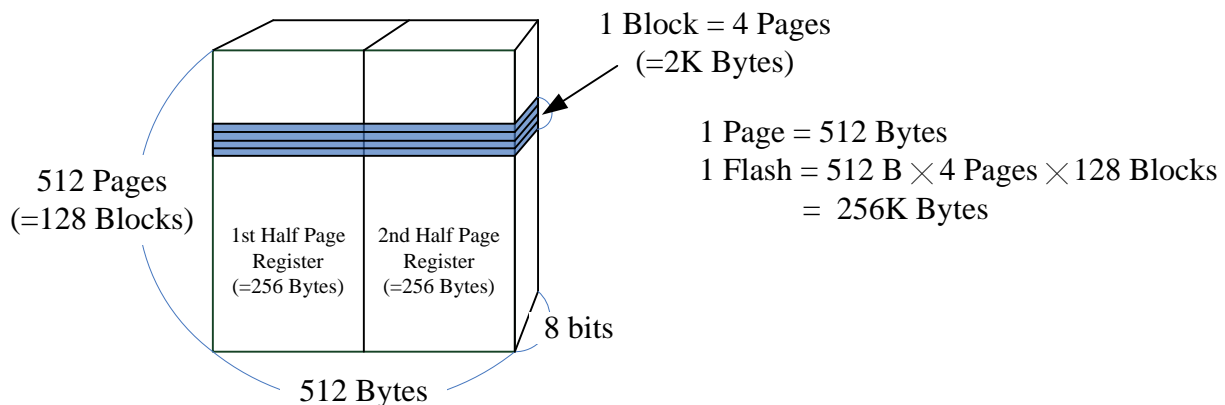


圖 四、快閃記憶體之陣列結構

	F_IO[7]	F_IO[6]	F_IO[5]	F_IO[4]	F_IO[3]	F_IO[2]	F_IO[1]	F_IO[0]	
1 st cycle	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	欄位址
2 nd cycle	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	列位址(頁位址)
3 rd cycle	L	L	L	L	L	L	L	A ₁₇	

註：1. A₈ 是經由指令 00H(A₈ = 0)或 01H(A₈ = 1)來指定為”Low”或”High”。

指令 00h (Read)：定義起始位址在前半頁(1st Half Page Register)

指令 01h (Read)：定義起始位址在後半頁(2nd Half Page Register)

2. “L”是指要設定為”Low”。

3. 當輸入位址的週期數比所需位址的還多時，快閃記憶體會忽略多餘的位址。

快閃記憶體的動作是經由將指令寫入其內部的暫存器來進行之，我們將此快閃記憶體之指令整理如下表所示：

表 二、快閃記憶體之指令集

功能	指令 1	指令 2	忙碌時可使用
重置(Reset)	FFh		○
讀取(Read)	00h/01h		
寫入(Write)	80h	10h	

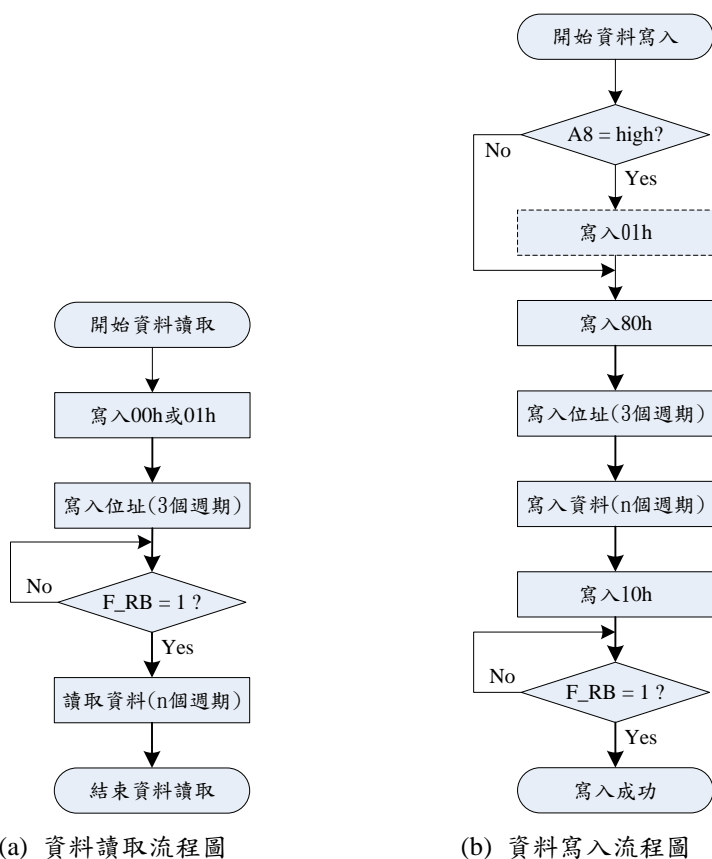


圖 五、快閃記憶體動作流程圖

此快閃記憶體的初始狀態為「忙碌」，因此一開始必須對快閃記憶體寫入 FFh 指令(參考圖六)進行重置的動作，接著便可開始對快閃記憶體進行讀寫。讀寫動作如上方的流程圖所示，須配合表三的指令再加上指定位址來進行之。資料讀取的動作較為簡單(參考圖九、圖十)，只要判斷 A8 來決定指令是要使用 00h 或是 01h，再加上欲讀取之起始位址後，便可進行資料的連續讀取。資料寫入的指令一般是以 80h 為起始(參考圖七)，但若是想直接對 A8 為 high 的位址做寫入，則可在 80h 前加入 01h 的指令。經由一連串資料寫入，再寫入 10h 的指令(參考圖八、圖十一)後，資料才會由暫存器寫入快閃記憶體之中，隨即便會進入忙碌狀態，當完成快閃記憶體操作時，需等待 F_RB 為 high 時表示完成寫入動作。

2.5.1 快閃記憶體之時序規格

以下將快閃記憶體先細分成四個週期來表示時序，分別是圖 六至圖 九的指令週期、位址週期、資料輸入週期及資料連續讀取週期。接著，圖 十至圖 十一則是以波形來說明資料讀取、資料寫入等動作。最後，時序的數值整理於表 三。

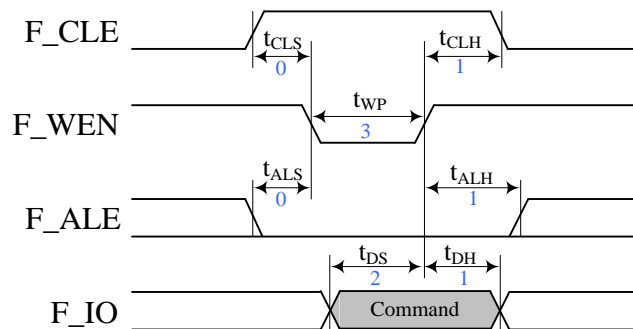


圖 六、指令週期

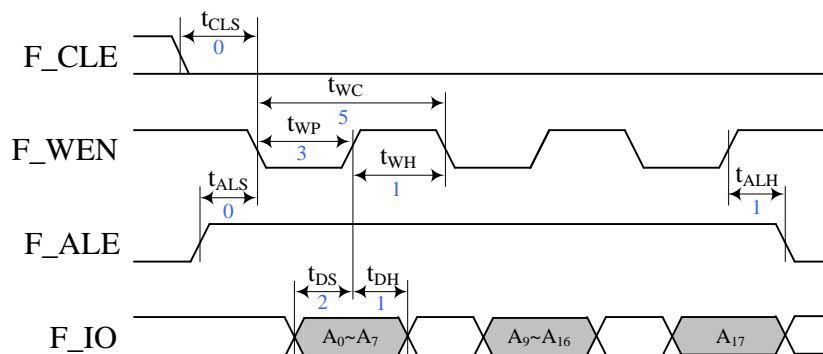


圖 七、位址週期

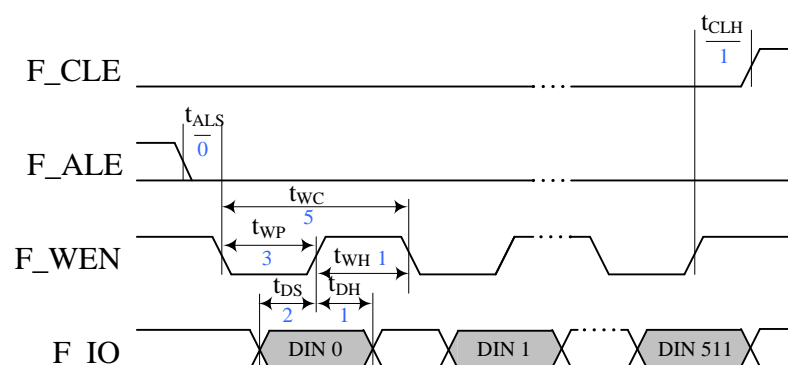


圖 八、資料輸入週期

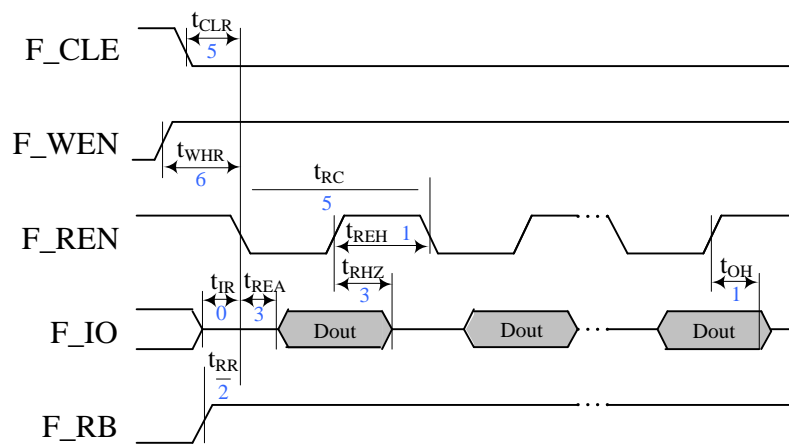


圖 九、資料連續讀取週期

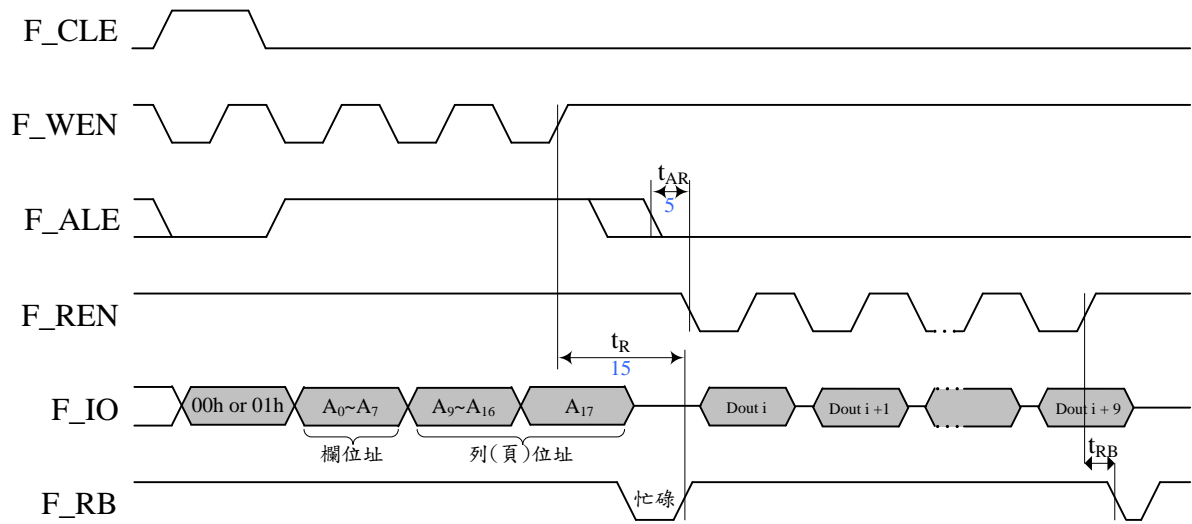


圖 十、資料連續讀取十筆之波形

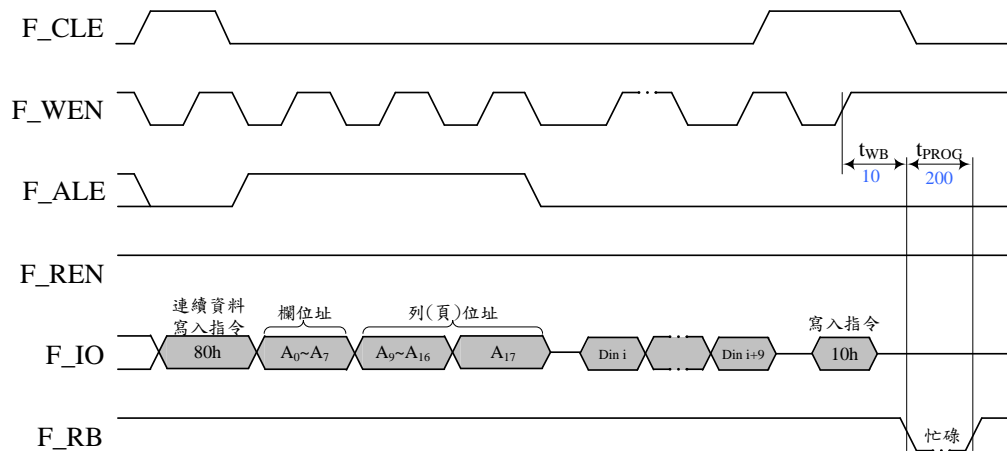


圖 十一、資料連續寫入十筆之波形

表 三、快閃記憶體時序參數表

Symbol	Description	Min.	Max.	Unit
t _{PROG}	Program Time	-	200	ns
t _{BERS}	Block Erase Time	-	1	μs
t _{CLS}	F_CLE Setup Time	0	-	ns
t _{CLH}	F_CLE Hold Time	1	-	ns
t _{WP}	F_WEN Pulse Width	3	-	ns
t _{ALS}	F_ALE Setup Time	0	-	ns
t _{ALH}	F_ALE Hold Time	1	-	ns
t _{DS}	Data Setup Time	2	-	ns
t _{DH}	Data Hold Time	1	-	ns
t _{WC}	Write Cycle Time	5	-	ns
t _{WH}	F_WEN High Hold Time	1	-	ns
t _R	Data Transfer from Cell to Register	-	15	ns
t _{AR}	F_ALE to F_REN Delay	5	-	ns
t _{CLR}	F_CLE to F_REN Delay	5	-	ns
t _{RR}	Ready(F_RB=1) to F_REN Low	2	-	ns
t _{WB}	F_WEN High to Busy(F_RB=0)	-	10	ns
t _{RC}	Read Cycle Time	5	-	ns
t _{REA}	F_REN Access Time	-	3	ns
t _{RHZ}	F_REN High to Output Hi-Z	-	3	ns
t _{OH}	F_REN High to Output Hold Time	1	-	ns
t _{REH}	F_REN High Hold Time	1	-	ns
t _{IR}	Output Hi-Z to F_REN Low	0	-	ns
t _{RB}	Last F_REN High to Busy	-	10	ns
t _{WHR}	F_WEN High to F_REN Low	6	-	ns

2.6 FPGA元件指定

本次 FPGA 組初賽主要由 Mentor Graphics 公司 Modelsim 進行 RTL 模擬來進行評分，唯各參賽者所設計之 NAND flash memory controller 電路必須可分別在 FPGA 開發工具進行電路合成。請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件及對應之 FPGA 發展工具進行設計編譯。請參賽者注意，**本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，或選用不同之 FPGA 開發工具，並不會影響本競賽初賽的評分!! 且各位參賽者需在 report file 中填寫所使用之合成器為 Quartus II 或是 ISE。**本次競賽所使用之 FPGA 開發環境軟體版本以附錄 A 中所指定為標準。

表四、Altera 組元件指定

Altera	
Target Family	Cyclone II
Target Device	EP2C35
Target Package	FBGA
Pin count	672
Target Speed	6

表五、Xilinx 組元件指定

Xilinx	
Target Family	Spartan 3
Target Device	XC3S1500
Target Package	FG (FBGA)
Pin count	676
Target Speed	-4

3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 E)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下，確保輸出結果無設置與保持時間(setup/hold time)的問題，並完全符合 CIC 所提供的標準設計結果為準。

CIC 將本試題依 RTL simulation 及電路合成結果區分為下面 3 個等級，以作為功能完成度之評分；若為同一等級則以檔案上傳時間(即作答時間的長短)來評分：

1. A 等級：完成測試樣本一至二 (tb1 & tb2)
2. B 等級：完成測試樣本一 (tb1)
3. C 等級：完成寫入 Reset 指令

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，完成同一等級者，上傳時間越早，其所得到的分數就越高。建議每完成一個等級就先將設計檔案內容上傳，主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為測試樣本詳細資料；附錄 D 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 E 則為設計檔上傳步驟說明。

附錄A 軟體環境

競賽中所提供的設計軟體環境與版本如下表六。驗證評分時，係以所列軟體及版本作為驗證依據。

表六、設計軟體版本

Functionality	Corresponding EDA tools
Design Entry	VHDL/Verilog
FPGA Synthesizer	Synopsys Synplify Premier (2011.09-sp1) 、 Mentor Graphics Precision Synthesizer (v2011a)
FPGA Simulator	Mentor Graphics ModelSim SE (v10.1a)
FPGA tools	Altera QuartusII (v11.0) 、Xilinx ISE (v12.3i)

各隊伍可以利用上述EDA軟體工具來檢查自己設計的正確性及設計是否可合成，也可直接使用FPGA廠商的發展軟體(如Altera Quartus II或是Xilinx ISE)中內建的編輯功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第3節之評分標準說明)。主辦單位是以(1)ModelSim模擬結果及(2)電路是否可在ISE/Quartus II中合成作為評分的依據。

如參賽手冊中刊載，採用之 ModelSim 為 CIC 提供學術界申請使用的 Mentor Graphics 公司發行之正式版，有支援 Verilog/VHDL 混合模擬的功能，若參賽者使用自行由 Altera/Xilinx 公司下載之 OEM 版 ModelSim 而無法順利用主辦單位提供的 verilog testbench 進行模擬者，不在主辦單位負責範圍內。

附錄 B 設計檔案說明

1. 下表七為主辦單位所提供各參賽者的設計檔案

表七、設計檔

檔名	說明
tb.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號
NFC.v (NFC.vhd)	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
flash_a.v	快閃記憶體 A 模型(flash memory A simulation model)
flash_b.v	快閃記憶體 B 模型(flash memory B simulation model)
p1_mem_goal.dat	測試樣本一之記憶體比對檔
p2_mem_goal.dat	測試樣本二之記憶體比對檔
p1_mem.dat	測試樣本一輸入檔案
P2_mem.dat	測試樣本二輸入檔案
report.000	結果報告範本

2. 請使用 *NFC.v(vhd)*，進行快閃記憶體控制電路之設計。其模組名稱、輸出/入埠宣告如下所示：

NFC.v

```
module NFC(clk, rst, done, F_IO_A, F_CLE_A, F_ALE_A, F_REN_A, F_WEN_A, F_RB_A
, F_IO_B, F_CLE_B, F_ALE_B, F_REN_B, F_WEN_B, F_RB_B);

input clk;
input rst;
output done;
inout [7:0] F_IO_A;
output F_CLE_A;
output F_ALE_A;
output F_REN_A;
output F_WEN_A;
input F_RB_A;

inout [7:0] F_IO_B;
output F_CLE_B;
output F_ALE_B;
output F_REN_B;
output F_WEN_B;
input F_RB_B;
endmodule
```

NFC.vhd

```
Library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;
ENTITY NFC IS Port(
clk : in std_logic;
rst : in std_logic;
done : out std_logic;
F_IO_A : inout std_logic_vector(7 downto 0);
F_CLE_A : out std_logic;
F_ALE_A : out std_logic;
F_REN_A : out std_logic;
F_WEN_A : out std_logic;
F_RB_A : out std_logic;

F_IO_B : inout std_logic_vector(7 downto 0);
F_CLE_B : out std_logic;
F_ALE_B : out std_logic;
F_REN_B : out std_logic;
F_WEN_B : out std_logic;
F_RB_B : out std_logic;
);

END NFC;
ARCHITECTURE NFC_arc OF NFC IS
BEGIN
END NFC_arc;
```

3. 比賽共提供兩組測試樣本。請自行修改 tb.v 內容，來決定模擬時使用那一組測試樣本。tb.v 內容第一行：

```
`define tb1
```

表示使用第一組測試樣本。若要使用第二組測試樣本，請將上面這行修改為：

```
`define tb2
```

4. 比賽共提供兩組測試樣本，參賽者可依下面範例來進行模擬：

- FPGA 組使用 modelsim 進行模擬，在 compile verilog 時，使用下面指令：

```
vlog verilog_filename.v
```

- FPGA 組使用 modelsim 進行模擬，在 compile VHDL 時使用下面指令：

```
vcom VHDL_filename.vhd
```

- 關於模擬時使用的一些記憶體模型，因已經以 include 方式加在 tb.v 裏，所以不需加在模擬指令裏。即對 tb.v 進行 compile 時，flash_a.v 及 flash_b.v 即自動跟著一起 compile，flash_a.v 及 flash_b.v 不需再加入 compile 檔案列裡。
- 若 RTL 模擬時，為了確保足夠的可視範圍(visibility)，可在載入時加上「-novopt」參數以關閉最佳化功能，為避免時序檢查以減少錯誤訊息，可於模擬指令中加入 +notimingchecks，其參考指令語法如下(work 為工作 library 之名稱，test 為測試樣本的 module name):

```
vsim +notimingchecks -novopt work.test
```

- 提醒VHDL的使用者，如同參賽手冊所載明：比賽時使用CIC提供之Mentor Graphics公司的正式版ModelSim。該版本之ModelSim有支援Mix-language（即整個系統中混用Verilog及VHDL作設計）的模擬功能，為保持測試樣本之一致性，故未再提供VHDL版的測試樣本與memory simulation model，但並無妨礙。參賽者只要掌握「對設計中的.v檔用vlog作compile」、「對設計中的.vhd檔用vcom作compile」、「最後在載入模擬時，不分verilog或VHDL，一律用vsim +notimingchecks -novopt work.tb指令」的基本原則即可，細節請自行參考ModelSim使用手冊。若參賽者未詳閱參賽手冊之說明並遵行之，而使用自行下載之其它版本ModelSim軟體(如Altera或Xilinx公司提供的OEM版ModelSim)，致使比賽時設計環境出問題造成不便，請自行負責。

附錄 C 測試樣本

比賽共提供二組測試樣本，為方便設計者除錯之用，將測試樣本之輸入指令詳列如下：(起始位址為 24'h000000)

◆ **測試樣本一，只測試位址 00 一筆資料 (位址 00，資料為 00，其餘資料預設值為 FF)**

位址	資料	位址	資料	位址	資料
000000	00	00000D	FF	00001A	FF
000001	FF	00000E	FF	00001B	FF
000002	FF	00000F	FF	00001C	FF
000003	FF	000010	FF	00001D	FF
000004	FF	000011	FF	00001E	FF
000005	FF	000012	FF	00001F	FF
000006	FF	000013	FF	000020	FF
000007	FF	000014	FF	000021	FF
000008	FF	000015	FF	.	.
000009	FF	000016	FF	.	.
00000A	FF	000017	FF	.	.
00000B	FF	000018	FF	.	.
00000C	FF	000019	FF	3FFFF	FF

◆ **測試樣本二：測試位址 000000~位址 000020 之 32 筆資料(其餘資料預設值為 FF)**

位址	資料	位址	資料	位址	資料
000000	F8	00000D	63	00001A	98
000001	DC	00000E	38	00001B	33
000002	DE	00000F	8B	00001C	32
000003	7C	000010	78	00001D	B9
000004	FA	000011	C2	00001E	DC
000005	EA	000012	62	00001F	75
000006	E6	000013	8A	000020	FF
000007	D8	000014	C7	000021	FF
000008	94	000015	B2	.	.
000009	01	000016	27	.	.
00000A	8A	000017	EC	.	.
00000B	C9	000018	B3	.	.
00000C	80	000019	CF	3FFFF	FF

附錄 D 評分用檔案

如表八所示，評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各module檔放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由FPGA發展軟體所產生的Post-layout gate-level netlist，以及對應的SDF檔(Altera組為*.vo、*_v.sdo檔或*.vho、*_vhd.sdo檔，Xilinx組為*_timesim.v、*_timesim.vhd及*_timesim.sdf檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫report_xxx.txt檔，以方便主辦單位進行評分，report_xxx.txt的格式如圖十二所示。(report檔以後三碼序號表示版本，首次繳交為report_001.txt。若繳交檔案更新版本，則新版的report檔檔名為report_002.txt，依此類推)。請注意，本次初賽之電路設計並未開放使用FPGA廠商之IP(如Altera之Megafunction Wizard及Xilinx之Core Generator)，若參賽者之設計中有使用到Altera的Megafunction/Xilinx的Co-gen & Architecture IP的話，將不予計分。

表八、評分用檔案

Result_xxx directory	
RTL category	
File format	Description
*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Post-Layout Gate-Level category	
File format	Description
*.vo, *.vho, *.sdo (*v, *.vhd, *.sdf)	Verilog/VHDL post-layout gate-level netlist generated by FPGA Development Tool, and SDF file
Report category	
File format	Description
Report_xxx.txt	Design report file

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 fc.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Quartus II 為例)合成後所產生的 post-layout gate-level netlist 為 fc.vo，所產生的 SDF 檔為 fc_v.sdo，則參賽隊伍須將 fc.v、sub1.v、sub2.v、fc.vo、fc_v.sdo、report_xxx.txt 等檔案確實放置於同一個 Result_xxx 目錄下。其中 report_xxx.txt 的內容可參考下面圖十二所示：

FTP 帳號: 60001

--- RTL category---

使用之 HDL 語言:	Verilog
使用之合成器:	Quartus II
RTL 檔案名稱(RTL filename):	NFC.v, sub1.v, sub2.v
Post-layout gate-level Netlist:	NFC.vo, NFC_v.sdo
Report:	report_001.txt (此次為第一次上傳)

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

NFC 電路 RTL 設計檔之 Top module 為 NFC，位於 NFC.v 內

圖 十二、report.000 的範本

附錄 E 檔案上傳

所有包含於如附錄D中表格所示的檔案，均需要提交至CIC。提交的設計檔案，需要經過壓縮於同一個資料夾下，並為*.zip或*.rar格式(建議以*.zip格式為優先)¹。步驟如下：

1. 建立一個 result_xxx 資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如“001”表示為第一次上傳；“002”表示為第二度上傳；003 表示為第三度上傳，以此類推…。
2. 參考附錄 D 評分用檔案，將所有繳交檔案複製到 result_xxx 資料夾
3. 參賽者需依據設計內容編輯報告檔案“report_xxx.txt”(如圖十四所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report_001.txt”並置於 Result_001 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report_002.txt”並置於 Result_002 資料夾下，再連同設計檔一併壓縮上傳。亦即 Result_xxx 與 report_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result_xxx 資料夾進行壓縮成*.zip(或*.rar)格式，如 Result_xxx.zip(或 Result_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳 (CIC 已於競賽當日的前 4 天，將 FTP 的 username 及 password 藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與 CIC 接洽。

請注意!!上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21 (port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 CIC

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

6. 若你需要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及壓縮檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result_xxx 目錄名稱與 report_xxx.txt 報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
7. 建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!

¹假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com>

B. 7zip: <http://www.7-zip.org/download.html>