

# Digitaltechnik

## Wintersemester 2017/2018

### 3. Übung



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Andreas Engel, Raad Bahmani

LÖSUNGSVORSCHLAG

KW45

Die Präsenzübungen werden in Kleingruppen während der wöchentlichen Übungsstunde bearbeitet. Bei Fragen hilft Ihnen Ihr Tutor gerne weiter. Mit der angegebenen Bearbeitungszeit für die einzelnen Aufgaben können Sie Ihren Leistungsstand besser einschätzen.

Die mit „Zusatzaufgabe“ gekennzeichneten Aufgaben sind zur zusätzlichen Vertiefung für interessierte Studierende gedacht und daher nicht im Zeitumfang von 90 Minuten einkalkuliert.

#### Übung 3.1 Zahlendarstellung und Subtraktion - Wiederholung

[5 min]

Führen Sie für die Dezimalzahl  $77_{10}$  folgenden Schritte nacheinander aus (die Teilaufgaben bauen aufeinander auf).

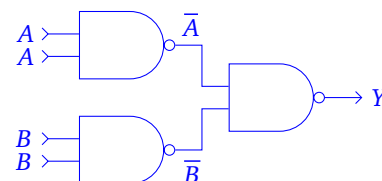
- a) Zweierkomplement (möglichst kurze Darstellung)  $0100\ 1101_2$
- b) Expansion (10 Bit)  $00\ 0100\ 1101_2$
- c) Arithmetisches Negieren ( $x \mapsto -x$ )  $\overline{00\ 0100\ 1101_2} + 1 = 11\ 1011\ 0011_2$
- d) Addieren ( $x \mapsto x + 19$ )  $11\ 1011\ 0011_2 + 00\ 0001\ 0011_2 = 11\ 1100\ 0110_2$
- e) Geben Sie die Summe dezimal an  $-(\overline{11\ 1100\ 0110_2} + 1) = -00\ 0011\ 1010_2 = -58_{10}$
- f) Geben Sie die Summe hexadezimal an  $FC_{16}$

#### Übung 3.2 Logikgatter - Wiederholung

[5 min]

Zeichnen Sie eine Logikgatterschaltung, die aus den Signalen  $A, B \in \mathbb{B}$  das Ergebnis  $Y = A + B$  berechnet, und ausschließlich aus NAND-Gattern besteht. Überlegen Sie sich dazu anhand einer Wahrheitstabelle, welche Zwischenergebnisse Sie mit den NAND-Gattern aus den Eingängen erzeugen können.

$A$	$B$	$\overline{A} \overline{A} = \overline{A}$	$\overline{B} \overline{B} = \overline{B}$	$\overline{\overline{A} \overline{B}} = A + B$
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	1



#### Übung 3.3 Paritätsfunktion

[2 min]

##### Übung 3.3.1 Parität erkennen

Bestimmen Sie die Art der Parität (gerade oder ungerade) für die folgenden drei Bytes inklusive Paritätsbit.

Nutzdaten								Paritätsbit	Art der Parität
1	1	1	1	0	1	1	0	0	gerade
1	0	1	0	1	0	0	1	1	ungerade
1	1	0	0	1	0	1	0	1	ungerade

### Übung 3.3.2 Parität generieren

Geben Sie das gerade Paritätsbit für die folgenden drei binären Ziffernfolgen an.

Nutzdaten						Paritätsbit
0	0	1	1	0	1	1
1	0	1	0	0	0	0
1	0	0	1	0	0	0

### Übung 3.3.3 Parität verwenden

Die folgenden beiden (voneinander unabhängigen) 32 bit Datenblöcke wurden um zwölf ungerade Paritätsbits (Längs- und Querparität) erweitert, um Bitfehler bei der Übertragung erkennen zu können. In beiden Blöcken hat sich jeweils genau ein Fehler eingeschlichen. Korrigieren Sie diesen.

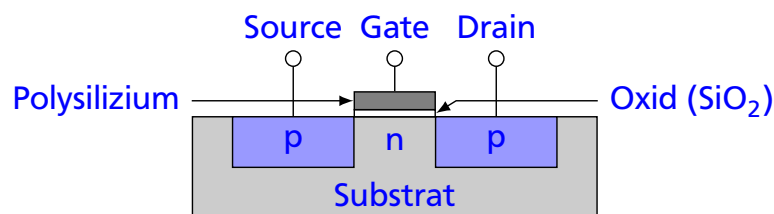
0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	0
1	0	0	1	0	0	1	1	1
1	0	0	0	0	0	0	1	1
0	0	1	1	0	0	0	1	

1	1	0	0	1	0	1	1	0
0	0	0	1	1	1	0	0	0
0	1	1	0	0	0	0	1	0
1	1	1	0	1	0	1	0	0
1	0	1	0	0	0	1	1	

### Übung 3.4 pMOS Transistor

[2 min]

Die folgende Abbildung zeigt einen Querschnitt durch einen pMOS Transistor. Beschriften Sie alle wichtigen Elemente und geben Sie auch den Dotierungstyp der verschiedenen Halbleiterbereiche an. Wie viel Strom fließt im eingeschalteten Zustand in die Gate Elektrode, wenn an der Drain Elektrode 3,3 V anliegen?



In das Gate fließt kein (nennenswerter) Strom.

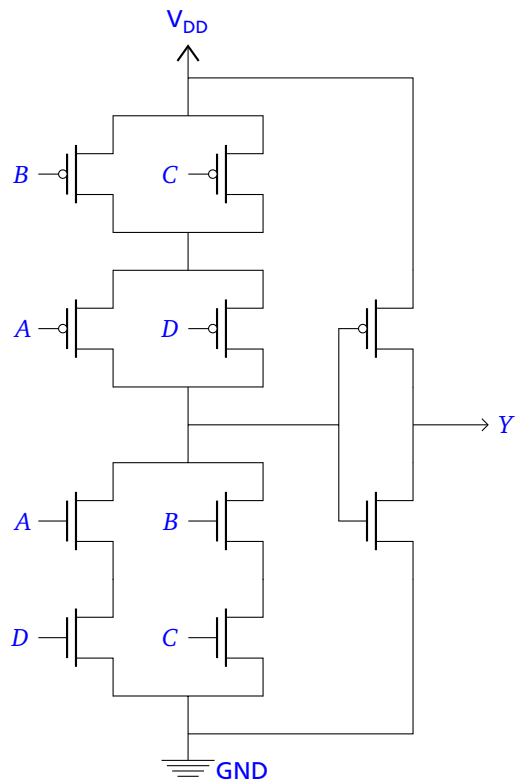
### Übung 3.5 CMOS Logik

[15 min]

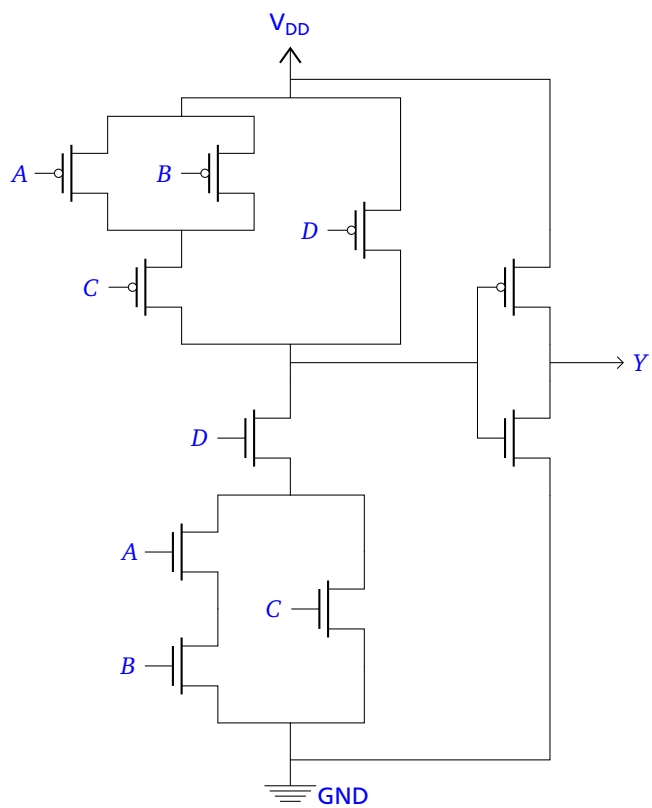
#### Übung 3.5.1 Schaltung beschriften

Beschriften Sie die folgenden CMOS-Schaltungen so, dass diese die angegebenen Funktionen realisieren. Ihnen stehen die Eingänge sowohl in positiver als auch negierter Form zur Verfügung. Beschriften Sie auch die Versorgungsspannungen und den Ausgang.

a)  $Y = (A D) + (B C)$



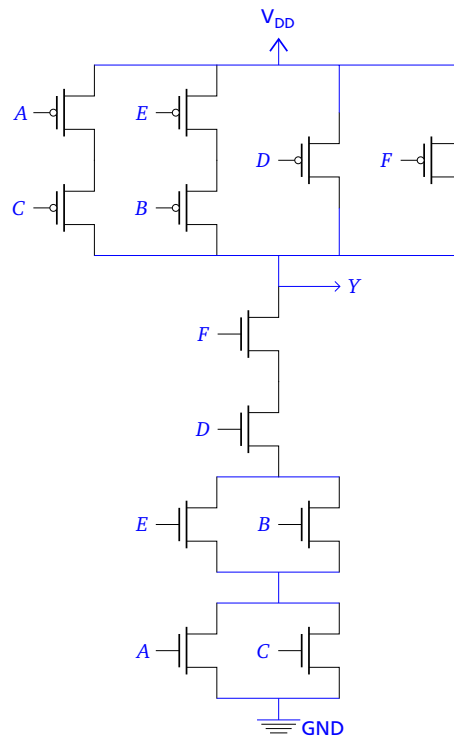
b)  $Y = ((A B) + C) D$



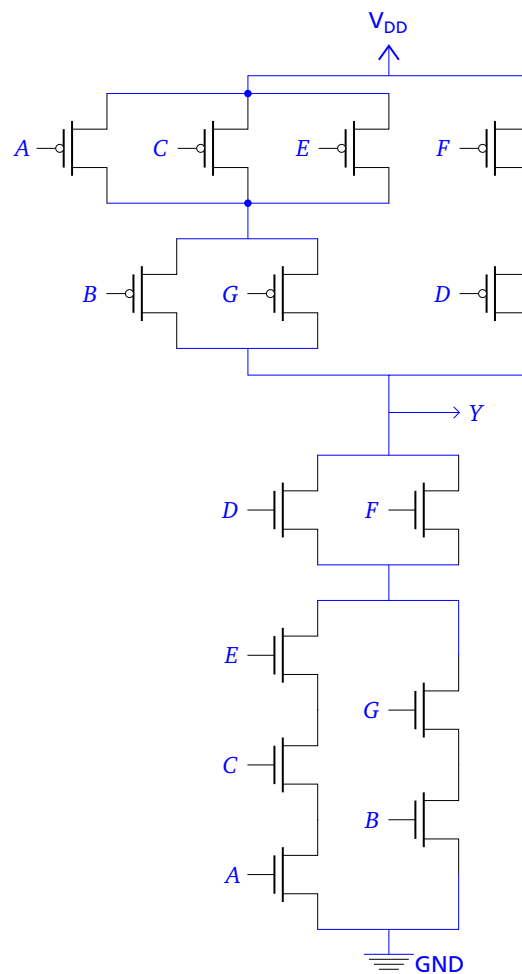
### Übung 3.5.2 Schaltung erzeugen

Realisieren Sie die folgenden Funktionen als CMOS Schaltung. Ihnen stehen die Eingänge sowohl in positiver als auch negierter Form zur Verfügung.

a)  $Y = \overline{(A+C)(E+B)DF}$



b)  $Y = ((\bar{A} + \bar{C} + \bar{E})(\bar{B} + \bar{G})) + (\bar{D} \bar{F})$



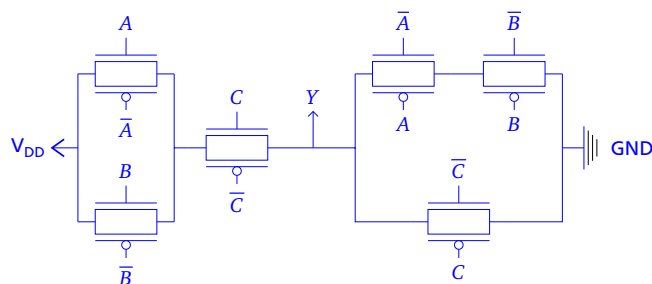
Jede kombinatorische Schaltung lässt sich als Schaltnetz aus Transmissionsgattern darstellen. Analog zu CMOS-Schaltungen müssen dabei immer zwei komplementäre Pfade realisiert werden:

- der 1-Pfad von  $V_{DD}$  zum Ausgang
- der 0-Pfad von GND zum Ausgang

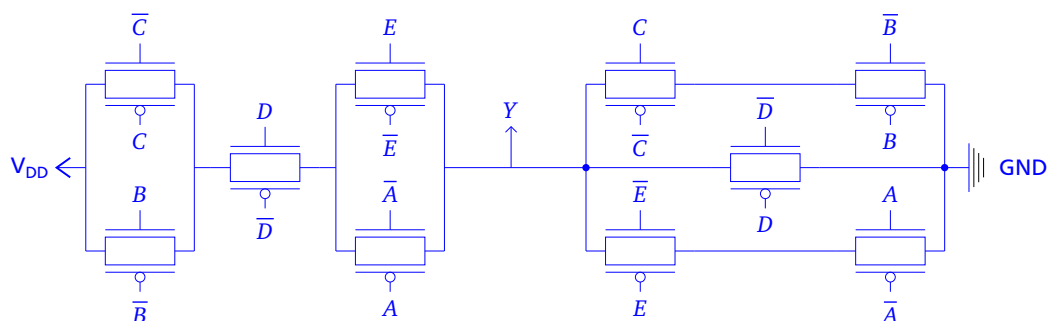
Bei jeder Kombination der Eingänge muss **genau einer** der beiden Pfade durchschalten, um den Ausgang auf eine logische 1 ( $V_{DD}$ ) oder eine logische 0 (GND) zu ziehen. Im 1-Pfad entspricht eine Reihenschaltung der logischen Und-Verknüpfung der sequentiellen Teilschaltungen, während eine Parallelschaltung die logische Oder-Verknüpfung realisiert. Im 0-Pfad ist dies genau umgekehrt (komplementär). Die beiden Steuereingänge eines Transmissionsgatters ( $EN$  und  $\overline{EN}$ ) müssen jeweils mit der positiven und negierten Form ein und desselben Eingangs beschaltet werden.

Realisieren Sie nun die folgenden Funktionen mit Transmissionsgattern:

a)  $Y = (A + B) C$

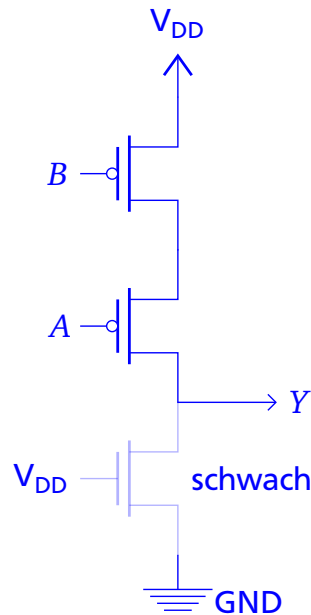


b)  $Y = (\overline{C} + B) D (E + \overline{A})$



### Übung 3.7 Pseudo-pMOS - Zusatzaufgabe

Analog zu der in der Vorlesung vorgestellten Pseudo-nMOS Schaltung ersetzt eine Pseudo-pMOS Schaltung das Pull-Down Netzwerk durch einen schwachen, aber immer geschlossenen nMOS Transistor. Realisieren Sie die Funktion  $Y = A + B$  als Pseudo-pMOS Schaltung.



Wie in der Vorlesung beschrieben, ist der statische Leistungsverbrauch ein entscheidender Nachteil dieser Schaltung. Dieser wird durch den Stromfluss durch den vergleichsweise geringen Widerstand des pull-down Transistors verursacht. Bestimmen Sie

- den Leistungsverbrauch der Schaltung für alle vier Eingangszustände
- eine Obergrenze für  $V_{OH}$  sowie eine Untergrenze für  $V_{OL}$  der Gesamtschaltung

unter der Annahme, dass

- Drain-Source Widerstand des eingeschalteten pMOS Transistors:  $R_{DS(ON),pmos} = 1\ \Omega$
- Drain-Source Widerstand des ausgeschalteten pMOS Transistors:  $R_{DS(OFF),pmos} = 1\ M\Omega$
- Drain-Source Widerstand des eingeschalteten nMOS Transistors:  $R_{DS(ON),nmos} = 1\ k\Omega$
- Drain-Source Widerstand des ausgeschalteten nMOS Transistors:  $R_{DS(OFF),nmos} = 5\ M\Omega$
- $V_{DD} = 5\ V$

Bei der Lösung könnten folgende Links hilfreich sein:

- Elektrische Leistung: <https://www.elektronik-kompodium.de/sites/grd/0201114.htm>
- Spannungsteiler: <https://www.elektronik-kompodium.de/sites/slt/0201111.htm>

Die Widerstände der drei Transistoren sind in Reihe geschaltet. Der Ausgang  $F$  treibt die Eingänge der nachfolgenden Gatter, in welche kein Strom fließen kann. Der Gesamtwiderstand, durch welchen der Strom von  $V_{DD}$  nach GND fließt, ergibt sich somit aus der Summer der drei einzelnen Widerstände. Aus Spannung und Gesamtwiderstand lässt sich der Leistungsverbrauch berechnen.

Das pull-up und pull-down Netzwerk bilden einen Spannungsteiler, dessen Ausgangsspannung am Ausgang  $Y$  anliegt.  $Y$  wird somit nicht ganz bis  $V_{DD}$  bzw. GND gezogen.

A	B	$R_{pmos}$	$R_{nmos}$	$R_{gesamt}$	$P = \frac{V_{DD}^2}{R_{gesamt}}$	$V_Y = V_{DD} \cdot \frac{R_{nmos}}{R_{gesamt}}$
0	0	$1\ M\Omega + 1\ M\Omega$	$1\ k\Omega$	$2001\ k\Omega$	$12,5\ \mu W$	$2,5\ mV$
0	1	$1\ M\Omega + 1\ \Omega$	$1\ k\Omega$	$1001,001\ k\Omega$	$25\ \mu W$	$5\ mV$
1	0	$1\ \Omega + 1\ M\Omega$	$1\ k\Omega$	$1001,001\ k\Omega$	$25\ \mu W$	$5\ mV$
1	1	$1\ \Omega + 1\ \Omega$	$1\ k\Omega$	$1,002\ k\Omega$	$25\ mW$	$4,99\ V$

$V_{OL}$  kann somit nicht kleiner als  $5\ mV$ , und  $V_{OH}$  nicht größer als  $4,99\ V$  spezifiziert werden.