

# Digitaltechnik

## Wintersemester 2017/2018

### 9. Übung



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Andreas Engel, Raad Bahmani

LÖSUNGSVORSCHLAG

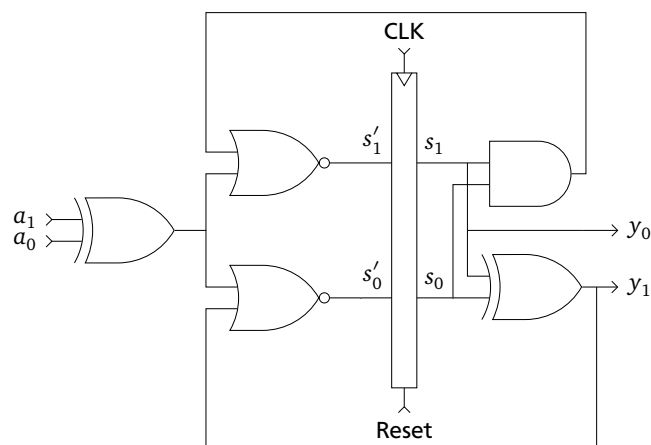
KW51

Die Präsenzübungen werden in Kleingruppen während der wöchentlichen Übungsstunde bearbeitet. Bei Fragen hilft Ihnen Ihr Tutor gerne weiter. Mit der angegebenen Bearbeitungszeit für die einzelnen Aufgaben können Sie Ihren Leistungsstand besser einschätzen.

#### Übung 9.1 Endliche Automaten - Wiederholung

[15 min]

Gegeben ist folgendes Schaltwerk eines endlichen Automaten:



a) Handelt es sich um einen Mealy- oder Moore-Automaten?

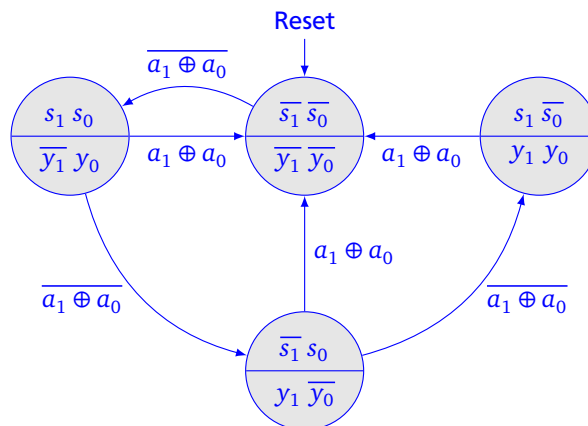
Es handelt sich um einen Moore-Automaten, da die Ausgänge nur vom aktuellen Zustand abhängen.

b) Erstellen Sie die Zustandsübergangs- und Ausgabetabellen

$s_1$	$s_0$	$a_1$	$a_0$	$s'_1$	$s'_0$
0	0	0	0	1	1
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	1	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	1

$s_1$	$s_0$	$y_1$	$y_0$
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	1

c) Zeichnen Sie das FSM-Diagramm. Verwenden Sie dabei die Minterme der Zustandskodierung als Zustandsnamen.



d) Beschreiben Sie kurz das funktionale Verhalten des Automaten.

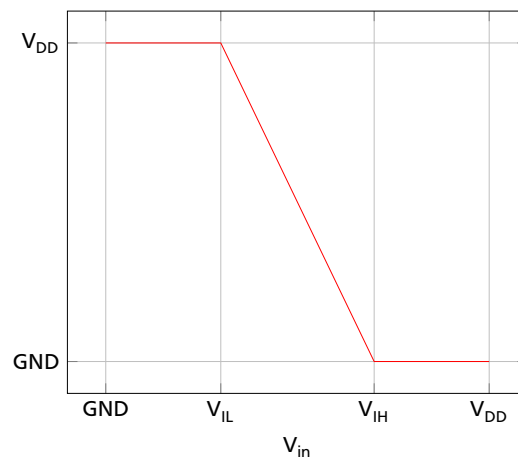
Der Automat zählt die Anzahl der aufeinanderfolgenden Takte, bei denen beide Eingänge den gleichen Wert haben ( $a_0 = a_1 \Leftrightarrow \overline{a_1 \oplus a_0} = 1$ ), wobei nach 3 Takten eine Sättigung auftritt. Es wird also nur angegeben, ob in den letzten 0, 1, 2 oder  $\geq 3$  aufeinanderfolgenden Takten beide Eingänge den gleichen Wert hatten.

## Übung 9.2 Metastabilität

[15 min]

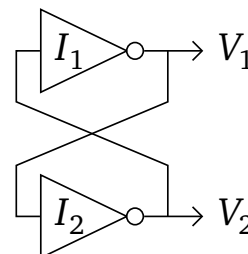
Das Schaltverhalten eines Inverters kann durch folgende Transferfunktion (stark vereinfacht) beschrieben werden:

$$V_{\text{out}} = \begin{cases} V_{\text{DD}} & \text{für } V_{\text{in}} \leq V_{\text{IL}} \\ (V_{\text{IH}} - V_{\text{in}}) \cdot \frac{V_{\text{DD}}}{V_{\text{IH}} - V_{\text{IL}}} & \text{für } V_{\text{IL}} < V_{\text{in}} < V_{\text{IH}} \\ \text{GND} & \text{für } V_{\text{in}} \geq V_{\text{IH}} \end{cases}$$



Im folgenden seien  $V_1$  und  $V_2$  die Ausgangsspannungen der beiden Inverter der bistabilen Grundschaltung mit

$$\begin{aligned} V_{\text{DD}} &= 5 \text{ V} \\ V_{\text{IL}} &= 1 \text{ V} \\ V_{\text{IH}} &= 2 \text{ V} \end{aligned}$$



a) Geben Sie  $V_1$  und  $V_2$  für die beiden stabilen Zustände der bistabilen Grundschaltung an. Die beiden stabilen Zustände für  $(V_1, V_2)$  im gültigen Spannungsbereich sind  $(\text{GND}, V_{\text{DD}})$  und  $(V_{\text{DD}}, \text{GND})$ .

- b) Geben Sie  $V_1$  und  $V_2$  für den *metastabilen* Zustand der bistabilen Grundsaltung an.

Im ungültigen Spannungsbereich zwischen  $V_{IL}$  und  $V_{IH}$  beschreibt  $V_2 = f(V_1) = (V_{IH} - V_1) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}}$  das Verhalten des Inverters  $I_2$  und  $V_1 = f(V_2)$  entsprechend das Verhalten von  $I_1$ . Wegen der Rückkopplung gilt im metastabilen Zustand  $V_1 = f(f(V_1))$  und damit:

$$V_1 = \left( V_{IH} - (V_{IH} - V_1) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}} \right) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}}$$

$$\Leftrightarrow 0 = \frac{1}{(V_{IH} - V_{IL})^2} \cdot (V_{IH} \cdot V_{DD} \cdot (V_{IH} - V_{IL}) - V_{IH} \cdot V_{DD}^2 + V_1 \cdot V_{DD}^2 - V_1 \cdot (V_{IH} - V_{IL})^2)$$

$$\Leftrightarrow V_1 = \frac{V_{IH} \cdot V_{DD}^2 - V_{IH} \cdot V_{DD} \cdot (V_{IH} - V_{IL})}{V_{DD}^2 - (V_{IH} - V_{IL})^2}$$

Für die konkret vorgegebenen Spannungswerte erhält man damit  $V_1 = V_2 \approx 1,67V$ .

Wegen der Symmetrie der beiden Inverter genügt auch der einfachere Ansatz  $V_1 = f(V_1)$ , der ebenfalls zu

$$V_1 = \frac{V_{IH} \cdot V_{DD}}{V_{IH} - V_{IL} + V_{DD}} \approx 1,67V$$

führt.

- c) Erläutern Sie anhand der Transferfunktion des Inverters den qualitativen Unterschied zwischen stabilen und metastabilen Zuständen.

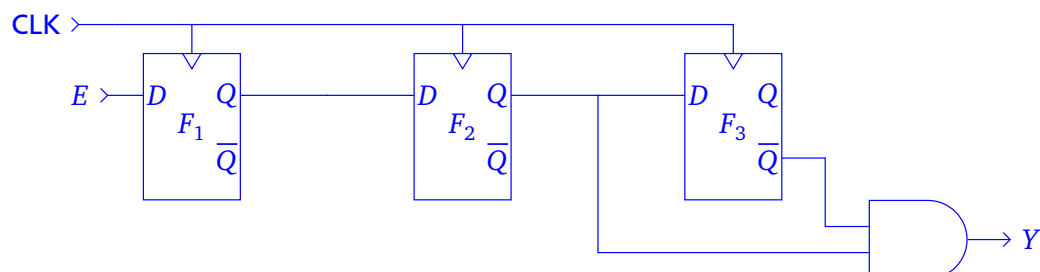
In den stabilen Zuständen ist die Steigung der Transferfunktion 0. Kleine Änderungen an  $V_{in}$  (bspw. Rauschen durch Induktion) wirken sich daher nicht auf  $V_{out}$  aus, solange man die beiden Schwellwerte  $V_{IL}$  und  $V_{IH}$  nicht überschritten werden. Im metastabilen Zustand ist der Anstieg der Transferfunktion dagegen sehr groß. Selbst geringes Rauschen an  $V_{in}$  führt daher zu sehr starken Änderungen an  $V_{out}$ .

### Übung 9.3 Asynchrone Eingänge

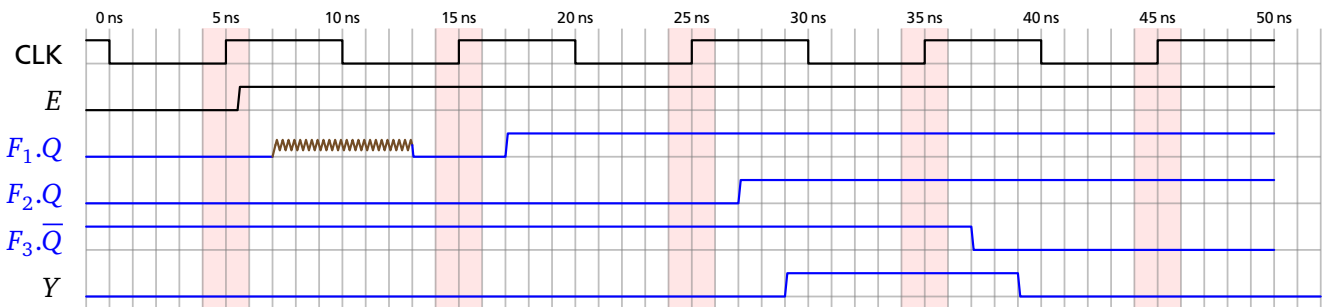
[10 min]

Das Erkennen von Umschaltvorgängen asynchroner Signale (bspw. von externen Tastern) wird als „edge detection“ bezeichnet. Dadurch können bestimmte Vorgänge in einer synchronen sequentiellen Schaltung durch einen externen Trigger genau einmal ausgelöst werden, auch wenn dieser Trigger sehr viel länger als eine Taktphase aktiv ist. Das wesentliche Problem bei einer solchen Flankenerkennung ist, dass das asynchrone Triggersignal auch unmittelbar vor oder nach der steigenden Taktflanke der synchronen Schaltung umschalten kann. Dadurch kann das Einhalten von Setup- und Hold-Zeiten nicht garantiert werden.

- a) Entwerfen Sie eine synchrone sequentielle Schaltung mit einem asynchronen Eingang  $E$ , einem Taktsignal  $CLK$  und einem synchronen Ausgang  $Y$ . Nach jeder *steigenden* Flanke an  $E$  soll  $Y$  für *genau* einen  $CLK$ -Zyklus High, und ansonsten Low sein.



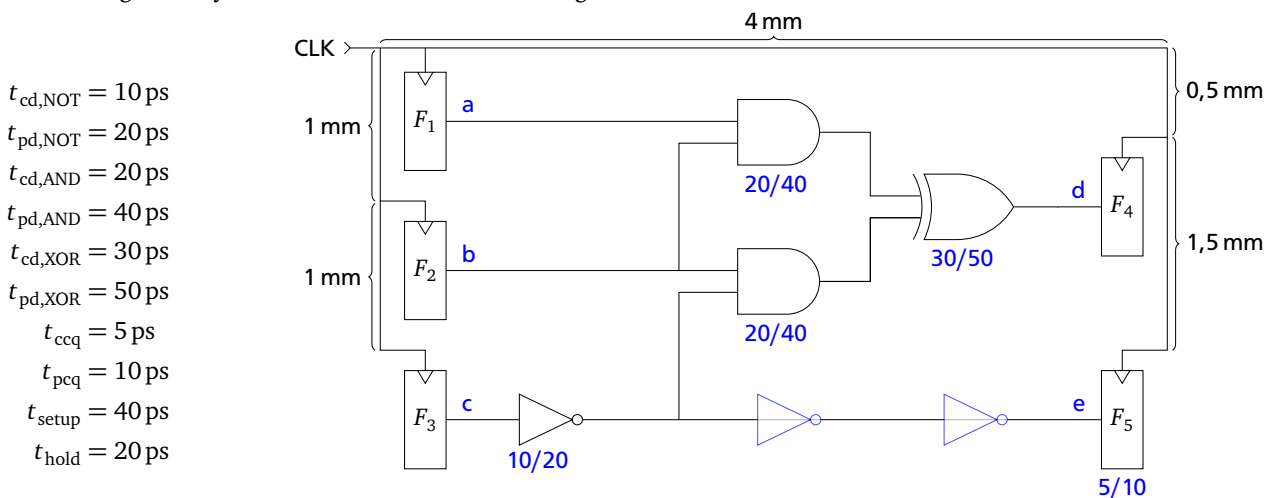
- b) Ergänzen Sie folgendes Timing-Diagramm für Ihre Schaltung mit  $t_{pcq} = t_{ccq} = t_{pd} = t_{cd} = 2\text{ ns}$  für alle Gatter sowie  $t_{\text{setup}} = t_{\text{hold}} = 1\text{ ns}$ . Gehen Sie dabei davon aus, dass metastabile Zustände von Flip-Flops nach 6 ns in den stabilen Zustand übergehen, der dem Zustand des Dateneingangs genau zur Taktflanke entspricht.



#### Übung 9.4 Timing in synchronen sequentiellen Schaltungen

[15 min]

Gegeben ist folgendes synchrones Schaltnetz inkl. Timing-Charakteristiken:



- a) Für welche Flip-Flops wird die Hold-Bedingung um wie viele Pikosekunden nicht erfüllt? Wie kann dies durch Einfügen weiterer Gatter (ausschließlich NOT, AND und XOR) behoben werden, ohne die Funktion der Schaltung zu ändern?

Für das Flip-Flop  $F_5$  wird die  $t_{\text{hold}}$  Bedingung verletzt, da  $t_{cd,e} = t_{ccq} + t_{cd,NOT} = 5\text{ ps} + 10\text{ ps} = 15\text{ ps} < t_{\text{hold}}$ . Dies kann durch das Einfügen von zwei hintereinander geschalteten Invertoren in diesen Pfad behoben werden. Dadurch wird  $t_{cd,e} = t_{ccq} + 3 \cdot t_{cd,NOT} = 5\text{ ps} + 3 \cdot 10\text{ ps} = 35\text{ ps} > t_{\text{hold}}$ .

- b) Mit welcher Taktfrequenz kann die modifizierte Schaltung maximal betrieben werden, wenn man die Leitungsverzögerungen außer Acht lässt?

Ohne clock skew kann die maximale Taktfrequenz aus dem kritischen Pfad (von  $F_3$  nach  $F_4$ ) berechnet werden:

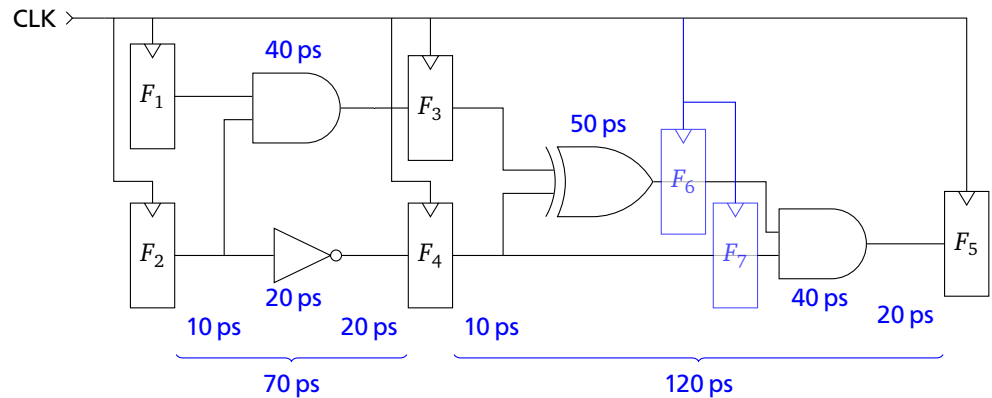
$$\begin{aligned}
 f_{\text{CLK}} &\leq \frac{1}{t_{pcq} + t_{pd,NOT} + t_{pd,AND} + t_{pd,XOR} + t_{\text{setup}}} \\
 &= \frac{1}{10\text{ ps} + 20\text{ ps} + 40\text{ ps} + 50\text{ ps} + 40\text{ ps}} \\
 &= \frac{1}{160\text{ ps}} \\
 &= 6,25\text{ GHz}
 \end{aligned}$$

- c) Mit welcher Taktfrequenz kann die modifizierte Schaltung maximal betrieben werden, wenn die Leitungsverzögerungen auf den Taktleitungen berücksichtigt werden. Gehen Sie von einer Signalausbreitungsgeschwindigkeit von  $2 \cdot 10^8\text{ m/s}$  aus.

Die effektive Taktperiode zwischen  $F_3$  und  $F_4$  wird um  $(4,5\text{ mm} - 2\text{ mm}) / 2 \cdot 10^8\text{ m/s} = 12,5\text{ ps}$  verlängert. Daher verschiebt sich die Obergrenze für die Taktfrequenz zu  $\frac{1}{f_{\text{CLK}}} + 12,5\text{ ps} \geq 160\text{ ps} \Rightarrow f_{\text{CLK}} \leq 6,78\text{ GHz}$ .

Gegeben ist folgendes synchrones Schaltnetz inkl. Timing-Charakteristiken:

$t_{cd,NOT} = 10 \text{ ps}$   
 $t_{pd,NOT} = 20 \text{ ps}$   
 $t_{cd,AND} = 20 \text{ ps}$   
 $t_{pd,AND} = 40 \text{ ps}$   
 $t_{cd,XOR} = 30 \text{ ps}$   
 $t_{pd,XOR} = 50 \text{ ps}$   
 $t_{ccq} = 5 \text{ ps}$   
 $t_{pcq} = 10 \text{ ps}$   
 $t_{setup} = 20 \text{ ps}$   
 $t_{hold} = 10 \text{ ps}$



- a) Nutzt diese Schaltung zeitliche oder räumliche Parallelität? Was wäre notwendig, um das andere Parallelitätsprinzip auszunutzen?  
 Es handelt sich hierbei um zeitliche Parallelität, da die Schaltung in mehrere Unteraufgaben unterteilt wird, die parallel ausgeführt werden (Pipelining). Für die räumliche Parallelität ist eine vervielfachte Hardware nötig. Dafür müssten die Register  $F_1$ ,  $F_2$  und  $F_5$  sowie alle Logikgatter dupliziert werden.
- b) Geben Sie die minimale Latenz der Schaltung in Takten und Pikosekunden an. Wie groß kann der Durchsatz ohne Modifikation der Schaltung maximal werden?  
 Um die minimale Latenz und den Durchsatz zu berechnen, muss zunächst die Periodendauer berechnet werden. Die benötigten Zeiten sind dafür in das Schaltdiagramm eingezeichnet.

$$\begin{aligned}
 T_1 &= t_{pcq} + t_{pd,AND} + t_{setup} = 10 \text{ ps} + 40 \text{ ps} + 20 \text{ ps} = 70 \text{ ps} \\
 T_2 &= t_{pcq} + t_{pd,XOR} + t_{pd,AND} + t_{setup} = 10 \text{ ps} + 50 \text{ ps} + 40 \text{ ps} + 20 \text{ ps} = 120 \text{ ps} \\
 T_{\max} &= \max(T_1, T_2) = 120 \text{ ps}
 \end{aligned}$$

Die minimale Latenz der Schaltung beträgt 2 Takte, was einer Zeit von 240 ps entspricht. Der maximale Durchsatz ohne Modifikation der Schaltung beträgt  $\frac{1 \text{ bit}}{120 \text{ ps}} = 8,33 \text{ Gbit/s}$

- c) Wie groß kann der Durchsatz durch Modifikation der Schaltung maximal werden. Dafür stehen ausschließlich Flip-Flops sowie NOT und XOR Gatter zur Verfügung. Wie wirkt sich diese Modifikation auf die Latenz der Schaltung (in Takten und Pikosekunden) aus?  
 Um den Durchsatz der Schaltung zu maximieren, müssen zwei weitere Flip-Flop ( $F_6$ ,  $F_7$ ) hinter das XOR Gatter in die Schaltung eingefügt werden. Durch diese Modifikation verändert sich die Latenz der Schaltung von zwei zu drei Takten. Die neue Periodendauer beträgt  $T_{\max} = t_{pcq} + t_{pd,XOR} + t_{setup} = 10 \text{ ps} + 50 \text{ ps} + 20 \text{ ps} = 80 \text{ ps}$ . Dadurch bleibt die Latenz unverändert bei 240 ps. Der maximale Durchsatz steigt hingegen auf  $\frac{1 \text{ bit}}{80 \text{ ps}} = 12,5 \text{ Gbit/s}$