

Digitaltechnik

Wintersemester 2017/2018

7. Übung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Andreas Engel, Raad Bahmani

KW49

Die Präsenzübungen werden in Kleingruppen während der wöchentlichen Übungsstunde bearbeitet. Bei Fragen hilft Ihnen Ihr Tutor gerne weiter. Mit der angegebenen Bearbeitungszeit für die einzelnen Aufgaben können Sie Ihren Leistungsstand besser einschätzen.

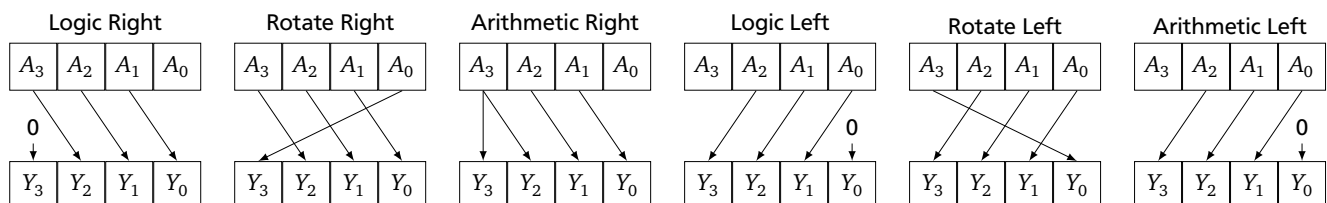
Die mit „Zusatzaufgabe“ gekennzeichneten Aufgaben sind zur zusätzlichen Vertiefung für interessierte Studierende gedacht und daher nicht im Zeitumfang von 90 Minuten einkalkuliert.

Übung 7.1 Barrel Shifter - Zusatzaufgabe

Shifter sind wichtige Bauteile vieler digitaler Systeme. Beim Shiften wird ein mehrere Bit breiter Wert um eine bestimmte Anzahl von Stellen verschoben. Neben dieser Schiebedistanz und der Schieberichtung (links oder rechts) unterscheidet man Shifter noch nach dem Konzept zum Auffüllen der „freigeschobenen“ Stellen:

- *logischer* Rechts- oder Linksshift: Auffüllen mit Nullen
- *umlaufender* Rechts- oder Linksshift: Auffüllen mit den aus der anderen Seite herausfallenden Bits (Rotation)
- *arithmetischer* Rechtsshift: Auffüllen mit Vorzeichen des als Zweierkomplement interpretierten Dateneingangs (entspricht Division durch $2^{\text{Schiebedistanz}}$)
- *arithmetischer* Linksshift: Auffüllen mit Nullen (entspricht Multiplikation mit $2^{\text{Schiebedistanz}}$)

Im Folgenden sind diese Shifter für eine Schiebedistanz von 1 dargestellt:



Unabhängig von Schieberichtung und Auffüllkonzept bezeichnet man einen Shifter auch als „Barrel-Shifter“, wenn seine Verzögerungszeit prinzipiell unabhängig von der Schiebedistanz ist.

Übung 7.1.1 Realisierung mit Basisgattern

Realisieren Sie den arithmetischen Rechtsshift $AR4: \mathbb{B}^6 \rightarrow \mathbb{B}^4$ mit jeweils 4 bit breiten Datenein- (A_3, \dots, A_0) und Ausgängen (Y_3, \dots, Y_0) sowie einem 2 bit breiten Selektor (S_0, S_1) für die Schiebedistanz zwischen 0 und 3. Verwenden Sie dafür ausschließlich die Basisgatter AND, OR, NOT, MUX und DECODE.

Übung 7.1.2 Zweistufige Optimierung

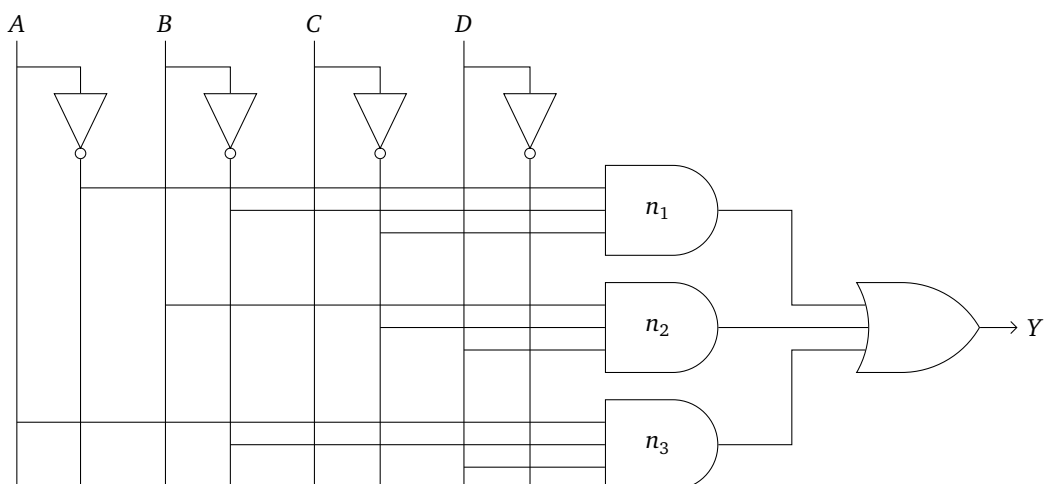
Optimieren Sie AR4 mit Espresso und zeichnen Sie die minimierte Schaltung. Vergleichen Sie die Anzahl der notwendigen AND2, OR2 und NOT Gatter dieser minimierten Schaltung mit Ihrer Lösung aus Übung 7.1.1.

Übung 7.2 Störimpulse - Wiederholung

[20 min]

Gegeben sei die folgende Schaltung mit den Verzögerungszeiten

$$t_{pd,NOT} = t_{cd,NOT} = 1 \text{ ns}, \quad t_{pd,AND3} = t_{cd,AND3} = 2 \text{ ns} \quad \text{und} \quad t_{pd,OR3} = t_{cd,OR3} = 1 \text{ ns}$$



Übung 7.2.1 Störimpulse erkennen

Identifizieren Sie die kritischen Eingangstransitionen (mit nur einer geänderten Variable) im Karnaugh Diagramm, bei denen Störimpulse auftreten können. Verifizieren Sie anhand von Timing-Diagrammen, ob an diesen Stellen tatsächlich Störimpulse auftreten. Analysieren Sie dafür jeweils die *fallenden Flanken* der kritischen Übergänge.

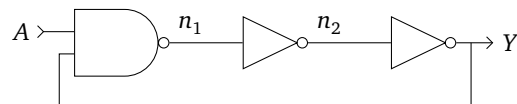
Übung 7.2.2 Störimpulse beheben

Geben Sie eine funktional äquivalente Schaltung an, die keine Störimpulse enthält. Versuchen Sie, dies mit möglichst wenigen Modifikationen der bestehenden Schaltung zu erreichen.

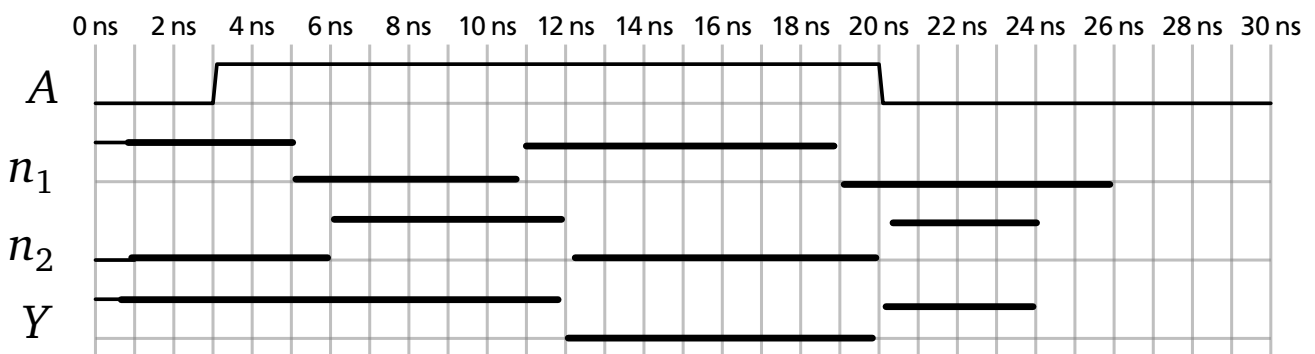
Übung 7.3 Instabile Schaltung

[10 min]

Erweitert man die bistabile Grundsaltung um ein NAND Gatter, so erhält man eine Schaltung, die zwischen stabilem und instabilem Zustand wechseln kann:



Vervollständigen Sie das folgende Timing-Diagramm für $t_{pd,NOT} = t_{cd,NOT} = 1\text{ ns}$, $t_{pd,NAND} = t_{cd,NAND} = 2\text{ ns}$:

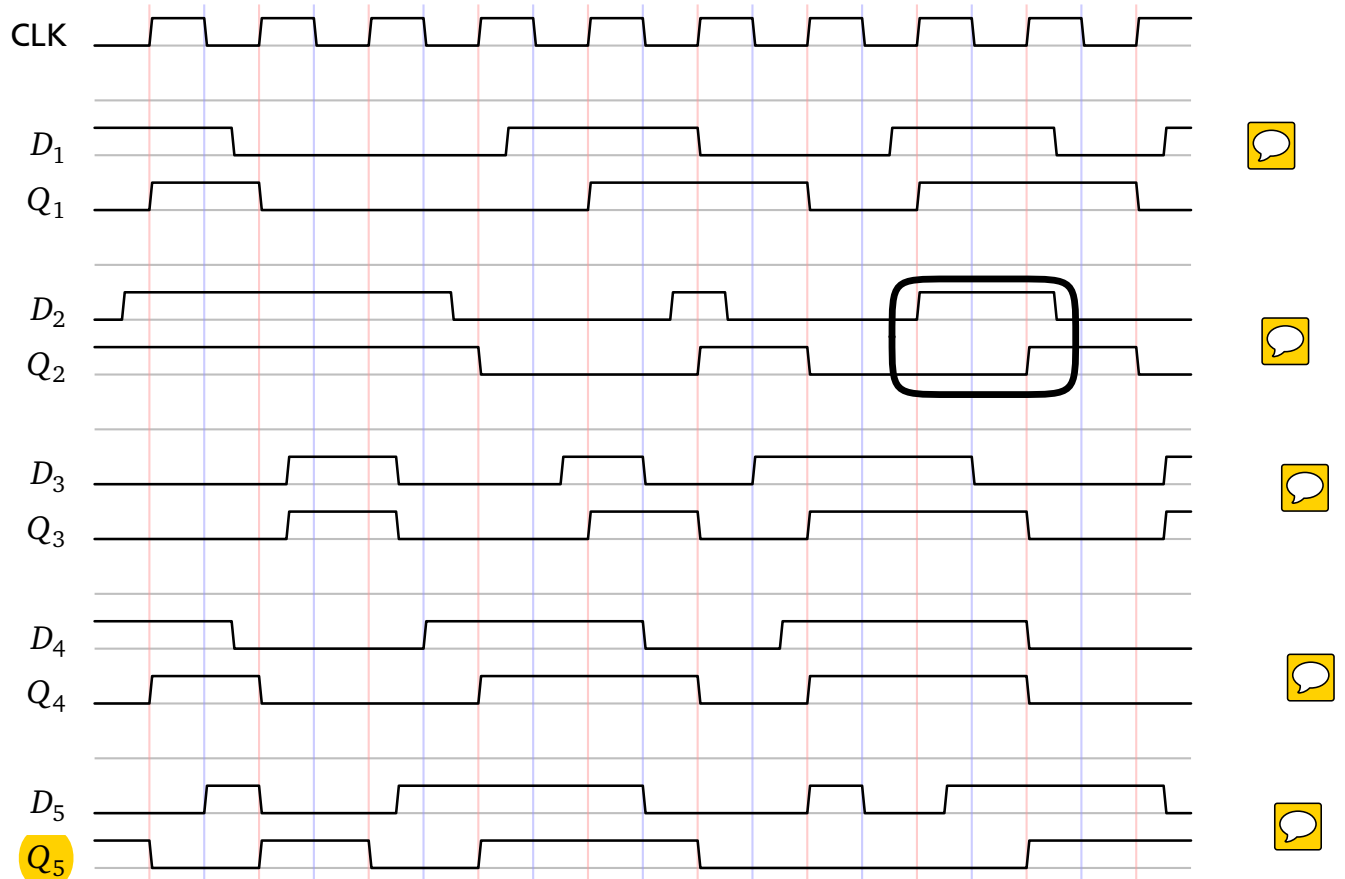


Wieviele steigende Flanken (Wechsel von 0 auf 1) erzeugt diese Schaltung im instabilen Zustand innerhalb von einer Sekunde?

Wieviele Inverter müssen noch in die Schaltung eingefügt werden, um einen 20 MHz Takt im instabilen Zustand zu generieren?

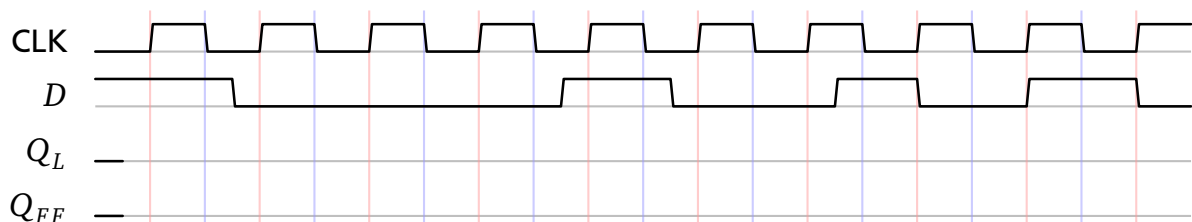
Übung 7.4.1 Am Schaltverhalten erkennen

Folgendes Timing-Diagramm beschreibt das Schaltverhalten von fünf Speicherelementen mit Takteingang CLK, Dateneingang D_i und Datenausgang Q_i . Welche dieser Speicherelemente sind D-Flip-Flops, welche sind D-Latches? Begründen Sie ihre Antwort.

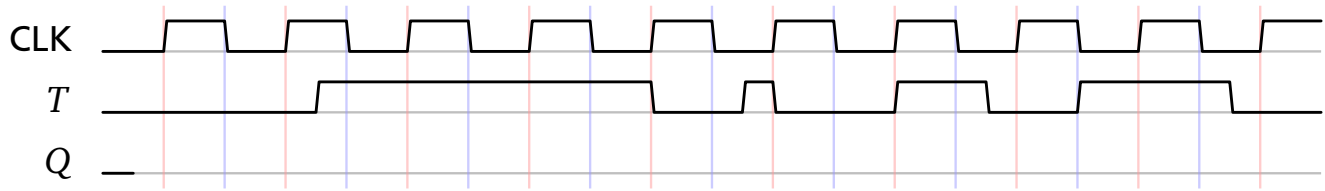


Übung 7.4.2 Schaltverhalten reproduzieren

Ergänzen Sie in folgendem Timing-Diagramm das Schaltverhalten eines D-Latches mit Ausgang Q_L und eines D-Flip-Flops mit Ausgang Q_{FF} . Beide Speicherelemente werden vom gleichen Takt- (CLK) und Datensignal (D) getrieben.



Ein Toggle-Flip-Flop hat neben dem Taktsignal nur einen weiteren Eingang T . Für $T = 1$ wechselt sein Zustand bei jeder steigenden Taktflanke. Für $T = 0$ bleibt der Zustand hingegen unverändert. Ergänzen Sie folgendes Timing-Diagramm für ein solches (flankengesteuertes) Toggle-Flip-Flop:



Realisieren Sie ein (flankengesteuertes) Toggle-Flip-Flop *ausschließlich mit NAND3* Gattern. Überlegen Sie dazu

- wie ein SR-Latch mit NAND Gattern aufgebaut werden kann
- wie dieses ausschließlich in der 1-Phase eines Taktsignals aktiviert werden kann
- wie Taktphasen-gesteuerte SR-Latches nach dem Master/Slave-Prinzip zu einem positiv Taktflanken-gesteuertem JK-Flip-Flop verschalten können
- wie ein JK-Flip-Flop zu einem T-Flip-Flop verschaltet werden kann
- wie Sie alle Basisgatter durch NAND3 Gatter ersetzen können