

Digitaltechnik

Wintersemester 2017/2018

3. Vorlesung



TECHNISCHE
UNIVERSITÄT
DARMSTADT





1. Einleitung
2. XOR Gatter als Paritätsfunktion
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moor'sches Gesetz
8. Zusammenfassung

Einleitung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1100111111100011100001001011000000000111
0000001101001000010101100101000110100100
0011010111100100010110110100001100000111
0101110111111001011010010010111100010010
1100010001100101000111100001000100010001
1101101010110011000001000011011000111110
1111111010101001011000111101110110100101
1111010011111000000001101110111100110101
01100000000001000000011111101000111100010
10010111100100011011000000000000111110100
1110110101011110100000100010111111000100
01011010100110100101011110000000001010110
01000100110011000101000111011100000000101
0111000011100101100010101001111010111010
1010101111010111000010000010101110111011
01000110011111111110111001101000011101111



- ▶ Erste Übungswoche abgeschlossen
 - ▶ bisher 750 Anmeldungen im Moodle
 - ▶ 660 Zuordnungen zu Übungsgruppen
 - ▶ G22 auf Mo 15:20-17:00 verlegt
- ▶ Lösungsvorschläge für Übungsblatt Freitag ca. 16:00
- ▶ Übungen möglichst direkt auf Aufgabenblatt lösen („Klausurmodus“)
- ▶ das „richtige“ Moodle-Forum verwenden



- ▶ Zahlensysteme
 - ▶ vorzeichenlos $u_{b,k}$
 - ▶ vorzeichenbehaftet $bv_{b,k}$ und s_k
 - ▶ Addition
 - ▶ Negieren durch Komplement und Inkrement
 - ▶ Bitbreitenerweiterung
- ▶ Logikgatter $\mathbb{B}^n \rightarrow \mathbb{B}$
 - ▶ Symbole
 - ▶ Wahrheitwertetabellen

Dezimal \leftrightarrow Zweierkompliment, Addition



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ 7 Bit Zweierkomplement von $15_{10} =$
- ▶ 6 Bit Zweierkomplement von $-20_{10} =$
- ▶ binär addieren:
- ▶ Überlauf?
- ▶ Ergebnis hexadezimal:

Überblick der heutigen Vorlesung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ XOR Gatter als Paritätsfunktion
- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moor'sches Gesetz



Harris 2013
Kap. 1.6 - 1.8
Seite 22 - 35

XOR Gatter als Paritätsfunktion



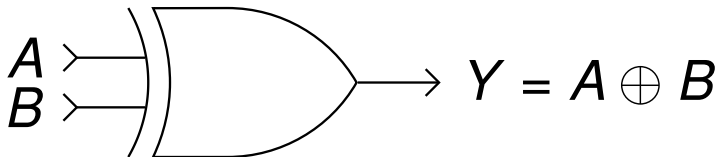
TECHNISCHE
UNIVERSITÄT
DARMSTADT

00011011000101011101000000101111111111101
1111011100111010110110011111110101101011
1010010100010100000100111011001111111000
0100111010011101101001011100110001000110
0010110100110100010101100110010010010101
0011000100111010000010111100011000111010
1001100101100010111101101101101110111011
0010111011101101110010011100000011010001
1111000101110100110000001111001101010110
1001110100101110100100100000001100101000
1100100111111010001000100100100110000011
0100010101111001111110111001000111001001
0110000000110011101110101100001100100110
1000100111000101000111011000111010001111
1001111101000010101110101111101001000011
0011000011110001010111001000000011110010

Logikgatter: XOR : $\mathbb{B}^2 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT

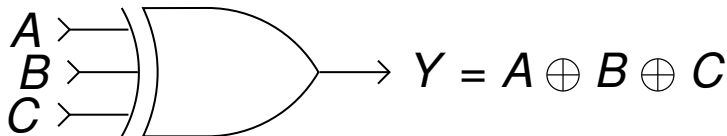


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Logikgatter: XOR3 : $\mathbb{B}^3 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

XOR mit mehreren Eingängen



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ „Zählt“ Einsen in Eingängen

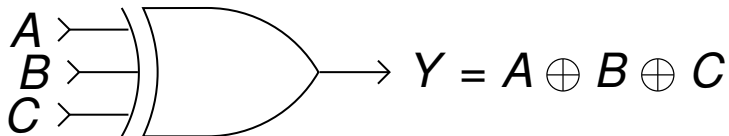
⇒ Paritätsfunktion $p : (a_{k-1} \dots a_0) \in \mathbb{B}^k \mapsto a_{k-1} \oplus \dots \oplus a_0 \in \mathbb{B}$

- ▶ $p(a) = 0 \Rightarrow$ Quersumme von a ist gerade
- ▶ $p(a) = 1 \Rightarrow$ Quersumme von a ist ungerade

Logikgatter: XOR3 : $\mathbb{B}^3 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Gray Code

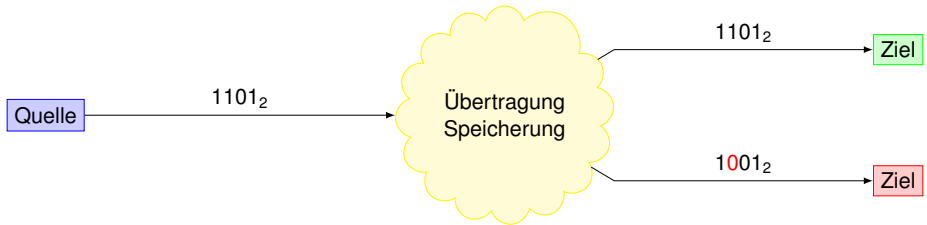


A	B	C	Y
0	0	0	0
0	0	1	1
0	1	1	0
0	1	0	1
1	1	0	0
1	1	1	1
1	0	1	0
1	0	0	1

Fehlerhafte Datenübertragung



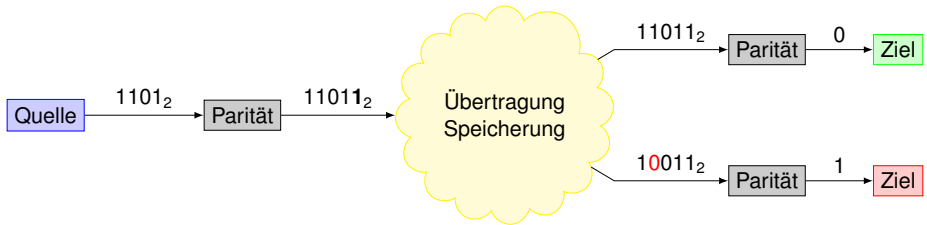
TECHNISCHE
UNIVERSITÄT
DARMSTADT



Fehlererkennung mit Paritätsfunktion



TECHNISCHE
UNIVERSITÄT
DARMSTADT





- ▶ (Gerades) Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
- ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a, PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a, PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern

⇒ einzelnes Paritätsbit ist

- ▶ 1-fehlererkennend
 - ▶ 0-fehlerkorrigierend
-
- ▶ verschiedene Typen von Paritätsbits
 - ▶ gerade: $PB = p(a)$
 - ▶ ungerade: $PB = p(\bar{a})$



- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

1	1	0	Übertragung →	1	0	0
0	1	1		0	1	1
1	0			1	0	

⇒ Verhältnis von Nutzdaten zu Paritätsbits wird schlechter

Spannungen als Logikpegel



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1100010100111110100101010111101001000111
1001100110111001100101011001000001000001
1110100111010001000110111101011110000010
0011100101110010000111010001010011111011
1111101010000110100001111111110100000001
1010001110011100100111100011010010110100
0011100100011011111101101100011000101011
1010010001010011010011010000011110011111
1010101010111011011111111010111110111010
0100111111100100110111000101010110110100
01111111111100011100011001111101011111011
0001000010011010000100000010111000100100
1011010110100011110011011101111100011001
1100001000111011111111100101001110111111
1111011010000000110010110010011110011110
0100111100111110000111010100000100011011

Schichtenmodell eines Computers



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Anwendungs- software	Programme
Betriebs- systeme	Gerätetreiber
Architektur	Befehle Register
Mikro- architektur	Datenpfade Steuerung
Logik	Addierer Speicher
Digital- schaltungen	UND Gatter Inverter
Analog- schaltungen	Verstär- ker Filter
Bauteile	Transistoren Dioden
Physik	Elektronen

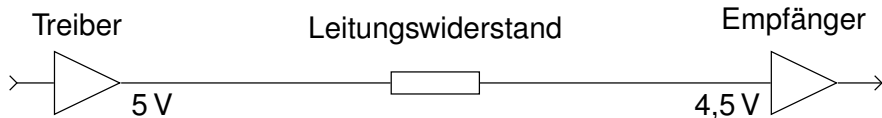


- ▶ Definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)
- ▶ Beispiel:
 - ▶ $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS})
 - ▶ $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD})
- ▶ Aber: Reale Spannungspegel unterliegen Rauschen
 - ▶ Temperaturabhängige Widerstände
 - ▶ Übersprechen zwischen benachbarten Leitungen
 - ▶ Instabile Betriebsspannungen

Beispiel für Rauschen



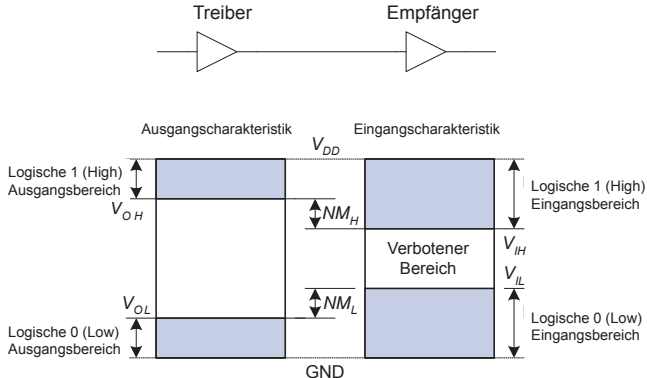
TECHNISCHE
UNIVERSITÄT
DARMSTADT



- ▶ Treiber gibt 5 V aus
- ▶ Lange Leitung hat hohen Widerstand
- ▶ Spannungsabfall $0,5\text{ V}$
- ▶ Empfänger sieht nur $4,5\text{ V}$
- ▶ Ist das noch eine „Eins“?



- ▶ Definiere Spannungsbereiche für die Werte 0 und 1
- ▶ Steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - ▶ V_{IL} : größte Spannung, die Empfänger als 0 interpretiert
 - ▶ V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert
 - ▶ V_{OL} : größte Spannung, die Treiber als 0 ausgibt
 - ▶ V_{OH} : kleinste Spannung, die Treiber als 1 interpretiert
- ▶ gültiger Logikpegel am Eingang → gültiger Logikpegel am Ausgang
- ▶ idR. Einheitliche Spannungsbereiche für Logikpegel in gesamter Schaltung



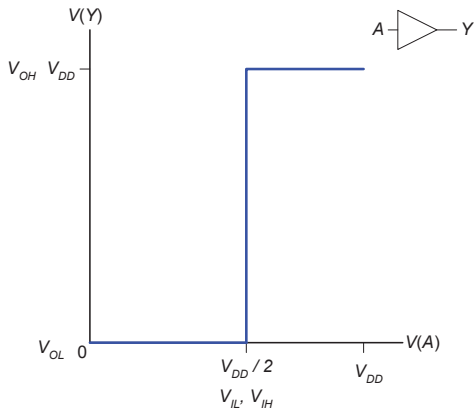
- ▶ Unterer Störabstand: $NM_L = V_{IL} - V_{OL}$
- ▶ Oberer Störabstand: $NM_H = V_{OH} - V_{IH}$

Gleichstrom-Transferkurve (DC transfer characteristics)



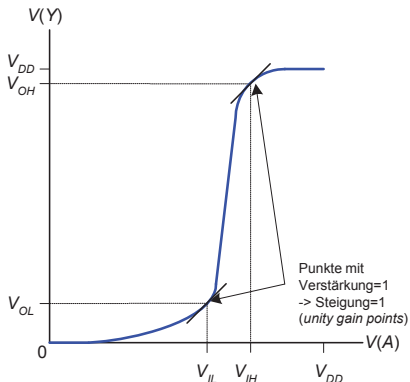
TECHNISCHE
UNIVERSITÄT
DARMSTADT

Idealer Buffer:



$$NM_H = NM_L = V_{DD}/2$$

Realer Buffer:



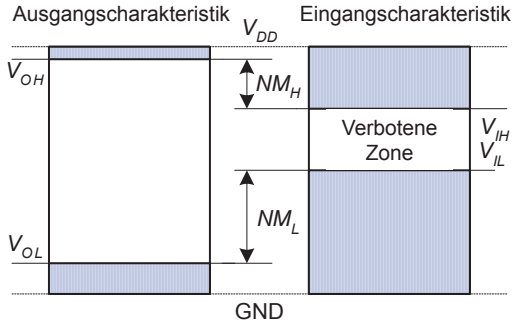
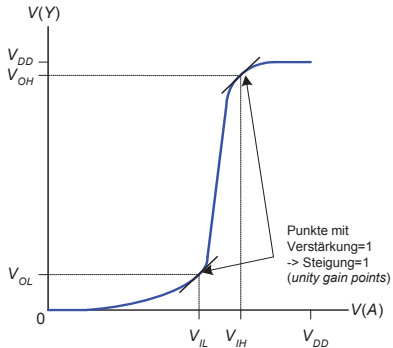
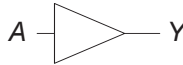
Punkte mit
Verstärkung=1
→ Steigung=1
(unity gain points)

$$NM_H, NM_L < V_{DD}/2$$

Gleichstrom-Transferkurve



TECHNISCHE
UNIVERSITÄT
DARMSTADT



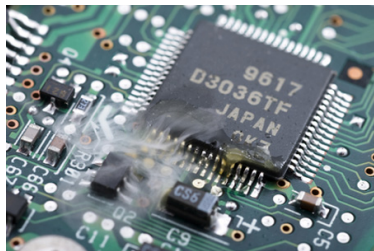
Absenken der Versorgungsspannung V_{DD}



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ $V_{DD} = 5\text{ V}$ in 70er-80er Jahren
- ▶ Verbesserte Chip-Fertigungstechnologie erforderten/ermöglicht Absenkung
 - ▶ Hohe Spannungen würden immer kleinere Transistoren beschädigen
 - ▶ Energiebedarf reduzieren
 - ▶ $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$

⇒ Vorsicht beim Verbinden von Chips mit unterschiedlichen Versorgungsspannungen!



Logikfamilien mit kompatiblen Spannungspegel



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Logikfamilie	TTL	CMOS	LVTTL	LVC MOS
min V_{DD}	4,75 V	4,5 V	3 V	3 V
typ V_{DD}	5 V	5 V	3,3 V	3,3 V
max V_{DD}	5,25 V	6 V	3,6 V	3,6 V
V_{IL}	0,8 V	1,35 V	0,8 V	0,9 V
V_{IH}	2,0 V	3,15 V	2,0 V	1,8 V
V_{OL}	0,4 V	0,33 V	0,4 V	0,36 V
V_{OH}	2,4 V	3,84 V	2,4 V	2,7 V

Feldeffekt-Transistoren

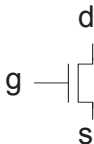


TECHNISCHE
UNIVERSITÄT
DARMSTADT

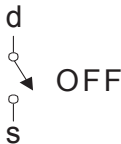
0110001101000011100100011101000111101010
1001100111101101001010000110101100100000
1001101111011010010101101000010101100101
0111111010110000001000101101000010110001
1111000111010010100001000100010001001011
1011110110100001100000100011010001000000
1100001010100010110111110110111000001011
000101100100001000001000011101000111000000
1111110110001111111111000001011111110011
1011010110101110111100011100101101001100
1100000001000000001111011111001000101010
1110110110001100100011001000000001111000
0111010010011111110110011000000111111011
0101001100111110001101101111010010101111
0001001110001100010100010001010101001111
00000111011111111000100010001000010100000

- ▶ Logikgatter werden üblicherweise aus Transistoren aufgebaut
 - ▶ Heute überwiegend **Feldeffekttransistoren (FET)**
 - ▶ Bipolartransistoren (BJTs) in dieser Vorlesung nicht relevant
- ▶ Transistoren sind spannungsgesteuerte Schalter
 - ▶ Zwei Anschlüsse werden je nach Spannung am dritten Eingang verbunden oder getrennt

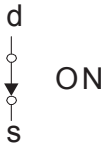
Symbol



$g = 0$

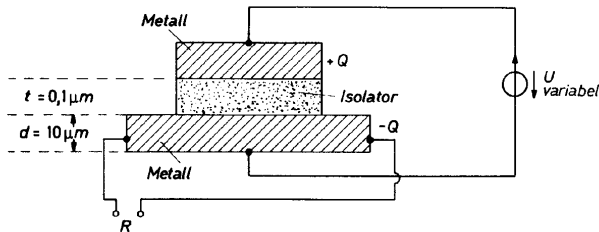


$g = 1$



Der Feldeffekt

Prinzip des spannungsgesteuerten Widerstands



- ▶ Zwei metallischen Streifen mit dünner isolierender Zwischenlage
 - ▶ Streifen bilden Plattenkondensator (Kapazität C)
 - ▶ Gleichspannung U an Kondensator lädt diesen auf
- ⇒ Jeweils Ladung $Q = C \cdot U$ auf beiden Streifen (gegensätzliche Ladung)
- ⇒ U beeinflusst Menge der freien Ladungsträger, also Widerstand R



- ▶ Etwa 10^{14} zusätzliche freie Ladungsträger pro Kubikzentimeter bei 1 V Steuerspannung
- ▶ Etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Metallen
- ⇒ Ladungsträgeranreicherung durch Feldeffekt in Metallen unerheblich.

- ▶ Etwa 10^{13} freie Ladungsträger pro Kubikzentimeter in *Halbleitern*
- ⇒ erst mit Halbleitern wird Feldeffekt technisch nutzbar

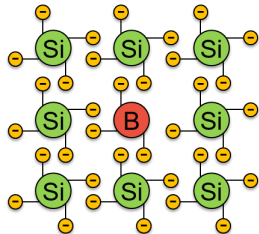
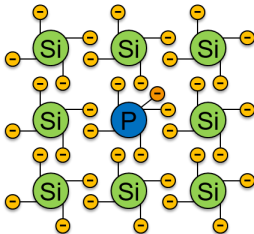
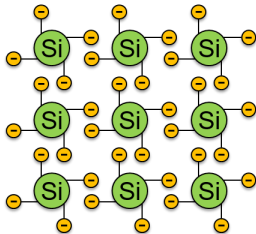
Silizium-basierte Halbleiter



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Reines Silizium ist schlechter Leiter (keine freien Ladungsträger)
- ▶ Dotierung ermöglicht gezieltes einbringen freier Ladungsträger

Typ	freie Ladungsträger	dotierte Elemente	Bezeichnung
n	Elektronen (-)	Arsen (As), Phosphor (P)	Donator
p	Defektelektronen (+)	Bor (B), Gallium (Ga)	Akzeptor



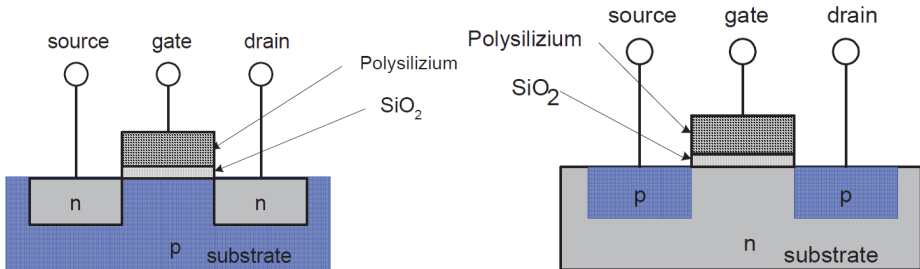
MOS Feldeffekttransistoren (MOSFETs)



TECHNISCHE
UNIVERSITÄT
DARMSTADT

► Metalloxid-Halbleiter (MOS) Transistoren

- Undotiertes Silizium (früher Metallschicht) als Gate
- Oxid (Siliziumdioxid = Glas) als Isolator
- Dotiertes Silizium als Substrat und Anschlüsse (Source, Drain)

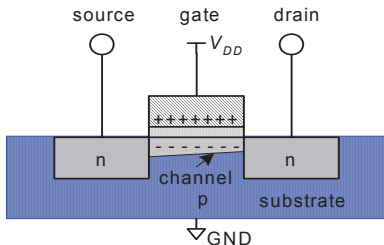
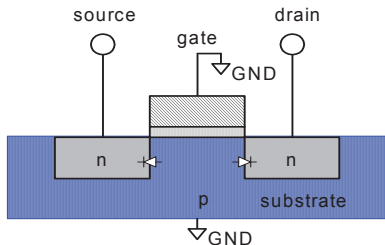


► nMOS

- Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)
- Gate = 1, eingeschaltet (leitfähiger Source-Drain Kanal)

► pMOS

- Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)
- Gate = 0, eingeschaltet (leitfähiger Source-Drain Kanal)

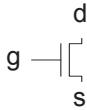


MOSFET Schaltverhalten

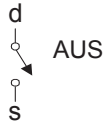


TECHNISCHE
UNIVERSITÄT
DARMSTADT

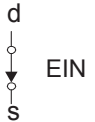
nMOS



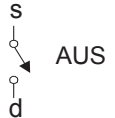
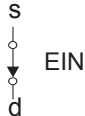
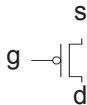
$g = 0$



$g = 1$



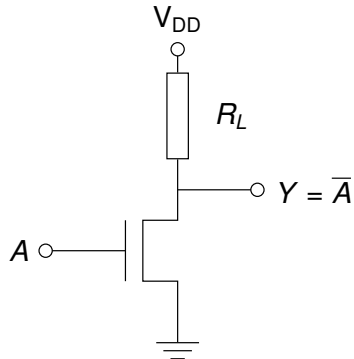
pMOS



Grundsaltungen eines MOSFET Inverters



TECHNISCHE
UNIVERSITÄT
DARMSTADT



- Nachteil: Betriebszustände mit statischen Leistungsumsatz



0110011111010001110100010101010110010001
0100111111111010100010001011101001011010
1101110111111011011111011010101000010011
1111011001010011000111010111100111101011
1100010011111100000001010111010100010010
0010000001000001111000010100110111100100
1001000010101111000010110011010000001010
001010111011100010010101100011100001001
0111100010100010101100111100111000110111
0111100111001100111111111011100100000111
0110111001010001000110110001011001100001
0100101101101010000001101101001110110100
0110001101010010111110010111001110010110
11010110110111110000101100000000000011001
1010100101011110010101101011000101110000
1000101000111001011011001111101011010110

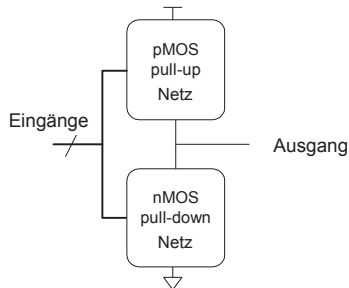
Kombinieren von komplementären Transistoren



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ nMOS Transistoren leiten 0'en „gut“ zwischen source und drain weiter
 - ▶ 1'en werden abgeschwächt \Rightarrow source an GND anschließen
- ▶ pMOS Transistoren leiten 1'en „gut“ zwischen source und drain weiter
 - ▶ 0'en werden abgeschwächt \Rightarrow drain an V_{DD} anschließen

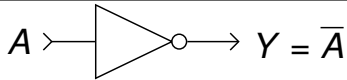
\Rightarrow Complementary Metal-Oxide-Semiconductor (CMOS) Logik



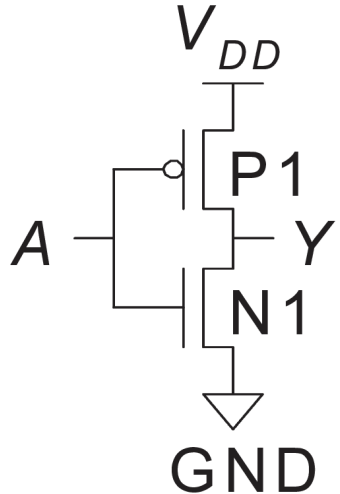
CMOS Gatter: NOT



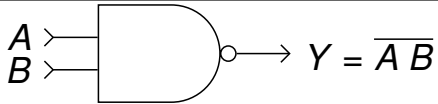
TECHNISCHE
UNIVERSITÄT
DARMSTADT



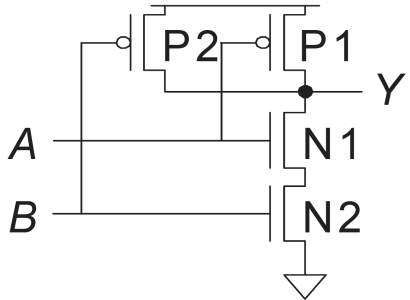
A	P1	N1	Y
0	EIN	AUS	1
1	AUS	EIN	0



CMOS Gatter: NAND



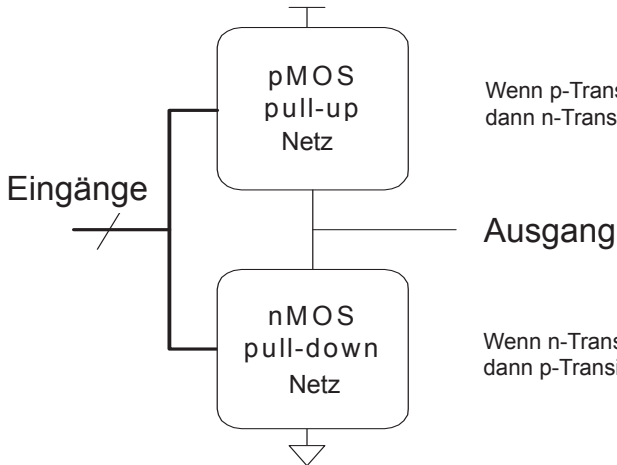
A	B	P1	P2	N1	N2	Y
0	0	EIN	EIN	AUS	AUS	1
0	1	EIN	AUS	AUS	EIN	1
1	0	AUS	EIN	EIN	AUS	1
1	1	AUS	AUS	EIN	EIN	0



Struktur eines CMOS Gatters



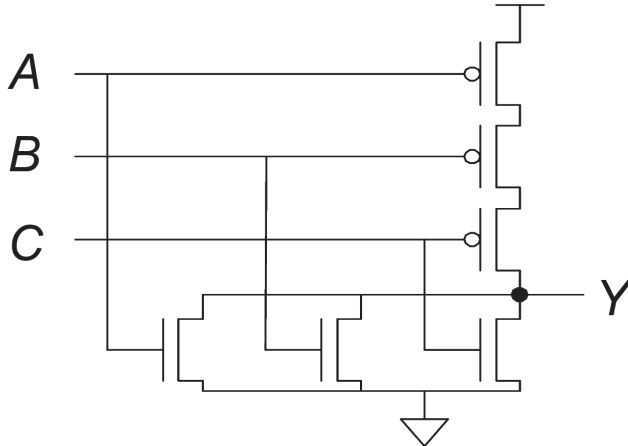
TECHNISCHE
UNIVERSITÄT
DARMSTADT



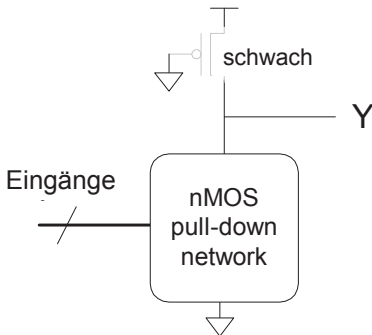
Wenn p-Transistoren in **Reihenschaltung**
dann n-Transistoren in **Parallelschaltung**.

Wenn n-Transistoren in **Reihenschaltung**
dann p-Transistoren in **Parallelschaltung**.

Aufbau eines NOR-Gatters mit drei Eingängen



- ▶ ersetzen das Pull-Up Netz durch schwachen, immer eingeschalteten pMOS
- ⇒ Pull-Up kann durch das Pull-Down Netz „überstimmt“ werden
- ▶ Nützlich, um lange Reihen von Transistoren zu vermeiden

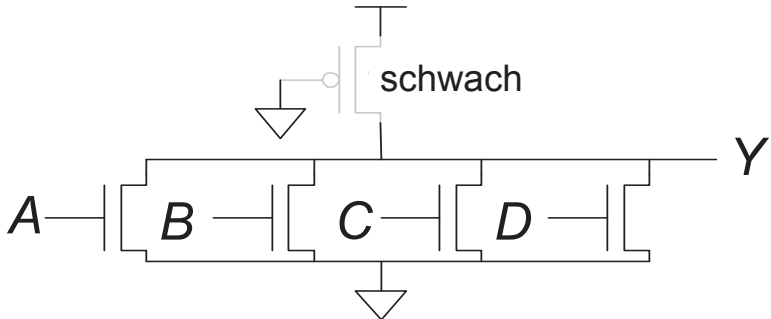


Beispiel für Pseudo-nMOS Gatter



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Pseudo-nMOS NOR4
- ▶ Verbraucht aber mehr Energie: Schwacher Dauerkurzschluss bei $Y=0$

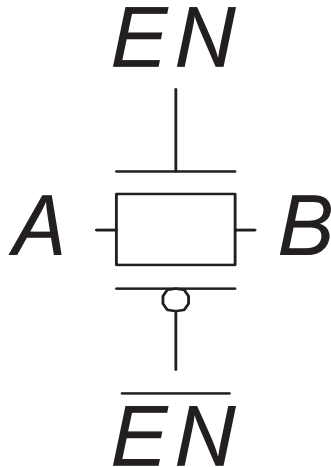


Transmissionsgatter (transmission gates)



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ nMOS leiten 1'en „schlecht“ weiter
- ▶ pMOS leiten 0'en „schlecht“ weiter
- ▶ Transmissionsgatter ist ein besserer Schalter
 - ▶ Leitet 0 und 1 gut weiter
- ▶ Wenn $EN = 1$, Schalter ist EIN:
 - ▶ $\overline{EN} = 0$
 - ▶ A ist verbunden mit B
- ▶ Wenn $EN = 0$, Schalter ist AUS:
 - ▶ $\overline{EN} = 1$
 - ▶ A ist nicht verbunden mit B



Leistungsaufnahme



TECHNISCHE
UNIVERSITÄT
DARMSTADT

0001011001101001100000000011110000010001
1001010000000101000110101010111111011110
1011011010100000000110111110000111110100
0110110001011111111111010110001010101011
0000011101010111000011111101100011111100
1111110011101010110001111110101101110001
0101001101000100110101110100100011000000
00011101111011011001101111101010100011
0000110111000001001011100111100111011110
0101101011111101100111011011001111100111
1000000001000110000011000001101111100111
0010011101011000100111111011001011101010
1010001111001010100011110111110010001111
0011111111010010101011001110100110001111
0110110000011101100010111111011001101110
0100010001110010000100001110111000111111

Vergleich des Inverters mit einem Feldeffekttransistoren und dem CMOS Gatter



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Die Funktion des Inverters leisten beide Schaltungen
- ▶ Wo sind die Unterschiede?
 - ▶ Erinnerung: statischer Leistungsumsatz
 - ▶ Und bei CMOS?



- ▶ Leistungsaufnahme/Leistungsumsatz/Leistungsverbrauch (verschiedene Begriffe für eine Sache)
- ▶ Leistung = $\text{Energieumsatz} / \text{Energieverbrauch pro Zeiteinheit}$
- ▶ Zwei Arten der Leistungsaufnahme:
 - ▶ Statische Leistungsaufnahme
 - ▶ Dynamische Leistungsaufnahme



- ▶ Leistungsbedarf wenn kein Gatter schaltet
- ▶ Wird verursacht durch Schaltung selbst (vgl. Inverter mit Feldeffekttransistor)
- ▶ Wird verursacht durch den Leckstrom I_D
 - ▶ Immer kleinere Transistoren schalten nicht mehr vollständig ab
 - ▶ Pseudo-nMOS, ...
- ▶ Statische Leistungsaufnahme ist also $P_{static} = I_{DD} \cdot V_{DD}$



- ▶ Leistung um Gates der Transistoren umzuladen
 - ▶ Wirken als Kondensator
- ▶ Ladungen auf einen Kondensator der Kapazität C auf V_{DD} :
 - ▶ $Q = C \cdot V_{DD}$
- ▶ Schaltung wird mit Frequenz f betrieben
 - ▶ Transistoren schalten f -mal pro Sekunde
 - ▶ $I = Q/t = Q \cdot f = C \cdot V_{DD} \cdot f$
- ▶ Leistungsaufnahme ist: $P = I \cdot V = (C \cdot V_{DD} \dot{f})(V_{DD}) = C \cdot V_{DD}^2 \cdot f$
- ▶ Aber aufladen kostet (0-1), entladen (1-0) kostet nichts
 - ▶ Hälfte der Zeit schalten die Gatter von 0 bis 1
- ▶ Die dynamische Leistungsaufnahme ist also: $P = \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f$

Beispielrechnung Leistungsaufnahme



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Abschätzen der Leistungsaufnahme für einen Netbook-Prozessor

- ▶ Parameter

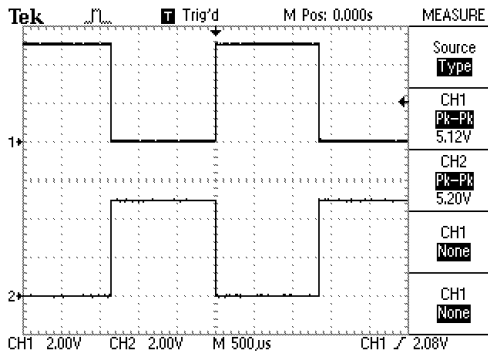
- ▶ Versorgungsspannung $V_{DD} = 1,2V$
- ▶ Transistorkapazität $C = 20nF$
- ▶ Taktfrequenz $f = 1GHz$
- ▶ Leckstrom $I_{DD} = 20mA$

- ▶
$$P = \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f + I_{DD} \cdot V_{DD}$$
$$P = \frac{1}{2}(20nF)(1,2V)^2(1GHz) + (20mA)(1,2V)$$
$$P = (14,4 + 0,024)W$$
$$P = 14,4W$$

CMOS-Logik

Funktion des Inverters

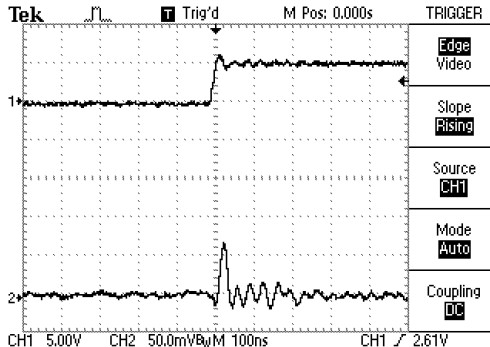
► Funktionsweise des Inverters



CMOS-Logik

Stromfluß beim Inverter

- ▶ Nur beim Umschalten fließt kurzzeitig ein Strom
- ▶ Im Wesentlichen: Dynamische Leistungsaufnahme



Moor'sches Gesetz



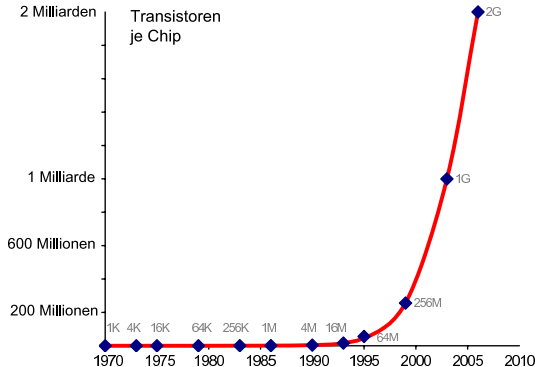
TECHNISCHE
UNIVERSITÄT
DARMSTADT

1010001000101001100111010100000101110011
0100011010001011001000001010111000000010
1001001101001011000101100110000001110111
1010110110100110010110101110000000100100
1110001100000111111011100000110010101001
100110110101001010111111011011111110010
0110110011011011000011010111101000001111
0100110000001110010111001011000101111101
0011000100011010010101100001100100110010
0001101011010011100010100110000111101000
1001101101111100010100001100101111001000
1001100101110110000101100011011111111001
1101100101011010101011100011011100011000
1110100011101100011000000000101110010010
1000111100001101010001001100110001011100
1010001101101010110110101110000000110011

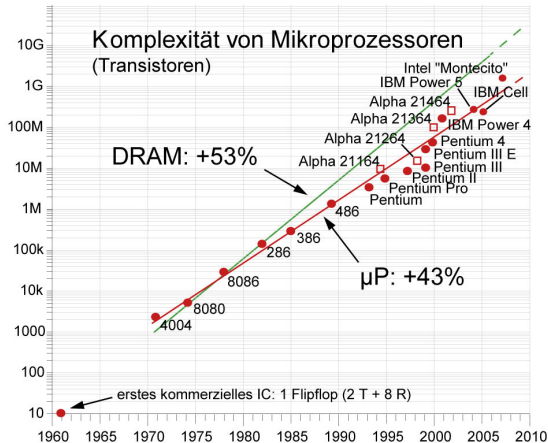
Moore's Gesetz - Exponentielles Wachstum



TECHNISCHE
UNIVERSITÄT
DARMSTADT



Alle 18 Monate verdoppelt sich die Anzahl der Transistoren auf einem Chip. Dies ist allerdings eine abgewandelte Auslegung. Der Originalbeitrag von Gordon Moore ist im Moodle zu finden.

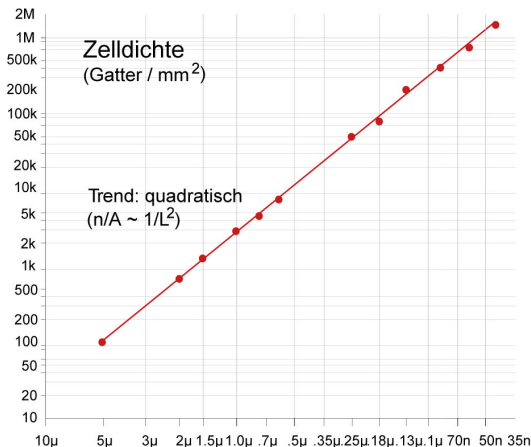


Verbesserung der Fertigungsprozesse

Auswirkungen - Transistoren schrumpfen um 13% jährlich

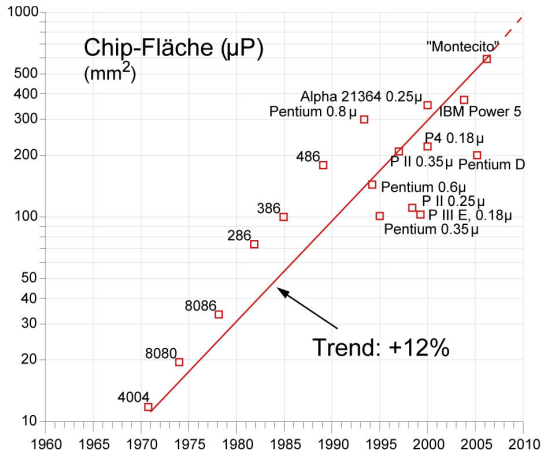


TECHNISCHE
UNIVERSITÄT
DARMSTADT



- ▶ pro Flächeneinheit $1/0,87^2 = 33\%$ mehr Elemente

Nicht nur kleinere Strukturen, auch größere Chip-Flächen



Ausbeute

Effekte der Chip-Größe

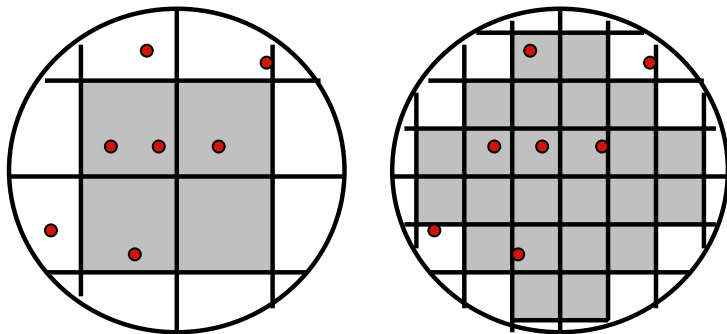


Abbildung: Quelle: J. Rabaey, Digital Integrated Circuits

Heute zuverlässig erreichbar: Nur ca. 1 Fehler pro cm^2 .

Beispiel Cell-Prozessor - Layout



TECHNISCHE
UNIVERSITÄT
DARMSTADT

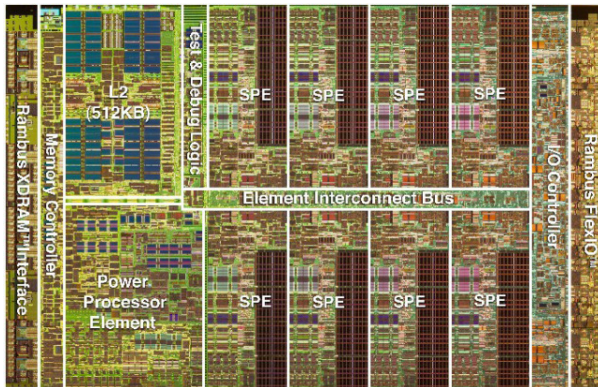
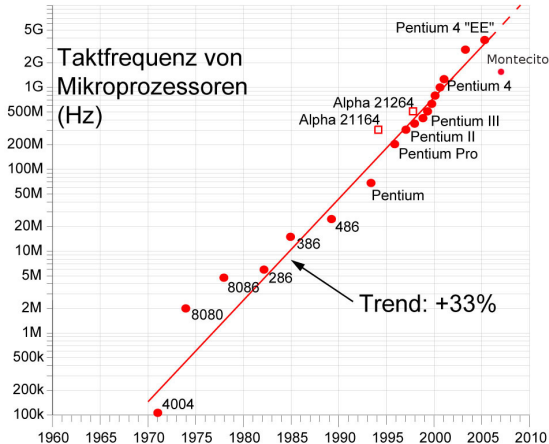


Abbildung: Layout (Die) des Cell-Prozessors, Quelle: IBM

In der PlayStation 3 werden nur sechs SPEs verwendet.

Taktfrequenz - Entwicklung





- ▶ Leistungssteigerung wurde lange Zeit, durch Erhöhen der Taktfrequenz erreicht. Aktuell liegt der Prozessortakt vieler Mikroprozessoren bei 3.x GHz.
 - ▶ Intel Pentium 4 EE, 3,8 GHz Takt, 11,5 SPECint2006
 - ▶ Intel Montecito 9050, 1,6 GHz Takt, 14,5 SPECint2006
- ▶ Bedingt durch die Technologie (CMOS-Technologie) steigt der Leistungsumsatz der Prozessoren mit dem Takt ($P \approx U^2 \cdot f \cdot C_L$).
- ▶ Die entstehende Wärme ist nur mit großem Aufwand abzutransportieren.
- ▶ Parallelrechner:
 - ▶ Integration mehrerer CPUs auf einem Chip (aktuell: 2-12 CPU-Kerne von Intel und AMD verfügbar), Cell B. E. Prozessor von IBM
 - ▶ Massiv parallele Systeme mit mehreren tausend Prozessoren, Spezialarchitekturen z. B. Vektorrechner

Zusammenfassung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1101011111100101101111100010010111000110
1000101101000001100001100011011100000100
0101101001111100010100110010100011100010
000110001010100001110110011111111111001
0011100010010110000111111100011111100010
0011110111010010000001000110010101010000
0110010110100011100000000010100011100000
001000010111010010100010110100001000111
1011101011100100110101001111000111100101
1010110000010001101001001111010100001100
1000010110110011000001000001110010001110
1011101000000011100110101011000010010100
0010000011100010010001110010101110001010
0110001000001010100000001010111111010011
1111000101010110001010101101100111011100
1100011110110110001001100100101000111011



- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moor'sches Gesetz

- ▶ Nächste Vorlesung behandelt
 - ▶ Boolesche Algebra