

Digitaltechnik

Wintersemester 2017/2018

3. Vorlesung



TECHNISCHE
UNIVERSITÄT
DARMSTADT





1. Einleitung
2. XOR Gatter als Paritätsfunktion
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moor'sches Gesetz
8. Zusammenfassung

Einleitung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

0011110001111100111100110001101111000011
0110001110000100011011000111010100100000
0110100010100110010010100111110111110100
1101111000110101000000111110110111110110
0010101011011110101000001001000101011101
1010011110011000000101101101101010100011
10010011111010000001110001110001100110101
0110111101101101010001001011011001011110
0111011100010111111010110010101010010000
0001111101000100001001000010000100001000
1111011110011001100001000011001110011001
0100011110001111010111101111010001100000
0001111010110001110001000101000011011100
1110100010100001011011111000011111100110
0110000010100101000111111110001000000100
0100010100010011100000111010110101100101



- ▶ Erste Übungswoche abgeschlossen
 - ▶ bisher 750 Anmeldungen im Moodle
 - ▶ 660 Zuordnungen zu Übungsgruppen
 - ▶ G22 auf Mo 15:20-17:00 verlegt



- ▶ Erste Übungswoche abgeschlossen
 - ▶ bisher 750 Anmeldungen im Moodle
 - ▶ 660 Zuordnungen zu Übungsgruppen
 - ▶ G22 auf Mo 15:20-17:00 verlegt
- ▶ Lösungsvorschläge für Übungsblatt Freitag ca. 16:00



- ▶ Erste Übungswoche abgeschlossen
 - ▶ bisher 750 Anmeldungen im Moodle
 - ▶ 660 Zuordnungen zu Übungsgruppen
 - ▶ G22 auf Mo 15:20-17:00 verlegt
- ▶ Lösungsvorschläge für Übungsblatt Freitag ca. 16:00
- ▶ Übungen möglichst direkt auf Aufgabenblatt lösen („Klausurmodus“)



- ▶ Erste Übungswoche abgeschlossen
 - ▶ bisher 750 Anmeldungen im Moodle
 - ▶ 660 Zuordnungen zu Übungsgruppen
 - ▶ G22 auf Mo 15:20-17:00 verlegt
- ▶ Lösungsvorschläge für Übungsblatt Freitag ca. 16:00
- ▶ Übungen möglichst direkt auf Aufgabenblatt lösen („Klausurmodus“)
- ▶ das „richtige“ Moodle-Forum verwenden



- ▶ Zahlensysteme
 - ▶ vorzeichenlos $u_{b,k}$
 - ▶ vorzeichenbehaftet $bv_{b,k}$ und s_k
 - ▶ Addition
 - ▶ Negieren durch Komplement und Inkrement
 - ▶ Bitbreitenerweiterung



- ▶ Zahlensysteme
 - ▶ vorzeichenlos $u_{b,k}$
 - ▶ vorzeichenbehaftet $bv_{b,k}$ und s_k
 - ▶ Addition
 - ▶ Negieren durch Komplement und Inkrement
 - ▶ Bitbreitenerweiterung
- ▶ Logikgatter $\mathbb{B}^n \rightarrow \mathbb{B}$
 - ▶ Symbole
 - ▶ Wahrheitwertetabellen

Dezimal \leftrightarrow Zweierkompliment, Addition



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ 7 Bit Zweierkomplement von $15_{10} =$

1 1
0 0 0 1 1 1 1

- ▶ 6 Bit Zweierkomplement von $-20_{10} =$

+ 1 1 0 1 1 0 0

- ▶ binär addieren:

1 1 1 1 1 0 1 1

- (0 0 0 0 1 0 0 + 1) B

- ▶ Überlauf?

4 + 1

- ▶ Ergebnis hexadezimal:

- 5



Dezimal \leftrightarrow Zweierkompliment, Addition



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ 7 Bit Zweierkomplement von $15_{10} = 000\ 1111_2$
- ▶ 6 Bit Zweierkomplement von $-20_{10} = 10\ 1100_2$
- ▶ binär addieren:
 $000\ 1111_2 + 110\ 1100_2 = 111\ 1011_2 = -(000\ 0100_2 + 1) = -5_{10}$
- ▶ Überlauf? Nein
- ▶ Ergebnis hexadezimal: FB_{16} (Vorzeichenexpansion auf 8 bit nötig)

Überblick der heutigen Vorlesung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ XOR Gatter als Paritätsfunktion
- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moor'sches Gesetz



Harris 2013
Kap. 1.6 - 1.8
Seite 22 - 35

XOR Gatter als Paritätsfunktion



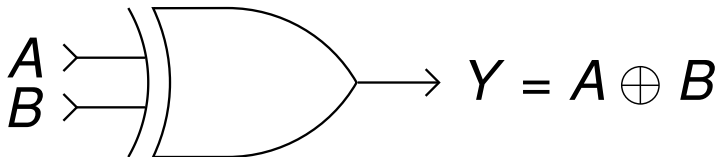
TECHNISCHE
UNIVERSITÄT
DARMSTADT

0010111011110011011110101001111110001011
1001011110110000110110111010001101011110
0111000001010011111011110011110111010011
0001000101110010110000011110011001000011
0000100111000101110000101101111011011011
1100111001101111010011011110000000100111
0000010000011001101000111111100010011111
011000110101001011001000011110111011011
1111100101011110111010111000001101110010
1111011101111110110101000011100000101011
0100010110101110001110001010000100101100
1100010111111111010000011101011011111011
0000010011100011010001001100100100101001
1110010110110000101100010001000001000100
1000111100001010001101111011111110101001
1010100001011101001110101001001110000011

Logikgatter: XOR : $\mathbb{B}^2 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT

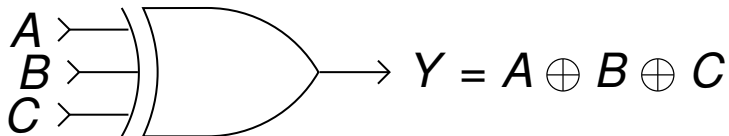


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Logikgatter: XOR3 : $\mathbb{B}^3 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

XOR mit mehreren Eingängen



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ „Zählt“ Einsen in Eingängen

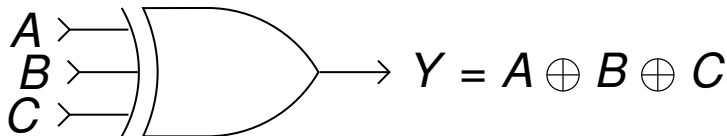
⇒ Paritätsfunktion $p : (a_{k-1} \dots a_0) \in \mathbb{B}^k \mapsto a_{k-1} \oplus \dots \oplus a_0 \in \mathbb{B}$

- ▶ $p(a) = 0 \Rightarrow$ Quersumme von a ist gerade
- ▶ $p(a) = 1 \Rightarrow$ Quersumme von a ist ungerade

Logikgatter: XOR3 : $\mathbb{B}^3 \rightarrow \mathbb{B}$



TECHNISCHE
UNIVERSITÄT
DARMSTADT



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

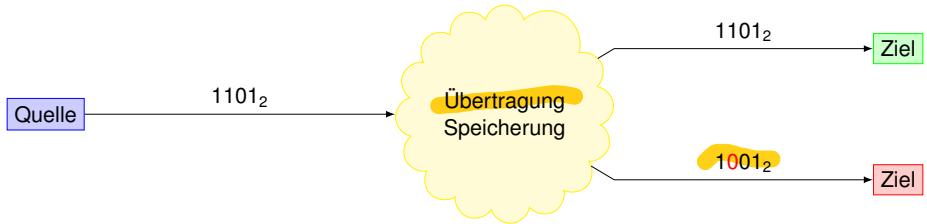
Gray Code

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	1	0
0	1	0	1
1	1	0	0
1	1	1	1
1	0	1	0
1	0	0	1

Fehlerhafte Datenübertragung



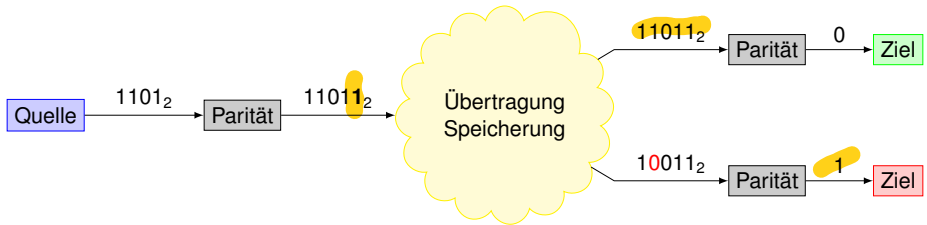
TECHNISCHE
UNIVERSITÄT
DARMSTADT



Fehlererkennung mit Paritätsfunktion



TECHNISCHE
UNIVERSITÄT
DARMSTADT



Fehlererkennung mit Paritätsfunktion



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ (Gerades) Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
- ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a, PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a, PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern



- ▶ (Gerades) Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
- ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a, PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a, PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern

⇒ einzelnes Paritätsbit ist

- ▶ 1-fehlererkennend
- ▶ 0-fehlerkorrigierend



- ▶ (Gerades) Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
- ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a, PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a, PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern

⇒ einzelnes Paritätsbit ist

- ▶ 1-fehlererkennend
 - ▶ 0-fehlerkorrigierend
-
- ▶ verschiedene Typen von Paritätsbits
 - ▶ gerade: $PB = p(a)$
 - ▶ ungerade: $PB = p(\bar{a})$

Fehlerkorrektur mit Paritätsfunktion



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

1	1	0
0	1	1
1	0	



- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

1	1	0
0	1	1
1	0	

Übertragung

1	0	0
0	1	1
1	0	



- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

1	1	0	Übertragung →	1	0	0
0	1	1		0	1	1
1	0			1	0	

⇒ Verhältnis von Nutzdaten zu Paritätsbits wird schlechter

Spannungen als Logikpegel



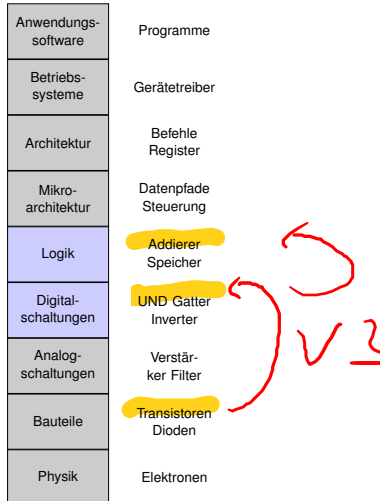
TECHNISCHE
UNIVERSITÄT
DARMSTADT

0001111001101010000010110001101101000001
101110110001011111111111000011101110000
0000110011111110111101010110101111110011
1101011110000111010000110011111111110101
0101101100100000111101110001111101000010
1001100001011110001011000110000101011001
0010111010101110111101001101001101001101
01110110010101111100110101000011100
0110011110101000000100000010101010111010
1011010111000000001110010100110100100000
1001101100110110100001000011010101001000
0011101100001010011000101010011101100011
0000110111100011100000010001011001001100
1110001001111111110011010101111001010000
0110010111111011111000101101010001101001
1110110100010011010100111000000010011011

Schichtenmodell eines Computers



TECHNISCHE
UNIVERSITÄT
DARMSTADT





- ▶ Definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)



- ▶ Definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)
- ▶ Beispiel:
 - ▶ $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS})
 - ▶ $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD})

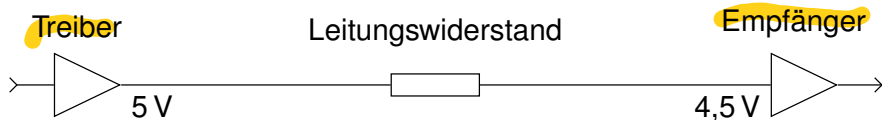


- ▶ Definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)
- ▶ Beispiel:
 - ▶ $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS})
 - ▶ $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD})
- ▶ Aber: Reale Spannungspegel unterliegen Rauschen
 - ▶ Temperaturabhängige Widerstände
 - ▶ Übersprechen zwischen benachbarten Leitungen
 - ▶ Instabile Betriebsspannungen

Beispiel für Rauschen



TECHNISCHE
UNIVERSITÄT
DARMSTADT



- ▶ Treiber gibt 5 V aus
- ▶ Lange Leitung hat hohen Widerstand
- ▶ Spannungsabfall $0,5\text{ V}$
- ▶ Empfänger sieht nur $4,5\text{ V}$
- ▶ Ist das noch eine „Eins“?



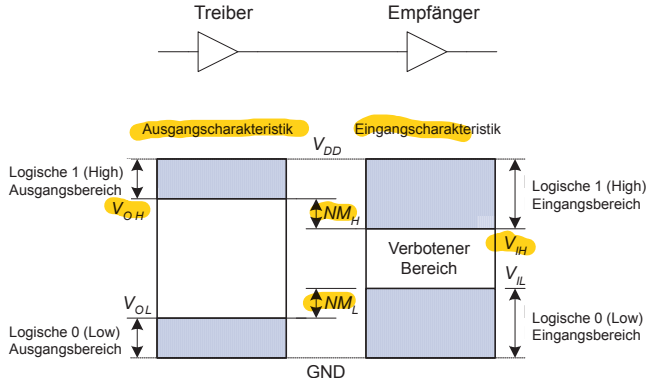
- ▶ Definiere Spannungsbereiche für die Werte 0 und 1
- ▶ Steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - ▶ V_{IL} : größte Spannung, die Empfänger als 0 interpretiert
 - ▶ V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert
 - ▶ V_{OL} : größte Spannung, die Treiber als 0 ausgibt
 - ▶ V_{OH} : kleinste Spannung, die Treiber als 1 interpretiert



- ▶ Definiere Spannungsbereiche für die Werte 0 und 1
- ▶ Steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - ▶ V_{IL} : größte Spannung, die Empfänger als 0 interpretiert
 - ▶ V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert
 - ▶ V_{OL} : größte Spannung, die Treiber als 0 ausgibt
 - ▶ V_{OH} : kleinste Spannung, die Treiber als 1 interpretiert
- ▶ gültiger Logikpegel am Eingang → gültiger Logikpegel am Ausgang



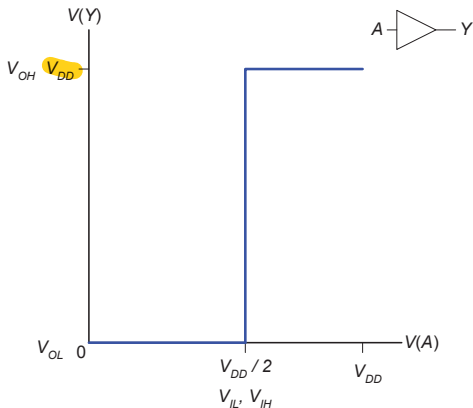
- ▶ Definiere Spannungsbereiche für die Werte 0 und 1
- ▶ Steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - ▶ V_{IL} : größte Spannung, die Empfänger als 0 interpretiert
 - ▶ V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert
 - ▶ V_{OL} : größte Spannung, die Treiber als 0 ausgibt
 - ▶ V_{OH} : kleinste Spannung, die Treiber als 1 interpretiert
- ▶ gültiger Logikpegel am Eingang → gültiger Logikpegel am Ausgang
- ▶ idR. Einheitliche Spannungsbereiche für Logikpegel in gesamter Schaltung



- ▶ Unterer Störabstand: $NM_L = V_{IL} - V_{OL}$
- ▶ Oberer Störabstand: $NM_H = V_{OH} - V_{IH}$

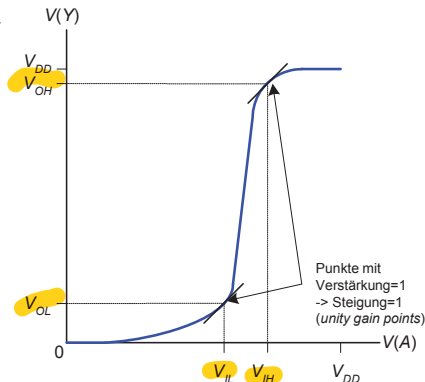
Gleichstrom-Transferkurve (DC transfer characteristics)

Idealer Buffer:



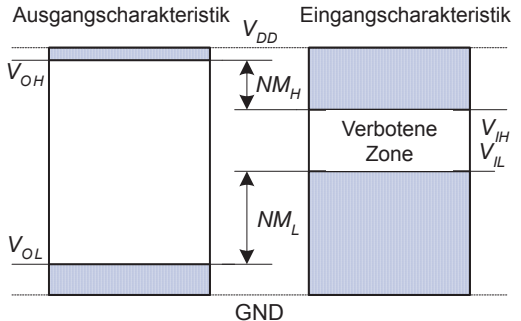
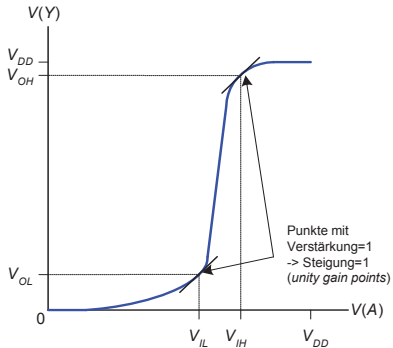
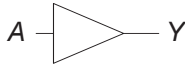
$$NM_H = NM_L = V_{DD}/2$$

Realer Buffer:



$$NM_H, NM_L < V_{DD}/2$$

Gleichstrom-Transferkurve



Absenken der Versorgungsspannung V_{DD}



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ $V_{DD} = 5\text{ V}$ in 70er-80er Jahren
- ▶ Verbesserte Chip-Fertigungstechnologie erforderten/ermöglicht Absenkung
 - ▶ Hohe Spannungen würden immer kleinere Transistoren beschädigen
 - ▶ Energiebedarf reduzieren
 - ▶ $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$

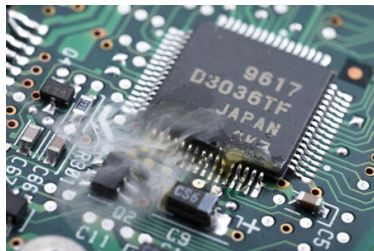
Absenken der Versorgungsspannung V_{DD}



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ $V_{DD} = 5\text{ V}$ in 70er-80er Jahren
- ▶ Verbesserte Chip-Fertigungstechnologie erforderten/ermöglicht Absenkung
 - ▶ Hohe Spannungen würden immer kleinere Transistoren beschädigen
 - ▶ Energiebedarf reduzieren
 - ▶ $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$

⇒ Vorsicht beim Verbinden von Chips mit unterschiedlichen Versorgungsspannungen!



Logikfamilien mit kompatiblen Spannungspegel



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Logikfamilie	TTL	CMOS	LVTTL	LVC MOS
min V_{DD}	4,75 V	4,5 V	3 V	3 V
typ V_{DD}	5 V	5 V	3,3 V	3,3 V
max V_{DD}	5,25 V	6 V	3,6 V	3,6 V
V_{IL}	0,8 V	1,35 V	0,8 V	0,9 V
V_{IH}	2,0 V	3,15 V	2,0 V	1,8 V
V_{OL}	0,4 V	0,33 V	0,4 V	0,36 V
V_{OH}	2,4 V	3,84 V	2,4 V	2,7 V

Feldeffekt-Transistoren

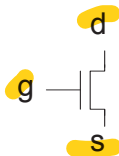


TECHNISCHE
UNIVERSITÄT
DARMSTADT

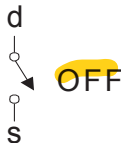
1101010000110101001110101100011010111101
001011011101000000111100001000101000010
0011110101010101111100001001100100100011
1000010101010100001011011000000010011101
0010011111000000111000011100010100000100
1100000100010101110001101111010100001011
0101011100011010111100111111011010111101
00101010000100000001000100010010010111000
01010000110000000101001010100011011111101
1111110010001011000111010000111001111111
1111100001101001000110100111101111010101
1000000001001001101101111011011001000111
0011100001111011101100111110000111010001
1100000001001001011011000000011010011001
0110000111110010100101001010111000101101
1010110111001001111011001111111011000011

- ▶ Logikgatter werden üblicherweise aus Transistoren aufgebaut
 - ▶ Heute überwiegend **Feldeffekttransistoren (FET)**
 - ▶ **Bipolartransistoren** (BJTs) in dieser Vorlesung nicht relevant
- ▶ Transistoren sind spannungsgesteuerte Schalter
 - ▶ Zwei Anschlüsse werden je nach Spannung am dritten Eingang verbunden oder getrennt

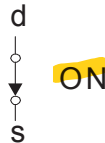
Symbol



$g = 0$

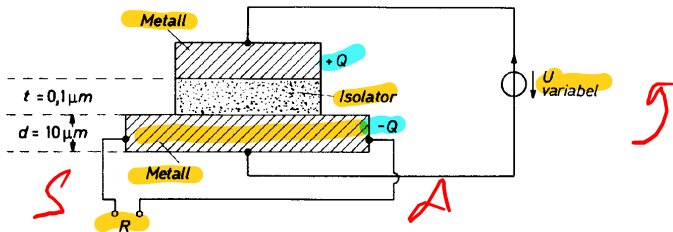


$g = 1$



Der Feldeffekt

Prinzip des spannungsgesteuerten Widerstands

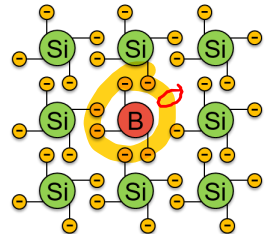
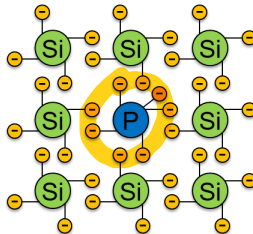
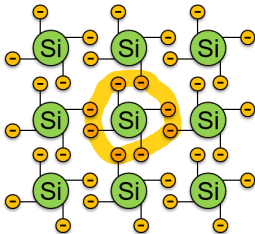


- ▶ Zwei metallischen Streifen mit dünner isolierender Zwischenlage
 - ▶ Streifen bilden Plattenkondensator (Kapazität C)
 - ▶ Gleichspannung U an Kondensator lädt diesen auf
- ⇒ Jeweils Ladung $Q = C \cdot U$ auf beiden Streifen (gegensätzliche Ladung)
- ⇒ U beeinflusst Menge der freien Ladungsträger, also Widerstand R

- ▶ Etwa 10^{14} zusätzliche freie Ladungsträger pro Kubikzentimeter bei 1 V Steuerspannung
- ▶ Etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Metallen
- ⇒ Ladungsträgeranreicherung durch Feldeffekt in Metallen unerheblich.
- ▶ Etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Halbleitern
- ⇒ erst mit Halbleitern wird Feldeffekt technisch nutzbar

- ▶ Reines Silizium ist schlechter Leiter (keine freien Ladungsträger)
- ▶ Dotierung ermöglicht gezieltes einbringen freier Ladungsträger

Typ	freie Ladungsträger	dotierte Elemente	Bezeichnung
n	Elektronen (-)	Arsen (As), Phosphor (P)	Donator
p	Defektelektronen (+)	Bor (B), Gallium (Ga)	Akzeptor

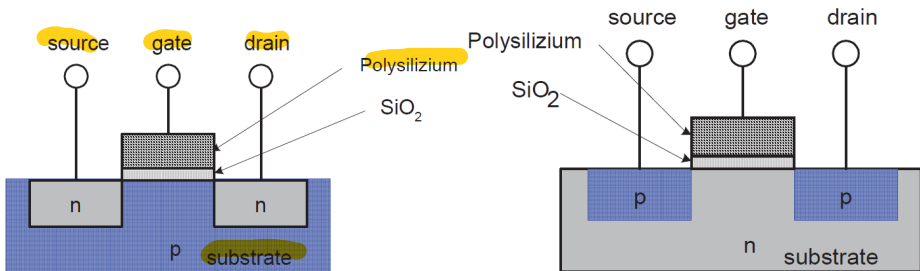


MOS Feldeffekttransistoren (MOSFETs)



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Metalloxid-Halbleiter (MOS) Transistoren
 - ▶ Undotiertes Silizium (früher **Metallschicht**) als Gate
 - ▶ **Oxid** (Siliziumdioxid = Glas) als Isolator
 - ▶ Dotiertes Silizium als Substrat und Anschlüsse (Source, Drain)

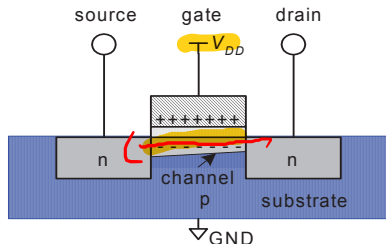
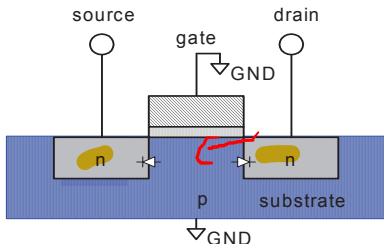


▶ nMOS

- ▶ Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 1, eingeschaltet (leitfähiger Source-Drain Kanal)

▶ pMOS

- ▶ Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 0, eingeschaltet (leitfähiger Source-Drain Kanal)

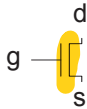


MOSFET Schaltverhalten

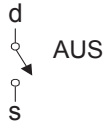


TECHNISCHE
UNIVERSITÄT
DARMSTADT

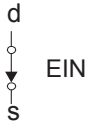
nMOS



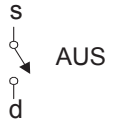
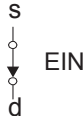
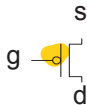
$g = 0$



$g = 1$



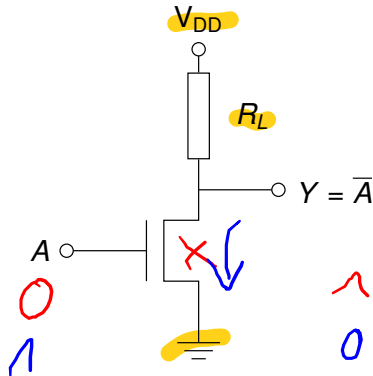
pMOS



Grundsaltungen eines MOSFET Inverters



TECHNISCHE
UNIVERSITÄT
DARMSTADT



- Nachteil: Betriebszustände mit statischen Leistungsumsatz

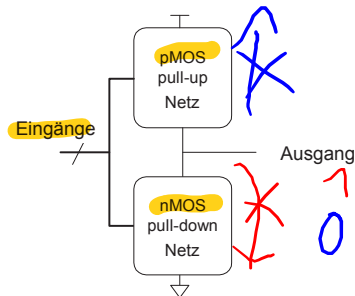


1001111001010011000101010110100000101000
1001110001011111011011011001000001000011
1011111111101100101101001100110000011000
1001010010101010011001010110011011101101
0111011011111111101100010110000000111011
01111001111111111010110011100010000010011
0100010000011001010010101000100001010011
001101001100010000001010110100101011010101
1111011000101000101100111100100110110111
1011110111111001111101010010000011010010
1101111110111101100110110100101001111101
1001011000100110001100001000101011010010
0001001011101100111011100000110110111100
1001001000100111110111110010110010000110
0001011011010011010101101010111110111100
0010000110010010100100111000010011100011

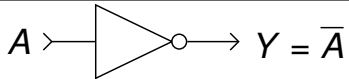
Kombinieren von komplementären Transistoren

- ▶ nMOS Transistoren leiten 0'en „gut“ zwischen source und drain weiter
 - ▶ 1'en werden abgeschwächt \Rightarrow source an GND anschließen
- ▶ pMOS Transistoren leiten 1'en „gut“ zwischen source und drain weiter
 - ▶ 0'en werden abgeschwächt \Rightarrow drain an V_{DD} anschließen

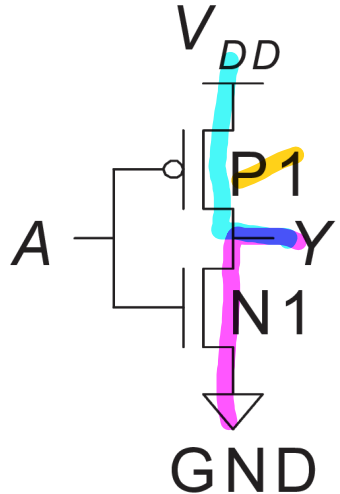
\Rightarrow **Complementary** Metal-Oxide-Semiconductor (CMOS) Logik



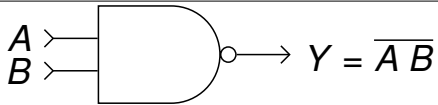
CMOS Gatter: NOT



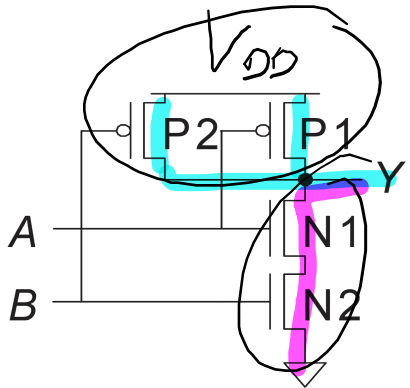
A	P1	N1	Y
0	EIN	AUS	1
1	AUS	EIN	0



CMOS Gatter: NAND



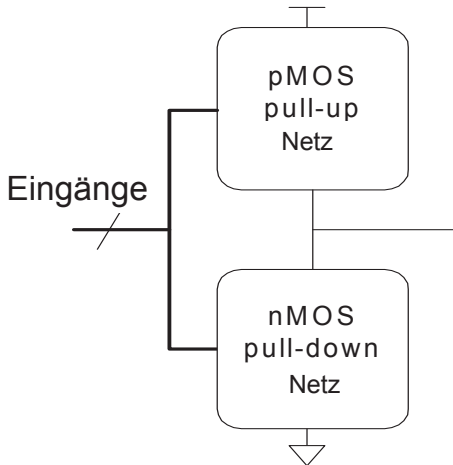
A	B	P1	P2	N1	N2	Y
0	0	EIN	EIN	AUS	AUS	1
0	1	EIN	AUS	AUS	EIN	1
1	0	AUS	EIN	EIN	AUS	1
1	1	AUS	AUS	EIN	EIN	0



Struktur eines CMOS Gatters



TECHNISCHE
UNIVERSITÄT
DARMSTADT

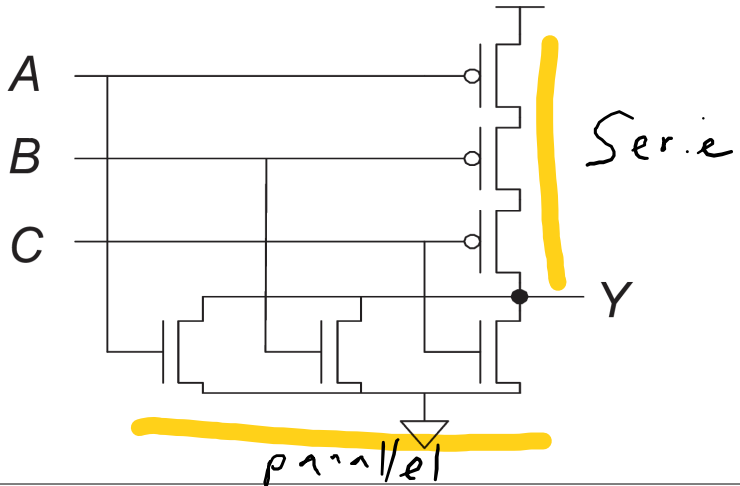


Wenn p-Transistoren in **Reihenschaltung**
dann n-Transistoren in **Parallelschaltung**.

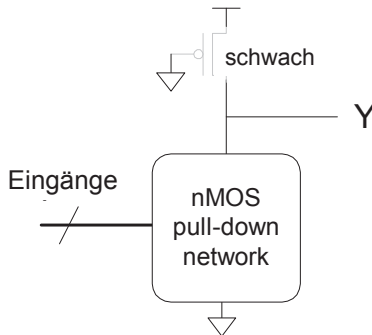
Ausgang

Wenn n-Transistoren in **Reihenschaltung**
dann p-Transistoren in **Parallelschaltung**.

Aufbau eines NOR-Gatters mit drei Eingängen



- ▶ ersetzen das Pull-Up Netz durch schwachen, immer eingeschalteten pMOS
- ⇒ Pull-Up kann durch das Pull-Down Netz „überstimmt“ werden
- ▶ Nützlich, um lange Reihen von Transistoren zu vermeiden

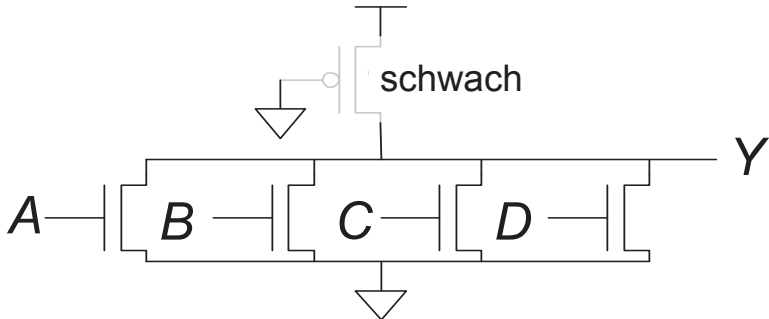


Beispiel für Pseudo-nMOS Gatter



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Pseudo-nMOS NOR4
- ▶ Verbraucht aber mehr Energie: Schwacher Dauerkurzschluss bei $Y=0$

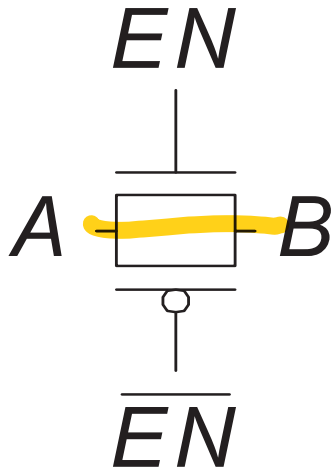


Transmissionsgatter (transmission gates)



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ **nMOS** leiten 1'en „schlecht“ weiter
- ▶ **pMOS** leiten 0'en „schlecht“ weiter
- ▶ Transmissionsgatter ist ein besserer Schalter
 - ▶ Leitet 0 und 1 gut weiter
- ▶ Wenn **EN = 1**, Schalter ist EIN:
 - ▶ $\overline{EN} = 0$
 - ▶ A ist verbunden mit B
- ▶ Wenn **EN = 0**, Schalter ist AUS:
 - ▶ $\overline{EN} = 1$
 - ▶ A ist nicht verbunden mit B



Leistungsaufnahme



TECHNISCHE
UNIVERSITÄT
DARMSTADT

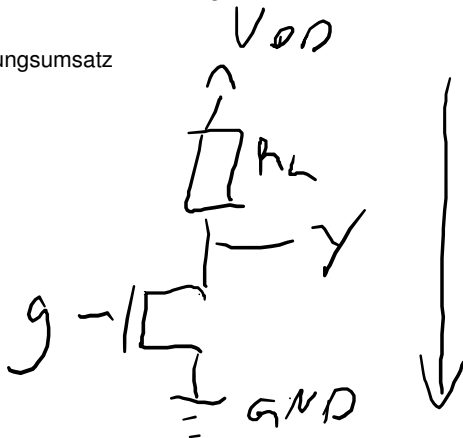
1100001000101011111001111010000011110110
1101100101100110011110011001111110000101
1101011000101011110010011101010000001001
1001000010111001111111010011011000101111
0100001110101001000110101001110011001011
1100001011011111001111101110001010001100
1011011110010100011100011010011111111110
0000011011000111010110100100110010101
1011000011000100010100110100000010010111
1010000110011010000011100011000010101010
1001101110110111000010010101100101011010
1111010010001011011100100101010110101100
1010110110010110111101001000001011010100
0101001110111100101010011110100011001111
0010100100011001011000100100011000111110
0101111100000011010110100000101101101110

Vergleich des Inverters mit einem Feldeffekttransistoren und dem CMOS Gatter



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Die Funktion des Inverters leisten beide Schaltungen
- ▶ Wo sind die Unterschiede?
 - ▶ Erinnerung: statischer Leistungsumsatz
 - ▶ Und bei CMOS?





- ▶ Leistungsaufnahme/Leistungsumsatz/Leistungsverbrauch (verschiedene Begriffe für eine Sache)
- ▶ Leistung = $\text{Energieumsatz} / \text{Energieverbrauch pro Zeiteinheit}$
- ▶ Zwei Arten der Leistungsaufnahme:
 - ▶ Statische Leistungsaufnahme
 - ▶ Dynamische Leistungsaufnahme



- ▶ Leistungsbedarf wenn kein Gatter schaltet
- ▶ Wird verursacht durch Schaltung selbst (vgl. Inverter mit Feldeffekttransistor)
- ▶ Wird verursacht durch den Leckstrom I_D
 - ▶ Immer kleinere Transistoren schalten nicht mehr vollständig ab
 - ▶ Pseudo-nMOS, ...
- ▶ Statische Leistungsaufnahme ist also $P_{static} = I_{DD} \cdot V_{DD}$



- ▶ Leistung um Gates der Transistoren umzuladen
 - ▶ Wirken als Kondensator
- ▶ Ladungen auf einen Kondensator der Kapazität C auf V_{DD} :
 - ▶ $Q = C \cdot V_{DD}$
- ▶ Schaltung wird mit Frequenz f betrieben
 - ▶ Transistoren schalten f -mal pro Sekunde
 - ▶ $I = Q/t = Q \cdot f = C \cdot V_{DD} \cdot f$
- ▶ Leistungsaufnahme ist: $P = I \cdot V = (C \cdot V_{DD} f)(V_{DD}) = C \cdot V_{DD}^2 \cdot f$
- ▶ Aber aufladen kostet (0-1), entladen (1-0) kostet nichts
 - ▶ Hälfte der Zeit schalten die Gatter von 0 bis 1
- ▶ Die dynamische Leistungsaufnahme ist also: $P = \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f$

Beispielrechnung Leistungsaufnahme



TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Abschätzen der Leistungsaufnahme für einen Netbook-Prozessor

- ▶ Parameter

- ▶ Versorgungsspannung $V_{DD} = 1,2V$
- ▶ Transistorkapazität $C = 20nF$
- ▶ Taktfrequenz $f = 1GHz$
- ▶ Leckstrom $I_{DD} = 20mA$

- ▶ $P = \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f + I_{DD} \cdot V_{DD}$

$$P = \frac{1}{2}(20nF)(1,2V)^2(1GHz) + (20mA)(1,2V)$$

$$P = (14,4 + 0,024)W$$

$$P = 14,4W$$

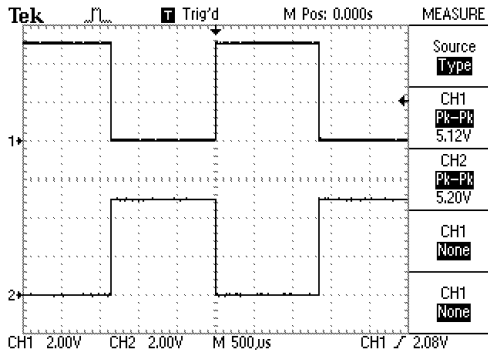
CMOS-Logik

Funktion des Inverters

► Funktionsweise des Inverters

A

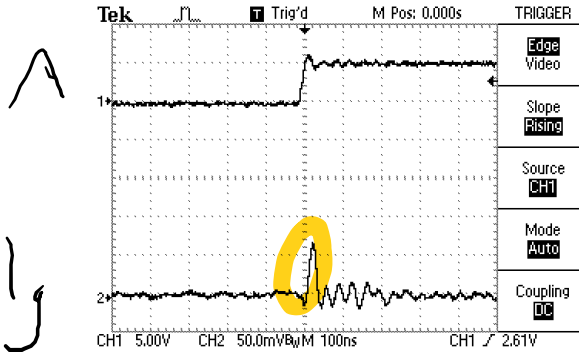
\overline{A}



CMOS-Logik

Stromfluß beim Inverter

- ▶ Nur beim Umschalten fließt kurzzeitig ein Strom
- ▶ Im Wesentlichen: Dynamische Leistungsaufnahme



Moor'sches Gesetz



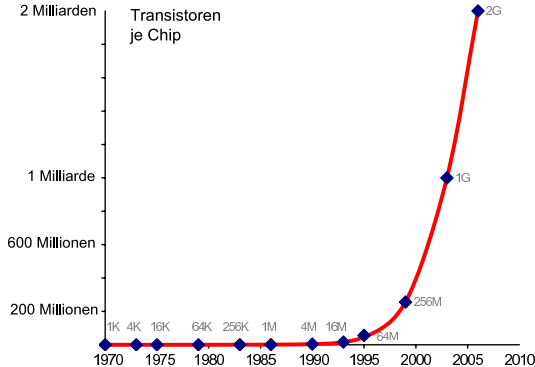
TECHNISCHE
UNIVERSITÄT
DARMSTADT

1111101111011101010101100100101110001001
1000100001100000110101100010100010111010
0010010000111111001110001101011100111101
1110001110011101101101101000101110110010
1000111010111111010010110000110000111101
0111101010110110101101111110011000001010
1110010100110110100111011100100000010110
0000110110011111000111000100001011000100
1110100101110010010101100000111111001100
1100110101100000110001111111011010011110
0110100000001001100110100000010001000110
1101011011000000000011100111010010011000
00000110011100000000010101101110011100000
1010101011110011001000111000111100100110
0000000000010110100101000110111111000110
1101000110001100100100011111100110001110

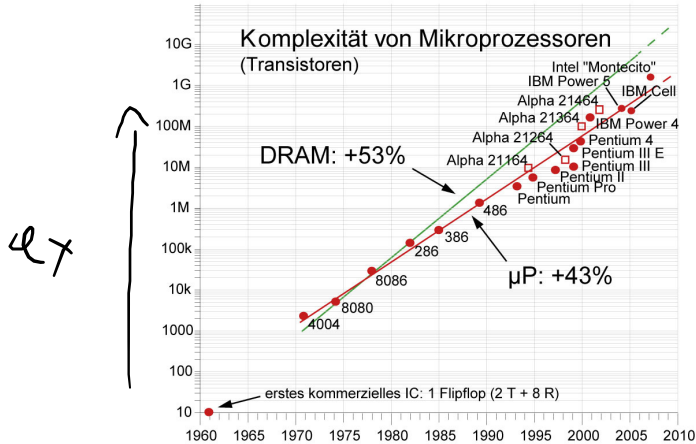
Moore's Gesetz - Exponentielles Wachstum



TECHNISCHE
UNIVERSITÄT
DARMSTADT



Alle 18 Monate verdoppelt sich die Anzahl der Transistoren auf einem Chip. Dies ist allerdings eine abgewandelte Auslegung. Der Originalbeitrag von Gordon Moore ist im Moodle zu finden.

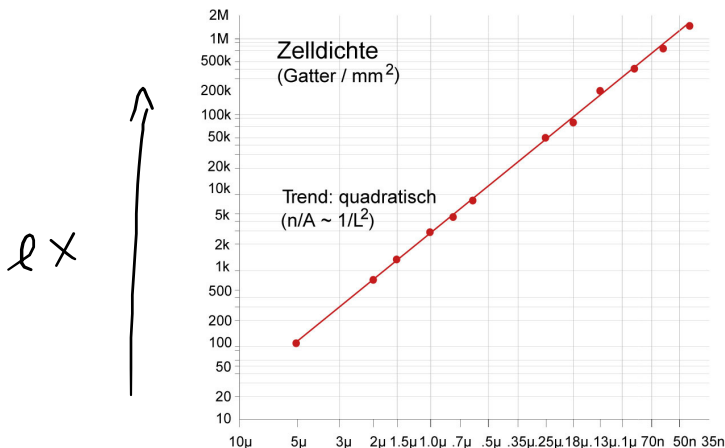


Verbesserung der Fertigungsprozesse

Auswirkungen - Transistoren schrumpfen um 13% jährlich

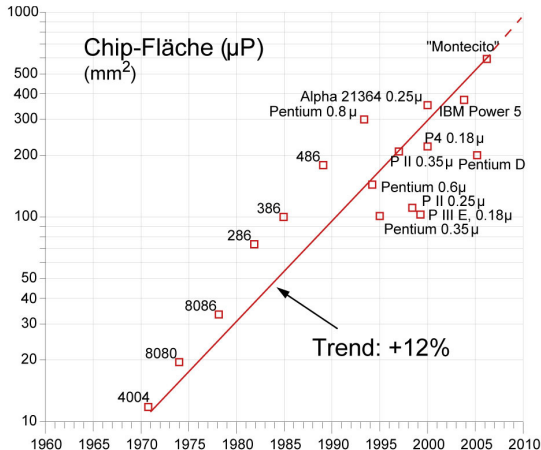


TECHNISCHE
UNIVERSITÄT
DARMSTADT



► pro Flächeneinheit $1/0,87^2 = 33\%$ mehr Elemente

Nicht nur kleinere Strukturen, auch größere Chip-Flächen



Ausbeute

Effekte der Chip-Größe

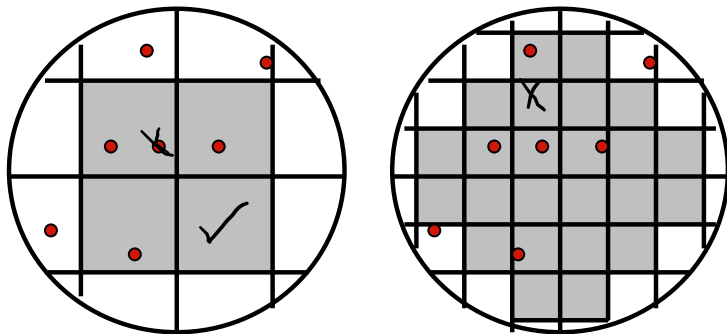


Abbildung: Quelle: J. Rabaey, Digital Integrated Circuits

Heute zuverlässig erreichbar: Nur ca. 1 Fehler pro cm^2 .

Beispiel Cell-Prozessor - Layout



TECHNISCHE
UNIVERSITÄT
DARMSTADT

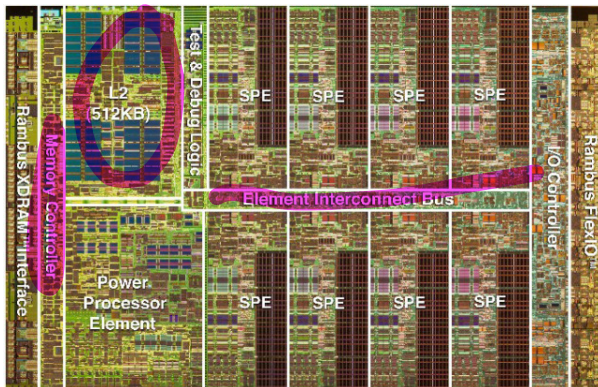
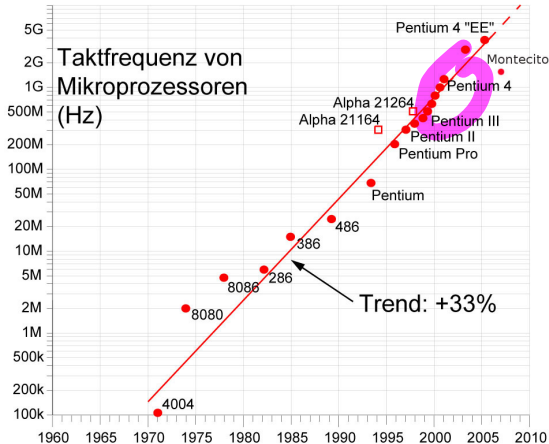


Abbildung: Layout (Die) des Cell-Prozessors, Quelle: IBM

In der PlayStation 3 werden nur sechs SPEs verwendet.

Taktfrequenz - Entwicklung





- ▶ Leistungssteigerung wurde lange Zeit, durch Erhöhen der Taktfrequenz erreicht. Aktuell liegt der Prozessortakt vieler Mikroprozessoren bei 3.x GHz.
 - ▶ Intel Pentium 4 EE, 3,8 GHz Takt, 11,5 SPECint2006
 - ▶ Intel Montecito 9050, 1,6 GHz Takt, 14,5 SPECint2006
- ▶ Bedingt durch die Technologie (CMOS-Technologie) steigt der Leistungsumsatz der Prozessoren mit dem Takt ($P \approx U^2 \cdot f \cdot C_L$).
- ▶ Die entstehende Wärme ist nur mit großem Aufwand abzutransportieren.
- ▶ Parallelrechner:
 - ▶ Integration mehrerer CPUs auf einem Chip (aktuell: 2-12 CPU-Kerne von Intel und AMD verfügbar), Cell B. E. Prozessor von IBM
 - ▶ Massiv parallele Systeme mit mehreren tausend Prozessoren, Spezialarchitekturen z. B. Vektorrechner

Zusammenfassung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

0011101010000110011100100010001001111010
1001011011100011010001000100110101011001
1011010110001001001110111010110010100011
1011110100111000100110100011100100000100
0001001010110111001011100010010010100001
0110001011011011000010101001011110100001
1011100000001000010111011010111111000000
110011110100110101100010011000101100100
1111010100101110011011001110001100111000
1001001000000011111001000111011110110000
1010010111100010101110111100000011010000
0100110011110000100010101010000011010111
1110111011000010010011001011011110110110
1111111010011000011110000100111011100101
0010100000101101111110110010000110100101
0000001010001100001010010011110111010111



- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moor'sches Gesetz



- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moor'sches Gesetz

- ▶ Nächste Vorlesung behandelt
 - ▶ Boolsche Algebra