

VHDL-Miniprojekt: 2-Kanal-Funktionsgenerator mittels Direct Digital Synthesis (DDS)

BTE5024 – Anwendungen elektronischer Systeme
Prof. Dr. Theo Kluter und Prof. Dr. Torsten Mähne
Version 1.0.0 vom 2022-04-18

Inhaltsverzeichnis

1	Zielsetzung	1
2	Vorgehen	2
3	Anforderungen	2
4	Vorgaben	4
5	Bewertung	4

1 Zielsetzung

Während der 16 Lektionen, die für dieses Projekt vorgesehen sind, soll ein 2-Kanal-Funktionsgenerator entwickelt werden, der mittels DDS [1]–[4] zwei Signale mit individuell wählbarer Frequenz, Amplitude, Offset und Form (Sinus, Rechteck, Dreieck, Sägezahn) erzeugt und über einen Dual 10 bit Digital-to-Analogue Converter (DAC) [5] ausgibt. Die Frequenz der Ausgangssignale sowie weitere Einstellungen sollen über einen Inkrementalgeber vom Typ Digilent PmodENC™ [6] eingestellt und dynamisch auf den 7-Segment-Anzeigen dargestellt werden. Das digitale System ist in synthetisierbaren VHDL zu beschreiben, auf dem GECKO4-Education [7] zu implementieren und zu testen. Der Entwicklungsprozess sowie das resultierende System sind zu dokumentieren.

2 Vorgehen

- ▶ Arbeit zu zweit und in Ausnahmefällen zu dritt
- ▶ Analyse der Aufgabenstellung
- ▶ Konzept (Blockschaltbild und Zeitplan)
- ▶ Definition der Module und Schnittstellen
- ▶ Aufteilung der Module innerhalb der Gruppe
- ▶ Realisierung, Simulation, Hardwaretest und Dokumentation der einzelnen Module
- ▶ Verifikation des Gesamtsystems
- ▶ Dokumentation

3 Anforderungen

- ▶ Verhaltensbeschreibung aller funktionalen Blöcke in VHDL auf Register-Transfer-Niveau.
- ▶ Verifikation der funktionalen Blöcke durch Simulation.
- ▶ Strukturelle Beschreibung in VHDL oder Schema für das auf FPGA zu realisierende Top-Level-Modul.
- ▶ Implementierung eines DDS-Blocks für den Frequenzbereich 0 Hz bis 99 999 Hz mit einer Frequenzauflösung von 1 Hz sowie einer Amplitudenauflösung von 10 bit für den verwendeten DAC. **Hinweis:** Die Phasen-zu-Amplituden-Umwandlung im DDS-Block zum Erhalten des Sinus-, Rechtecks-, Dreieck- und Sägezahnsignals kann über LookUp Tables (LUTs) geschehen. Zur Begrenzung der Grösse der LUT können die Symmetrien der periodischen Signale ausgenutzt werden. Zusätzlich kann optional auch eine (lineare) Interpolation zwischen den LUT-Einträgen implementiert werden. Die Rechteck-, Dreieck- und Sägezahnsignale lassen sich statt durch eine LUT auch durch einfache logische/arithmetische Operationen aus dem Phasensignal ableiten. LUTs sollten vorteilhafterweise in einem Read-Only Memory (ROM) abgelegt werden. Damit der Synthesizer diese automatisch instanziiert aus Ihrer VHDL-Beschreibung, sollte der von Intel empfohlene Kodier-Stil [8, Section 2.4.2] befolgt werden.
- ▶ Ansteuerung des Dual 10 bit DACs in seinem vollen Dynamikumfang zur Wandlung der beiden digitalen DDS-Ausgangssignale in analoge Signale. Die Signalausgabe erfolge sättigend, d.h. Über-/Unterläufe, die durch die Berücksichtigung von Amplitude und Offset entstehen, sind zu kompensieren durch Ausgabe des maximalen/minimalen Spannungswerts. **Hinweis:** Die Skalierung (zur Einstellung der Amplitude), Verschiebung (zur Einstellung des Offsets) und ggf. Sättigung des vom DDS-Block erzeugten

Signals sollte in einem separaten Block umgesetzt werden, wobei es von Vorteil ist die auf den Cyclone IV verfügbaren 18-bit-Multiplizierer [9, Section 1.4] zu nutzen. Damit der Synthesizer diese automatisch instanziiert aus Ihrer VHDL-Beschreibung, sollte der von Intel empfohlene Kodier-Stil [8, Section 2.3] befolgt werden.

- ▶ Der aktiv einstellbare Kanal soll sich über den Schalter SWT auf dem PmodENC™ umschalten lassen. Der aktive Kanal muss deutlich angezeigt werden auf der LED-Matrix.
- ▶ Die Einstellung der Signalparameter Form, Frequenz, Amplitude und Offset sind unabhängig vom jeweils anderen Kanal.
- ▶ Die Auswahl des über den Inkrementalgeber einzustellenden Signalparameters erfolge über die fünf Taster unterhalb der LED-Matrix des GECKO4-Education. Auf der LED-Matrix muss jederzeit ersichtlich sein, welcher Parameter zur Einstellung ausgewählt ist:
 - SW1: Ein-/Ausschalten des selektierten Kanals
 - SW2: Wahl der Signalform für den selektierten Kanal: Sinus, Dreieck, Sägezahn, Rechteck.
 - SW3: Einstellung der Frequenz im Bereich von 0 Hz bis 99 999 Hz mit 1 Hz Frequenzauflösung
 - SW4: Einstellung der Amplitude des Signals im Bereich von 0.00 V bis 1.25 V mit 0.01 V Auflösung
 - SW5: Einstellung des Signaloffsets im Bereich 0.00 V bis 2.50 V mit 0.01 V Auflösung
- ▶ Im Fall einer Zahleneingabe diene der im Inkrementalgeberschaft integrierte Taster BTN auf dem PmodENC™ dazu zwischen der Wahl der einzustellenden Ziffer und dem Inkrementieren/Dekrementieren des angezeigten Zahlenwerts zu wechseln. Die ausgewählte Ziffer ist durch Blinken hervorzuheben. Das Inkrementieren/Dekrementieren beeinflusst ab der ausgewählten Ziffer auch alle höherwertigen Ziffern. Es ist dabei ein sättigendes Verhalten umzusetzen, d.h. im Fall eines Überlaufs/Unterlaufs beim Inkrementieren/Dekrementieren ist das Resultat durch den jeweils maximal/minimal zulässigen Wert zu ersetzen.
- ▶ Der Status (an/aus) sowie die selektierte Form des Ausgangssignals soll für beide Kanäle symbolisch über die LED-Matrix angezeigt werden.
- ▶ Die Siebensegmentanzeige dient jeweils zur Anzeige des aktuell einstellbaren numerischen Parameters.
- ▶ Der Taster SW6 auf dem GECKO4-Education diene während der Frequenzeingabe zur Umschaltung der 7-Segmentanzeige zwischen Darstellung der Zehntausender bis Zehner und Tausender bis Einer. Der Dezimalpunkt auf der 7-Segmentanzeige markiere dabei die Tausenderstelle. Die Umschaltung der Anzeige sei nur möglich, wenn die eingestellte Frequenz $\geq 10\,000$ Hz ist.

- ▶ Der Taster SW7 auf dem GECKO4-Education diene als Power-On Reset (POR) für das Gesamtsystem. Dabei sollte das System so eingestellt werden, dass die Signale auf beiden Kanälen im vollen Dynamikumfang des DACs ausgegeben werden, d.h. mit einer Amplitude von 1.25 V und Offset von 1.25 V. Die Frequenz des auszugebenden Signals soll für beide Kanäle nach dem Rücksetzen 1 kHz betragen. Kanal 1 soll ein Sinussignal ausgeben und Kanal 2 ein Rechtecksignal.
- ▶ Logiksynthese und Fitting des Gesamtsystems aus DDS, DAC-Ansteuerung, Frequenz-/Signalformwähler und Frequenz-/Signalformanzeige auf das FPGA-Board GECKO4-Education.
- ▶ Funktionstest des Gesamtsystems.
- ▶ Dokumentation und Präsentation des Gesamtsystems.

4 Vorgaben

Für die Realisierung ist das GECKO4-Education [7] mit 50 MHz Taktfrequenz und angeschlossenem Inkrementalgeber vom Typ Digilent PmodENC™ [6] vorgesehen. Letzterer soll in der unteren Reihe der PMOD2-Buchse eingesteckt werden. Das GECKO4-Education verfügt über einen LTC2632 10 bit Dual DAC von Analog Devices [5]. Als Entwicklungsumgebung steht Ihnen die Intel Quartus Prime Lite Edition v18.1 [10] oder neuer inklusive ModelSim auf Ihren persönlichen Laptops zur Verfügung. Für den Funktionstest stehen Ihnen ein Digilent Analog Discovery 2 [11] zur Verfügung.

5 Bewertung

Die folgenden Punkte werden bewertet:

- ▶ Entwurf: klar gegliedertes, hierarchisches und synchrones Design; keine Latches und keine Gated Clocks (5 %)
- ▶ Systematik bei der Durchführung des Projektes (5 %)
- ▶ Qualität der VHDL-Beschreibung: gute Lesbarkeit durch klare Bezeichner, korrekte Einrückung und Strukturierung mithilfe von Kommentaren, Einhaltung der Beschreibungsrichtlinien für synthetisierbare digitale Schaltungen. (5 %)
- ▶ Verifikation der funktionalen Kernblöcke durch Simulation mit einer Testbench, die die Funktionalität des Blockes durch geeignete (reguläre und irreguläre) Stimuli überprüft. (10 %)
- ▶ Funktionalität des auf FPGA realisierten Gesamtsystems (55 %), davon:
 - DDS mit spezifizierten Frequenz-, Amplituden- und Offset-Bereich, Amplitudenauflösung und Ausgangssignalformen (20 %)

- Ansteuerung des DAC (5 % pro Kanal)
 - Einstellung der Parameter des Funktionsgenerator-Ausgangssignals über den PmodENC™ (5 % pro Kanal)
 - Anzeige von Frequenz, Amplitude, Offset, Signalform, aktivem Kanal und einstellbaren Signalparameter auf den 7-Segment-Anzeigen und der LED-Matrix (5 % pro Kanal)
 - Integration aller Komponenten zu einem 2-Kanal-Frequenzgenerator (5 %)
- Dokumentation (15 %):
- Bericht (ca. 10 bis 20 Seiten) als PDF-Datei, der ihr Vorgehen bei Entwurf/Test und Implementierung des Gesamtsystems auf FPGA beschreibt:
 - ★ Herangehensweise und Ablauf Ihres Projektes
 - ★ Bedienung des Funktionsgenerators
 - ★ Struktur und Funktion des Gesamtsystems
 - ★ Schnittstelle und implementiertes Verhalten jedes Blocks
 - ★ Funktionstests der Einzelblöcke und des Gesamtsystems
 - ★ Zusammenfassung der Ergebnisse der Logiksynthese
 - ★ erreichte Funktionalität und verbleibende Probleme
 - ★ Fazit, Reflexion
 - Archiv des Projektverzeichnisses im ZIP-Format. Vor der Erstellung des ZIP-Archivs ist das Projekt in Quartus Prime von allen automatisch generierten Dateien zu bereinigen. Dies erreichen Sie durch Auswahl des Menüpunkts „Project → Clean Project...“. Dies reduziert **beträchtlich** die Menge zu archivierender Dateien, z.B.: 97 MiB → 201 KiB!
- Präsentation ihres Projekts vor dem Betreuer in der letzten Lektion: 5 min Präsentation der Struktur ihres Gesamtsystems und Funktionalität seiner Blöcke, 3 min Demonstration und Fragen (5 %)

Literatur

- [1] Analog Devices. „Fundamentals of Direct Digital Synthesis (DDS)“. Amerikanisch, Analog Devices. (2009), Adresse: <https://www.analog.com/media/en/training-seminars/tutorials/MT-085.pdf> (besucht am 17. 01. 2022).
- [2] K. Gentile und R. Cushing. „A technical tutorial on Digital Signal Synthesis“. Amerikanisch, Analog Devices. (1999), Adresse: <https://www.analog.com/en/education/education-library/technical-tutorial-dds.html> (besucht am 17. 01. 2022).
- [3] D. Brandon. „DDS design“. Amerikanisch, EDN Network. (13. Mai 2004), Adresse: <https://www.edn.com/dds-design/> (besucht am 17. 01. 2022).

- [4] E. Murphy und C. Slattery. „Ask the application engineer–33: All about Direct Digital Synthesis“. Amerikanisch, Analog Devices. (2004), Adresse: <https://www.analog.com/en/analog-dialogue/articles/all-about-direct-digital-synthesis.html> (besucht am 17. 01. 2022).
- [5] Analog Devices, *Dual 12-/10-/8-Bit SPI VOUT DACs with 10ppm/°C reference*, Amerikanisch, LTC2632, Rev. C, Analog Devices, 2019. Adresse: <https://www.analog.com/media/en/technical-documentation/data-sheets/LTC2632.pdf> (besucht am 17. 01. 2022).
- [6] Digilent, Inc., *Pmod ENC reference manual*, Amerikanisch, Digilent, Inc., 12. Apr. 2016. Adresse: https://digilent.com/reference/_media/reference/pmod/pmodenc/pmodenc_rm.pdf (besucht am 14. 02. 2022).
- [7] T. Kluter u. a., *An Altera-Cyclone-IV-based FPGA board for use in the first two years of bachelor studies at the BFH-TI*, Amerikanisch. Adresse: <https://gecko-wiki.ti.bfh.ch/gecko4education:start> (besucht am 13. 01. 2022).
- [8] Intel, *Intel® Quartus® Prime Standard Edition user guide, Design recommendations*, Amerikanisch, UG-20175, Intel, 24. Sep. 2018. Adresse: <https://cdrdv2.intel.com/v1/dl/getContent/666350?fileName=ug-qps-design-recommendations-683323-666350.pdf> (besucht am 18. 04. 2022).
- [9] Altera, *Cyclone IV device handbook, volume 1*, Amerikanisch, CYIV-5V1-2.2, Altera, San Jose, CA, USA, März 2016. Adresse: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyiv-5v1.pdf> (besucht am 18. 04. 2022).
- [10] Intel, *Quartus Prime design software Lite edition*, Amerikanisch, Sep. 2018. Adresse: <https://fpgasoftware.intel.com/18.1/?edition=lite> (besucht am 13. 01. 2022).
- [11] Digilent, Inc. „Analog Discovery 2: A portable USB laboratory for everyone.“ Amerikanisch. (2022), Adresse: <https://digilent.com/shop/analog-discovery-2-100ms-s-usb-oscilloscope-logic-analyzer-and-variable-power-supply/> (besucht am 17. 01. 2022).

Änderungsnachweis

1.0.0 (2022-04-18) — Dokument auf Moodle publiziert