بسمه تعالى



دانشکده کامپیوتر گزارش کار دوم آزمایشگاه مدارهای منطقی

آزمایش سوم: شمارنده

استاد آقای دکتر شاهین حسابی

دانشجویان نیکا قادری و مبینا حیدری

> دانشگاه صنعتی شریف پاییز ۱۴۰۲

### فهرست مطالب

#### مقدمه ۲

í	۱ شمارنده دودویی آسنکرون
,	۱-۱ شمار نده بالا پایین شمار
١٦	۱-۲ بخش دوم آزمایش اول: لود موازی
19	۲- شمارنده دودویی سنکرون
٣	۳- شمار نده BCD

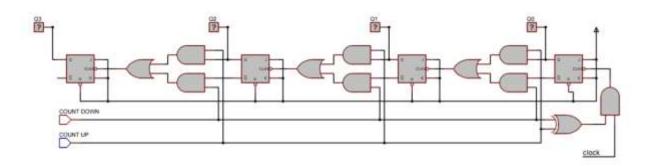
#### مقدمه

هدف این آزمایش ، آشنایی با نحوه کار کرد انواع شمارنده ها است. ابتدا تمام بخش ها در نرم افزار proteus شبیه سازی شده و آزمایش اخر به صورت عملی نیز پیاده سازی می شود .

## ۱ شمارنده دودویی آسنکرون

## ۱-۱ شمارنده بالا پایین شمار

مطابق شکل پایین باید با استفاده از چهار فلیپ فلاپ T یا JK یک شمارنده بالا/پایین شمار آسنکرون ساخته شود



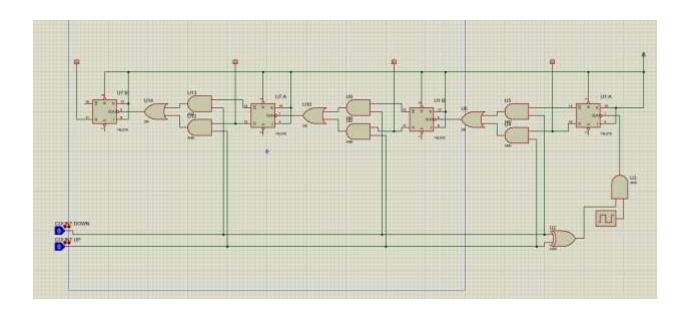
#### وسایل مورد نیاز:

- JK flip flop -
  - Clock -
- 2 input and gate -
  - 2 input or gate -

### تئوري آزمايش:

در این قسمت از  $\raiset$  فلیپ فلاپ  $\raiset$  برای سا خت یک شمارنده  $\raiset$  بیتی بالا /پایین شمار استفاده می کنیم. این مدار دو ورودی برای شمارش رو به بالا و پایین دارد و فقط در صورتی کار می کند. که تنها یکی از این دو ورودی فعال باشند. ورودی های  $\raiset$  و  $\raiset$  این  $\raiset$  فلیپ فلاپ همواره به منبع تغذیه (مقدار  $\raiset$ ) متصل هستند یعنی با ورود کلا  $\raiset$  به هر یک از این فلیپ فلاپ ها مقدار آن تاگل می شود . حال با قرار دادن  $\raiset$  هایی پشت هر یک از فلیپ فلاپ به ورودی کلاک فلیپ فلاپ تنظیم میکنیم که این کلاک در چه زمانی وارد فلیپ فلاپ بشود.

ورودیهای این مدارها به این صورت است که هم به خروجی های فلیپ فلاپ قبلی متصل است و هم بررسی میکند که آیا ورودی بالاشمار فعال است یا ورودی پایین شمار. با این تنظیمات اولین فلیپ فلاپ با هر پالس ساعت تاگل ساعت تغییر میکند، دومین فلیپ فلاپ در هر دو پالس ساعت، و سومین فلیپ فلاپ در هر ۴ پالس ساعت تاگل میشود که دقیقا عملکرد شمارنده را تداعی میکند و خروجی آن ها (Q2,Q1,Q0) نشان دهنده شماره هر مرحله میباشد.

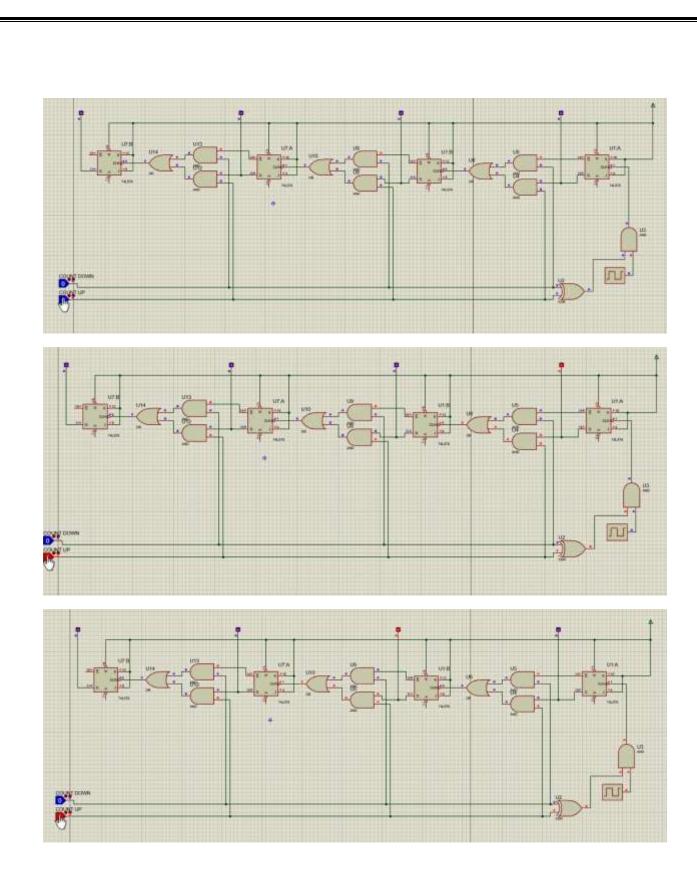


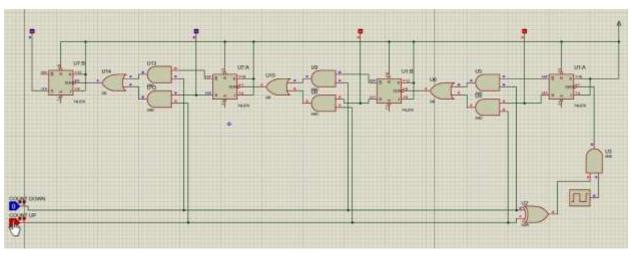
همان طور که در تصویر دیده می شود ، در ابتدا ورودی COUNT DOWN و COUNT UP به یک گیت xor متصل می باشد که تنها در صورتی یک می شود که فقط یکی از این دو ورودی یک باشد سپس با کلاک and می شود و به کلاک jk flip flop متصل می شود . می شود و ورودی ها jk flip flop متصل می شود . جدول درستی jk flip flop به صورت زیر می باشد.

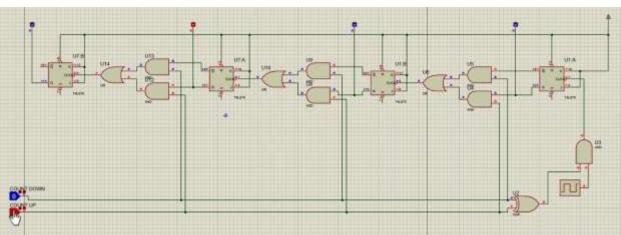
JK Flip-Flop			$Q^+ = JQ' + K'Q$			
J	K	Q(t +	- 1)			
0	0	Q(t)	No change			
0	1	0	Reset			
1	0	1	Set			
1	1	Q'(t)	Complement			

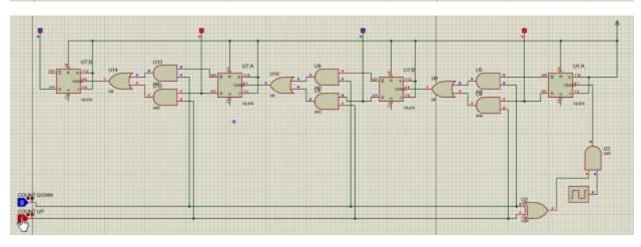
و در اینجا چون نیاز به حالت reset ,set نداریم جفت ورودی i و i را به یک power وصل میکنیم و همانطور که در مدار دیده می شود اگر یکی از i یا i یک باشد کلاک i و میل بعدی نیز یک می شود و همین عمل باعث شمارش رو به بالا و پایین می شود .

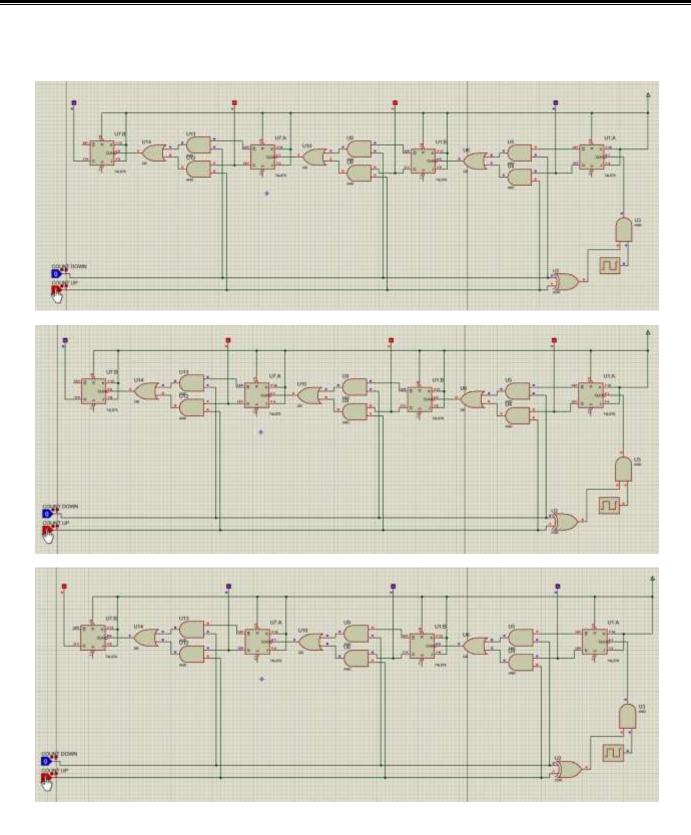
در مثال پایین می بینیم وقتی count up یک باشند چگونه شمارش بالا انجام میدهد:

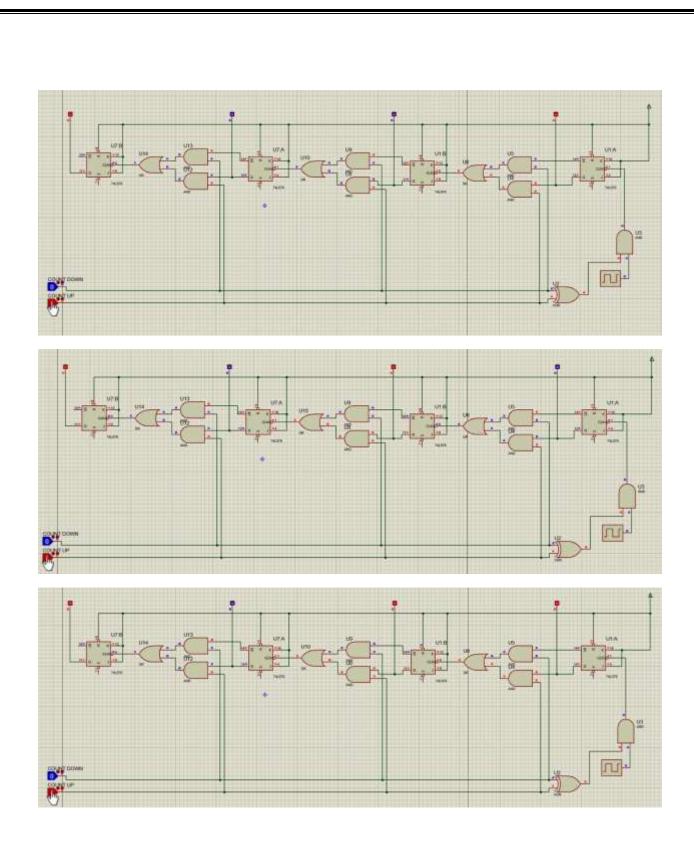


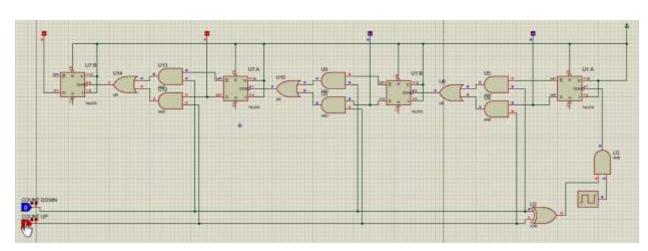


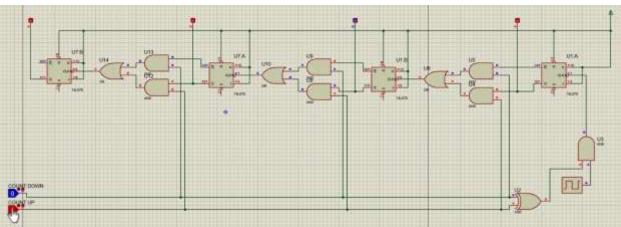


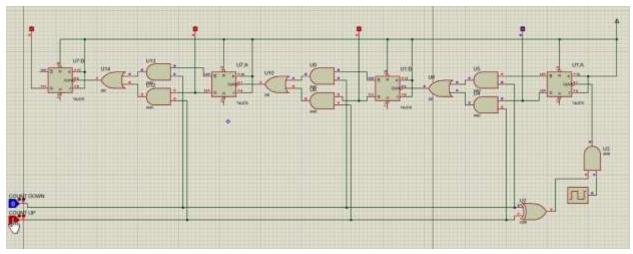


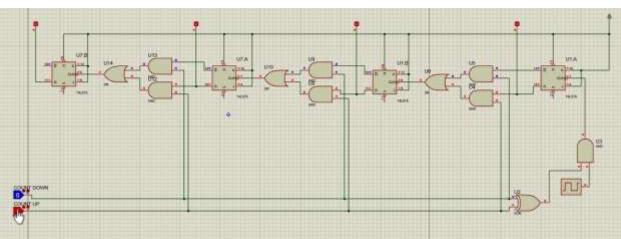






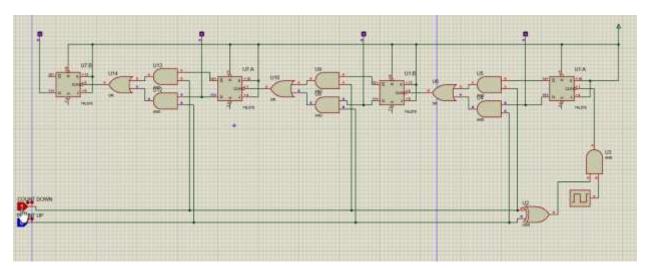


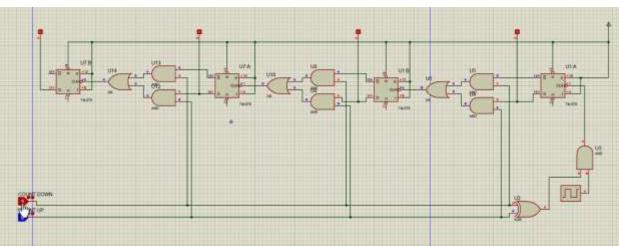


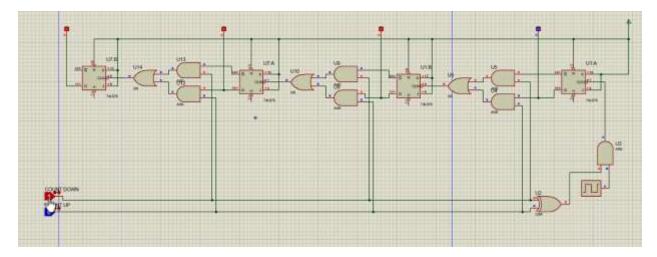


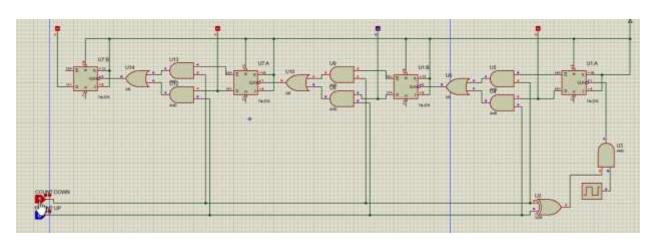
شروع مدار از نقطه ای می باشد که کلاک گیت and کلاک و xor صفر میباشد و power یک می باشد در نتیجه شروع مدار از نقطه ای می باشد که از ان جا که 'AND Q' با COUNT DOWN است کلاک فیلیپ فلاپ بعدی نیز صفر است و به همین صورت ادامه دارد به محض اینکه COUNT UP یک می شود با اولین کلاکی که داده شود خروجی اند یک و در نتیجه کلاک JK اول فعال می شود که در این صورت اولین خروجی متصل به Q می باشد یک می شود و عدد Q می نقل می دو در همین حین کلاک Q flip flop دوم فعال شده و با کلاک فیلیپ فلاپ اول صفر شده و Q نیز صفر می شود و به همین صورت شمارش به بالا انجام می شود.

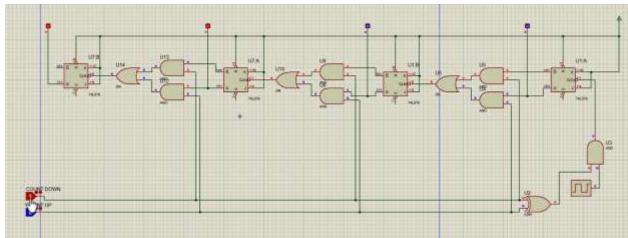
در مثال بعد اگر COUNT DOWN یک باشد را میبینیم:

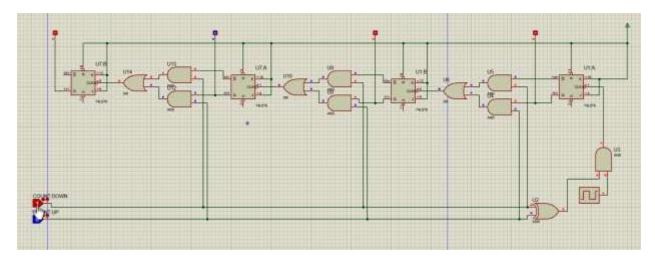


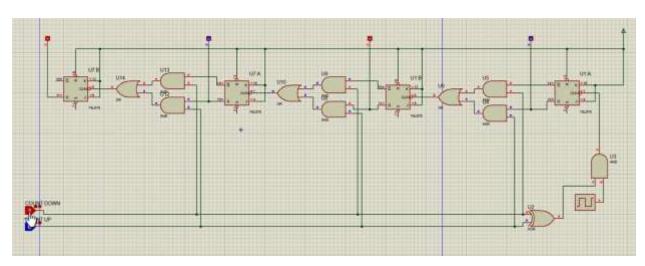


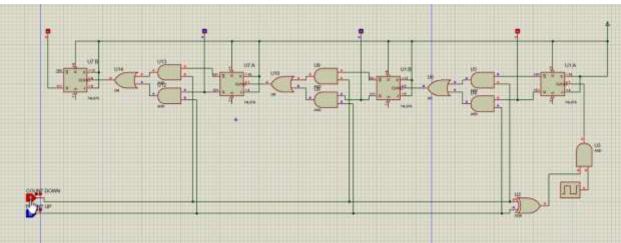


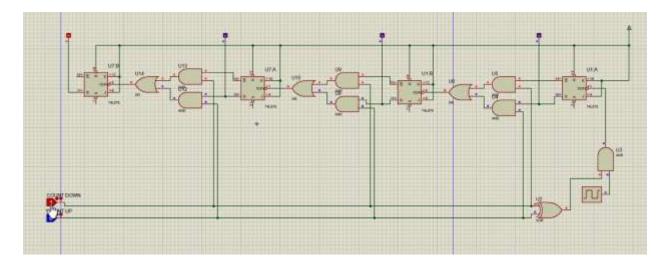


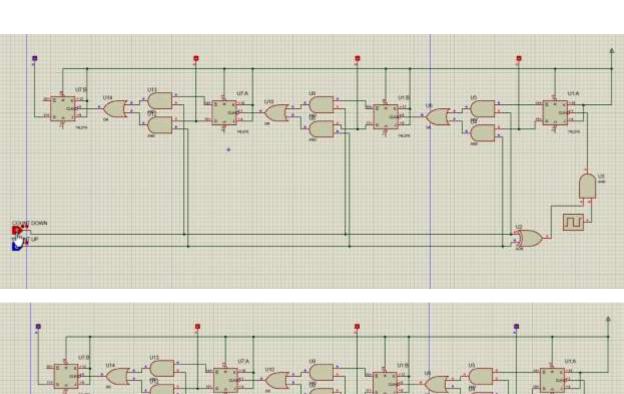


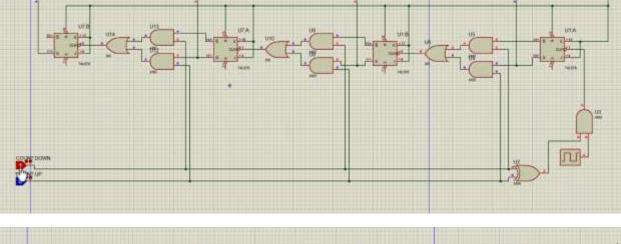


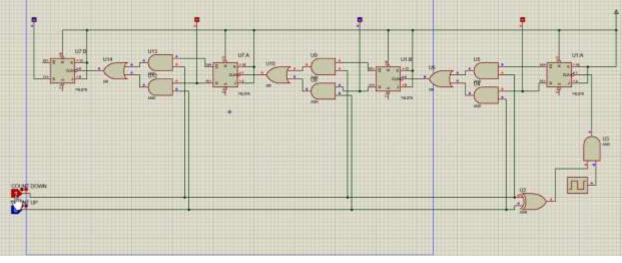


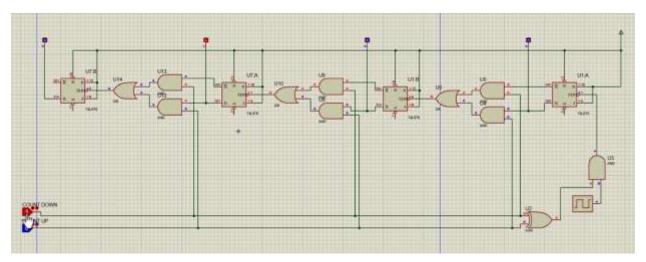


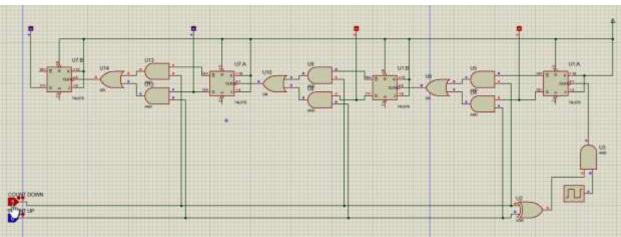


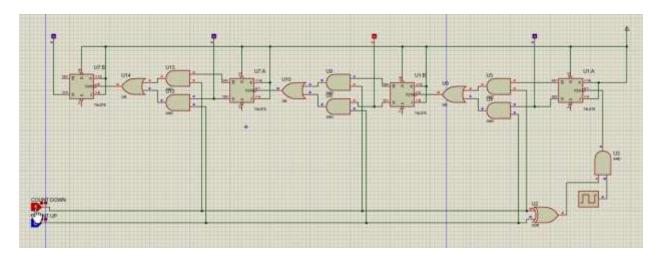


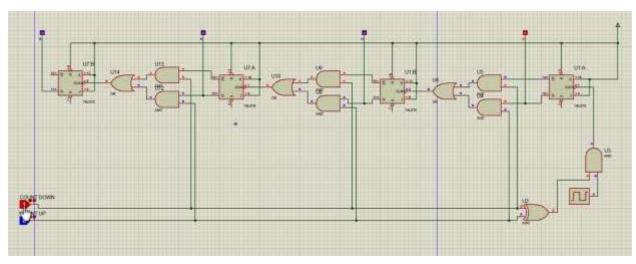


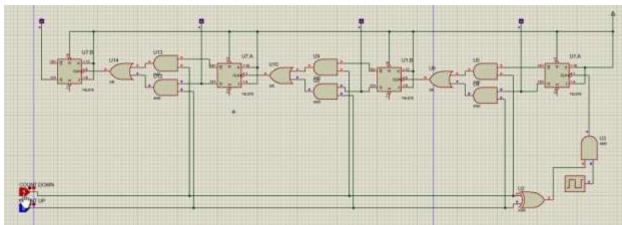






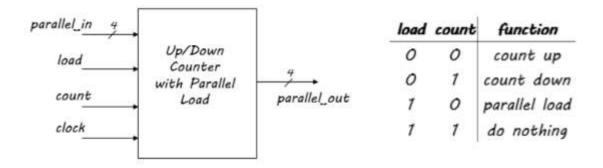






## ۱-۲ بخش دوم آزمایش اول: لود موازی

در این قسمت قرار است مدار قبل را به گونه ای تغییر دهیم که امکان مقدار دهی موازی داشته باشد بر اساس جدول زیر :



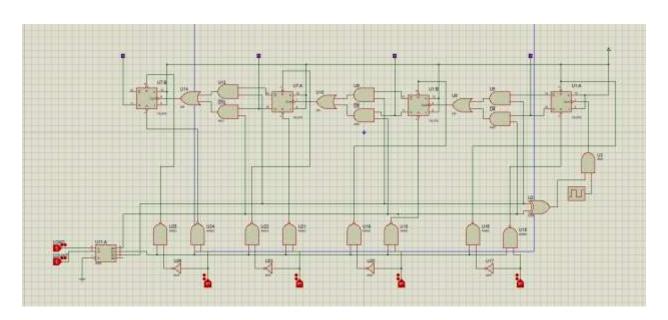
#### توضيح كلى:

برای این کار میتوان از یک دیکودر استفاده کرد. حالت های مختلف ورودی های count و load تعیین می کنند که چه حالت شمارشی را باید در نظر بگیریم. به این صورت که مدار در حالت 0 = 1 عملکرد عادی شمارش به بالا و پایین را دارد و فقط وقتی 1 = 1 او 1 = 1 و 1 = 1 بیت ورودی را به فلیپ فلاپ های متناظر لود می کند.

برای این کار از فلیپ فلاپ های JK استفاده میکنیم که ورودی های preset و preset آسنکرون دارند. اگر این دو ورودی هر دو یک باشند فلیپ فلاپ عملکرد عادی خودش را دارد، ولی اگر تنها یکی از آنها یک باشد فلیپ فلاپ ست یا ریست میشود . با توجه به این حالت ها جدول درستی هر یک از ورودی های preset و clear و رسم کرده و گیت های مورد نیاز برای اتصال به هر کدام را به دست میآوریم.

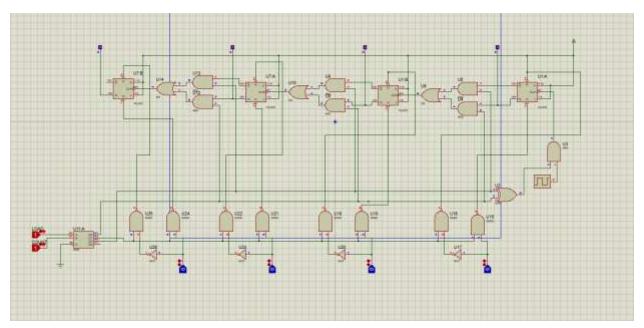
شرح پیاده سازی:

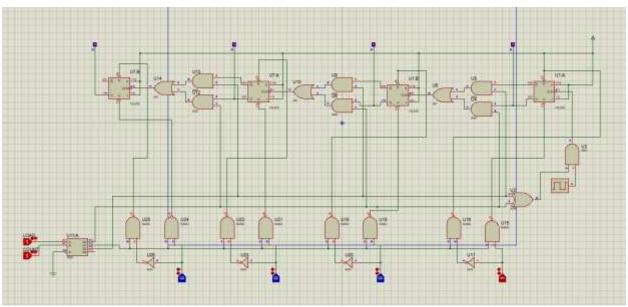
در تصویر زیر می بینیم:

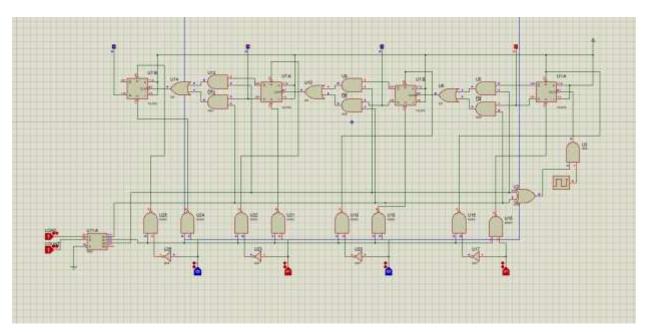


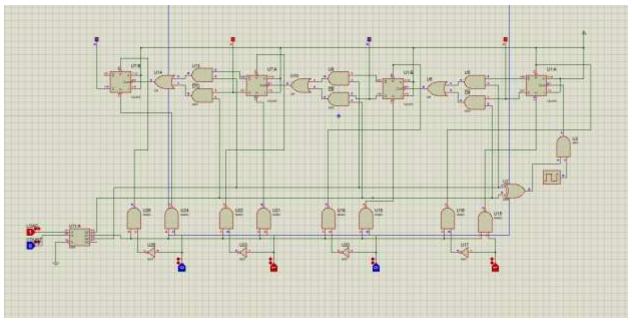
این مدار دو ورودی LOAD و COUNT دارد و چهار ورودی دیگر که قرار است به صورت موازی وارد مدار شود در حالت ۰۱ یعنی اگر LOAD یک باشد ورودی ها به صورت موازی وارد میشوند همانطور که می بینیم خروجی ۰۱ مولتی پلکسر به صورت مستقیم با هر ورودی اند میشود و همین طور ۰۰ COUNT UP و ۰۰ خروجی ۲۱ مولتی پلکسر به صورت مستقیم با هر ورودی اند میشود و حالت ۱۱ نیز قرار است هیچ کاری انجام ندهد

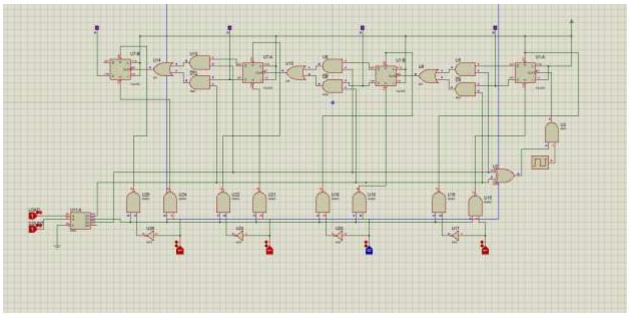
حالت ۰۱ يا LOAD:

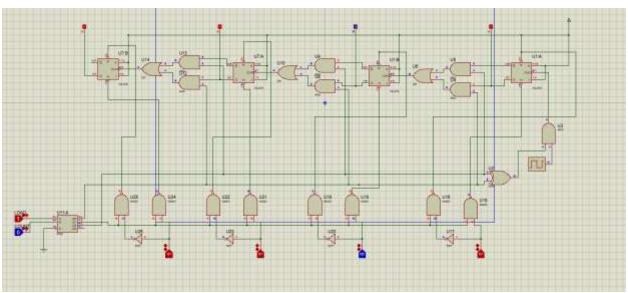






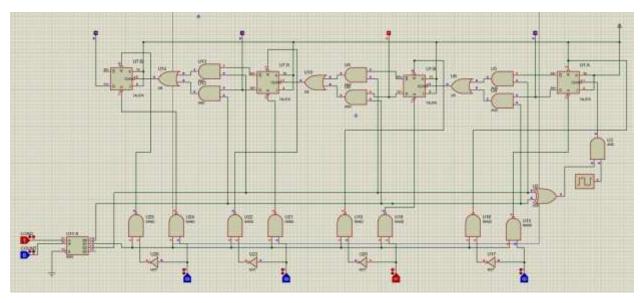


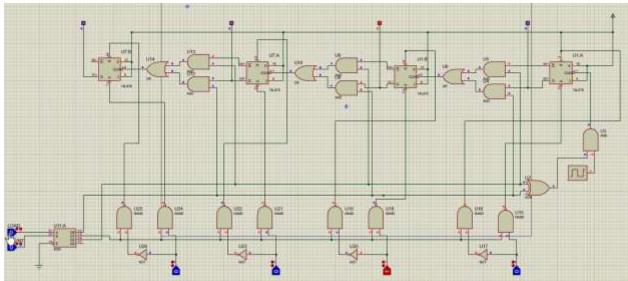


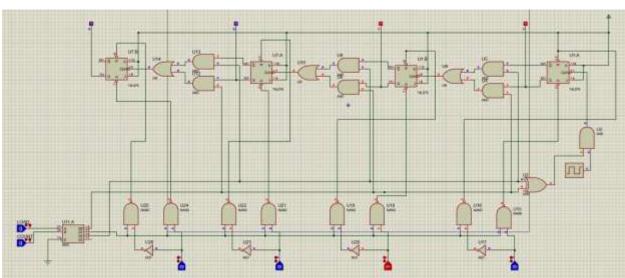


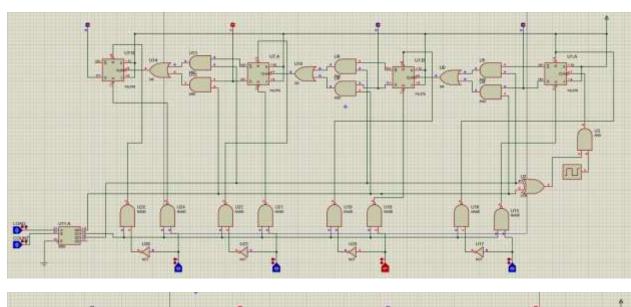
در این حالت همان طور که می بینیم هر ورودی با ۰۱ مالتی پلکسر اند شده و به ست JK flip flop وصل شده و نات هر ورودی نیز با ۰۱ مالتی پلکسر اند شده و به JK flip flop reset و نات هر ورودی نیز با ۰۱ مالتی پلکسر اند شده و به

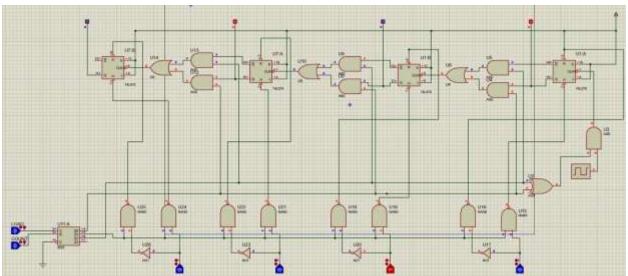
count up یا د حالت

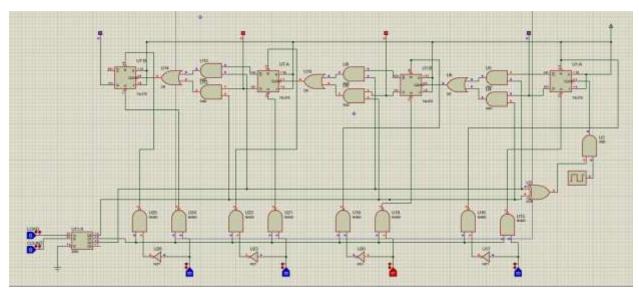


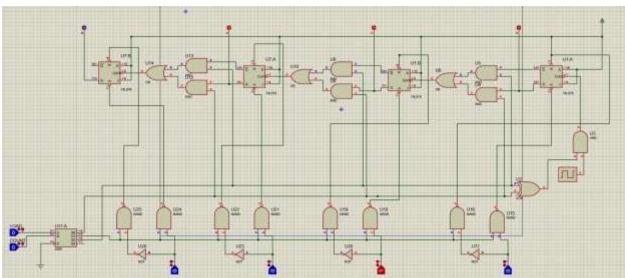




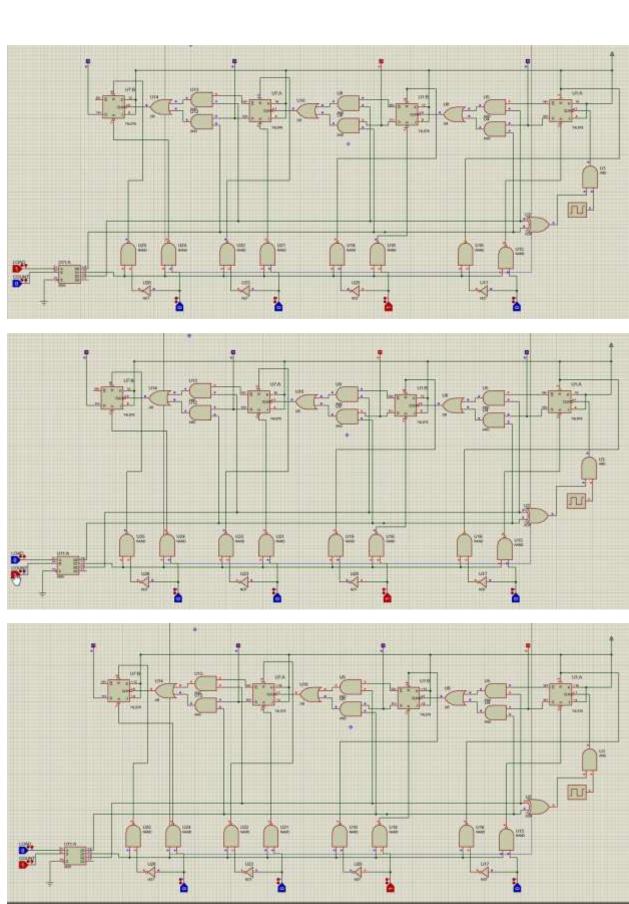


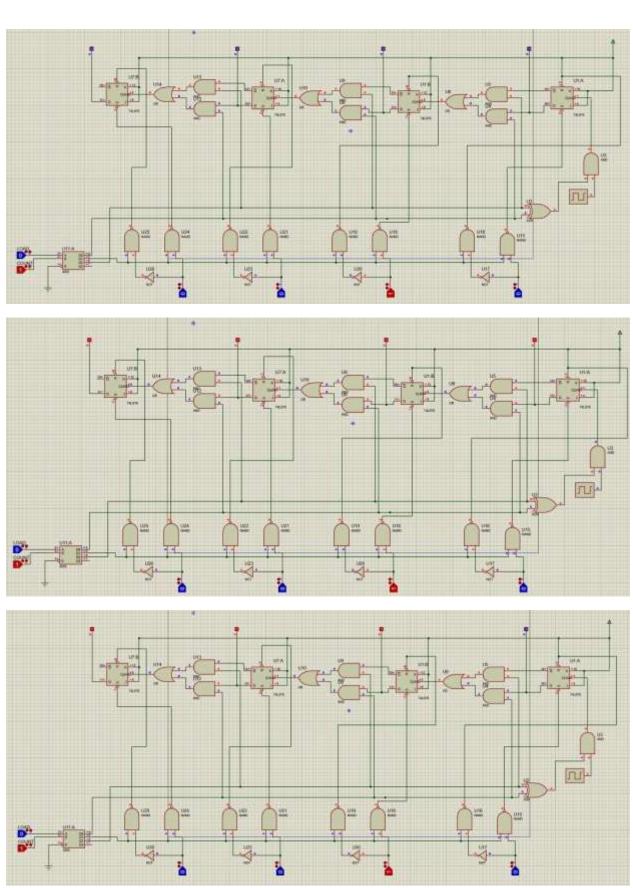


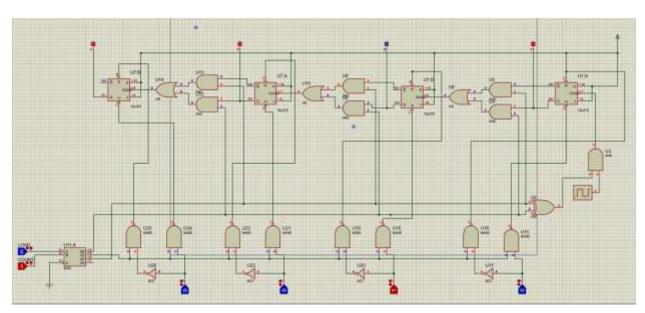


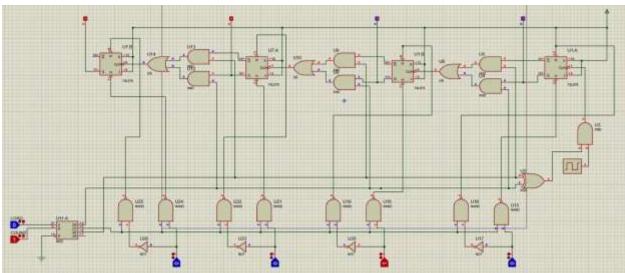


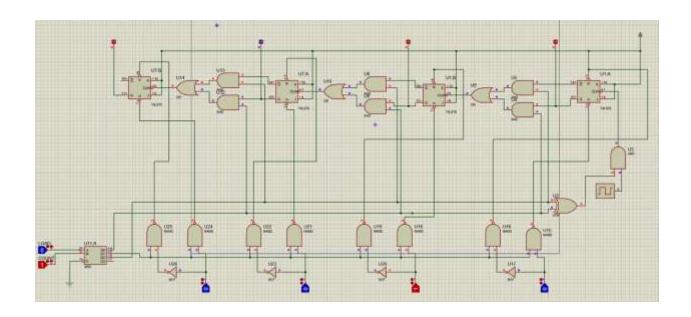
دالت ۱۰ یا count down:







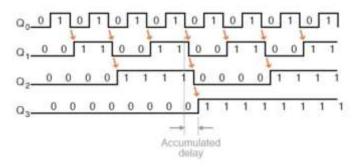




توجه مهم:

از آنجا که خروجیها به هم وابستهاند، هر چه تعداد بیتهای تغییر یافته در یک پالس کلاک بالاتر برود، تاخیر مدار در بدست آوردن خروجی درست هم بیشتر میشود .

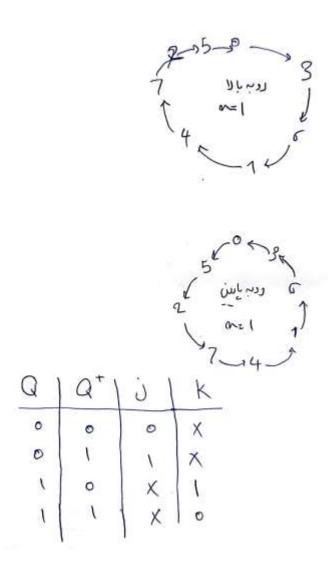
Pulse diagram showing (exaggerated) propagation delays



پس در بازهای خروجی مدار، خروجی اشتباهی خواهد بود. برای حل این مشکل از مدار های سنکرون استفاده می کنیم که وابسته به خروجی قبلی نبوده و در نتیجه خطای زمانی ندارند.

### ۲ - شمارنده دودویی سنکرون

در این قسمت باید با استفاده از سه فلیپ فلاپ JK یک شمارنده سنکرون بسازیم که اعداد صفر تا هفت را سه تا سه تا بشمارد.این شمارنده یک ورودی X دارد که جهت شمارش را مشخص می کند یعنی X=0 شمارش رو به بالا است.



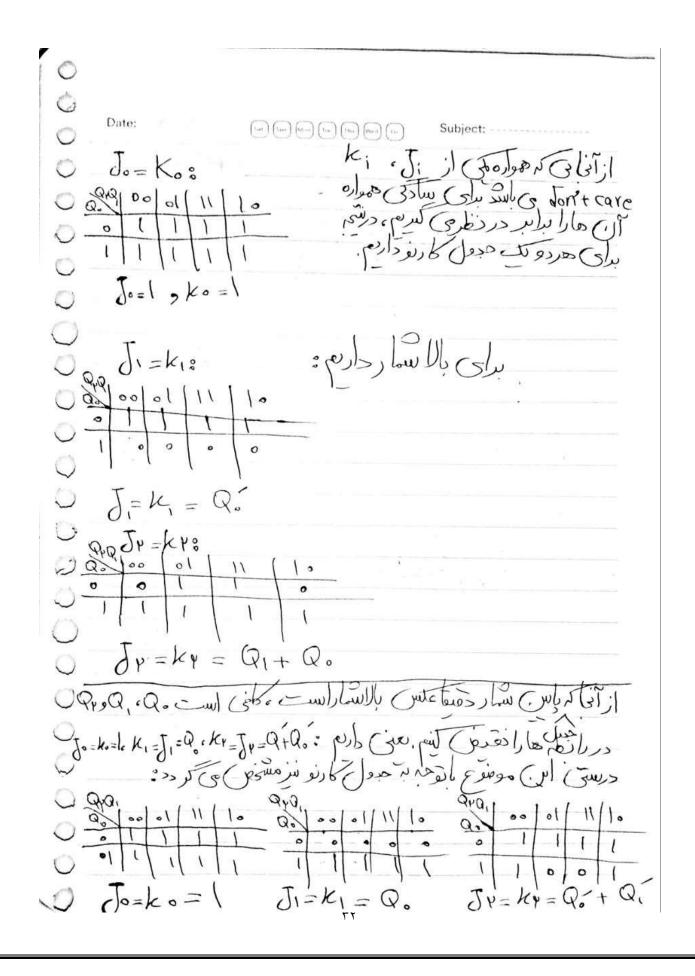
با توجه به جدول تحریک داریم:

ره الم ماسي

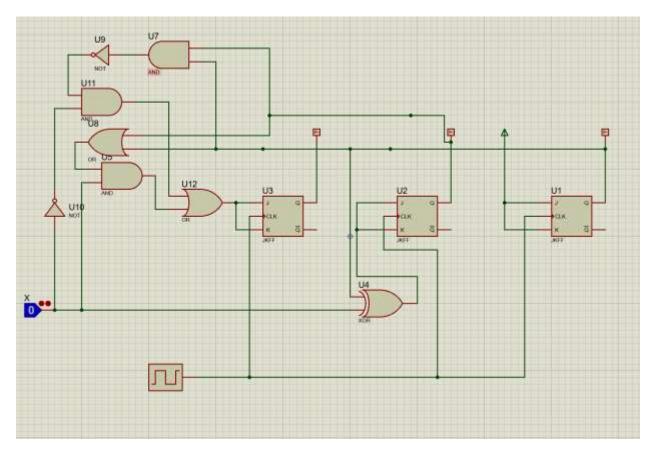
Q	+	Q,	a.	1 92	Q,	t Q.	1 1 2 k2	i, k,	jo Ka
0		0	o	1	0	(	/ X	οX	\ x
- (	0	0		1	1	0	( x	ιx	χı
	0	1	0	1	1	1	\ \ X	Χo	\ X
	0	1	- (	6	6	o	οX	χı	X I
	1	0	O	0	o	ţ	χl	eχ	١x
	ι	0	1	0	(	ю	) ×	ΙX	ΧI
	ф	1	- <b>®</b>	0	1	١	X 1	χo	1 1
	1	1	(	1	0	9	Χο	χ (	X (
						ļ			

m=1		11/ 11						
$Q_2$	a,	a. 1	at	a,t	Q.t	1 J2 k2	j, k,	Jako
0	0	0	0	1	Ť.	o X	1 ×	IX
0	o	ı	١	0	O	١x	0 1	x (
0	1	0	- 1	0	l	1 1	×ι	ιx
0	ı	(, -5	1	١	0	/ X	Хо	X (
١	Ø	d	(	1	V	Χo	1x	( ×
(	0		0	٥	0	ΧI	οX	X I
'	1	0	0	б	1	ΧI	KI	1 X
1	- (	1	0	1	0	XI	Xo	X I

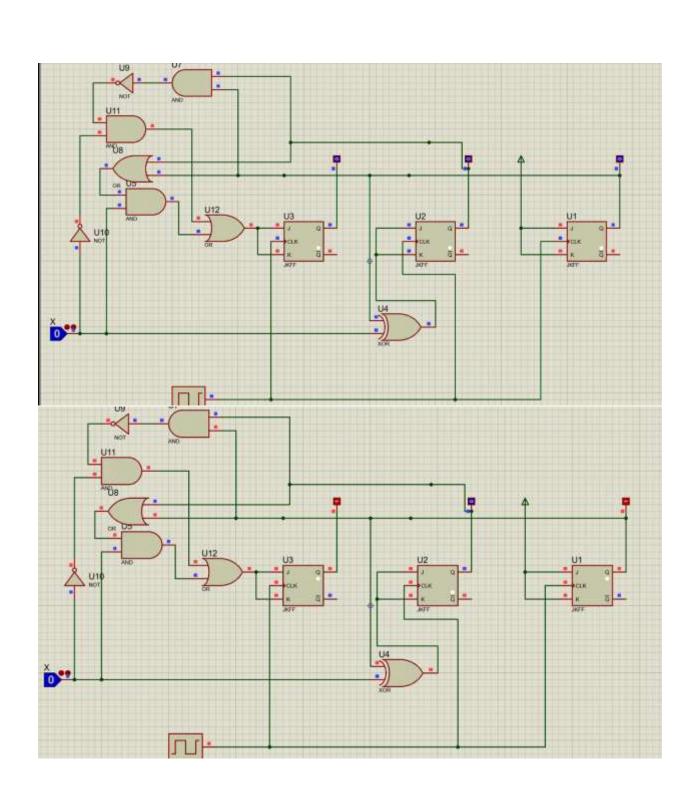
بر اساس جداول ساده میکنیم و مدار را رسم میکنیم:

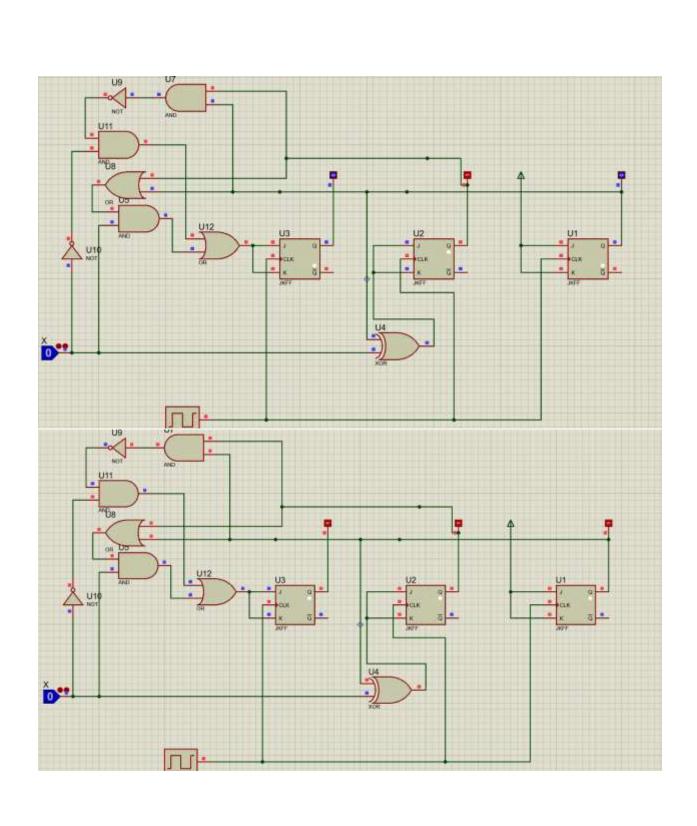


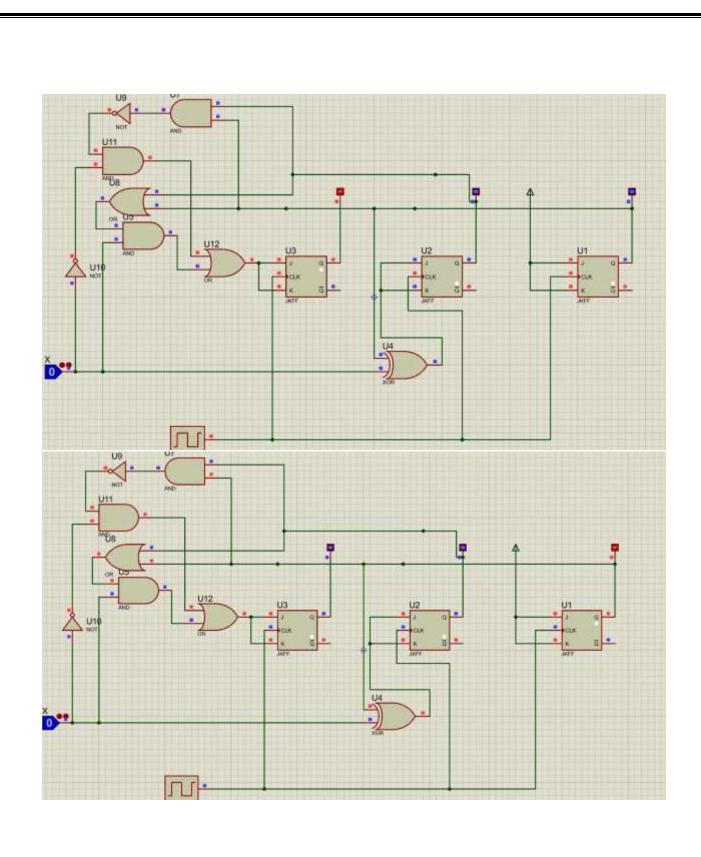
# شکل کلی مدار به صورت زیر است:

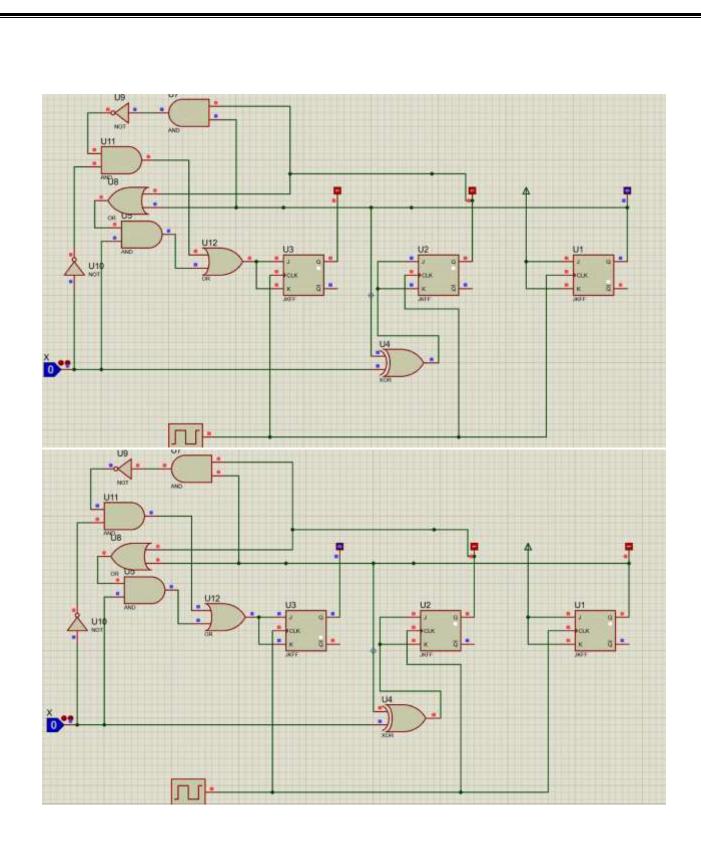


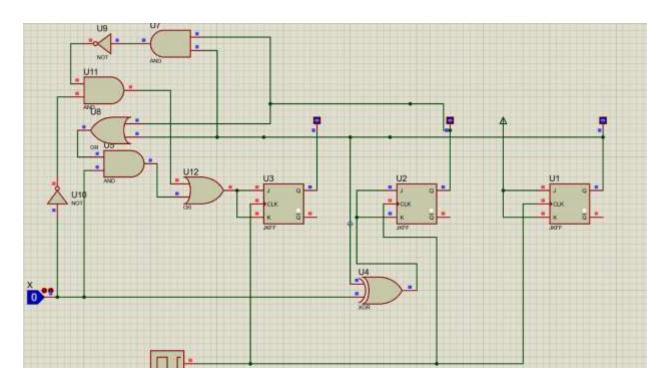
: را می بینیم  $\mathbf{x}=0$  که بر اساس معادله های به دست امده رسم شده است حال شمارش رو به پایین



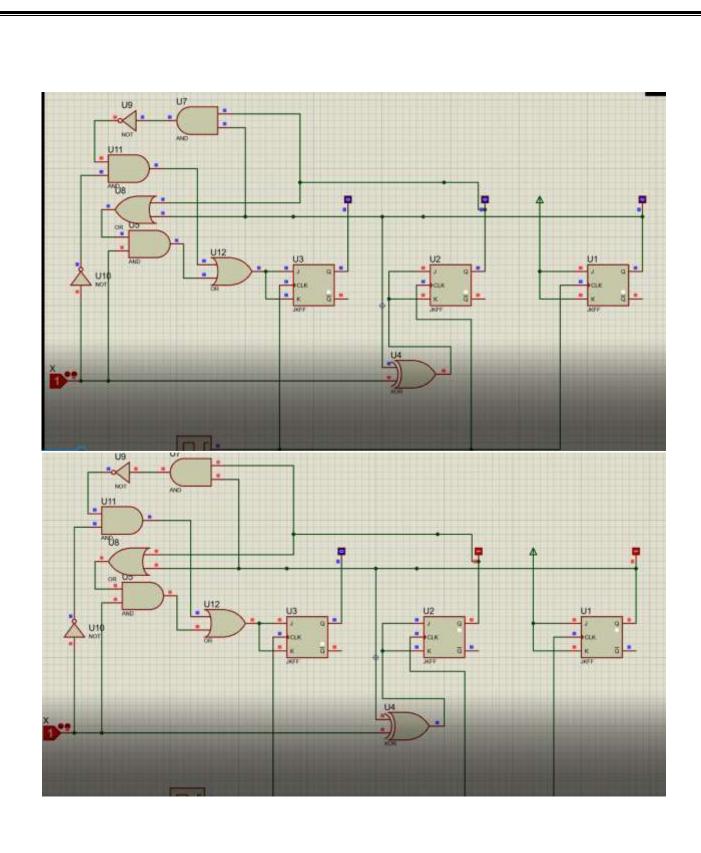


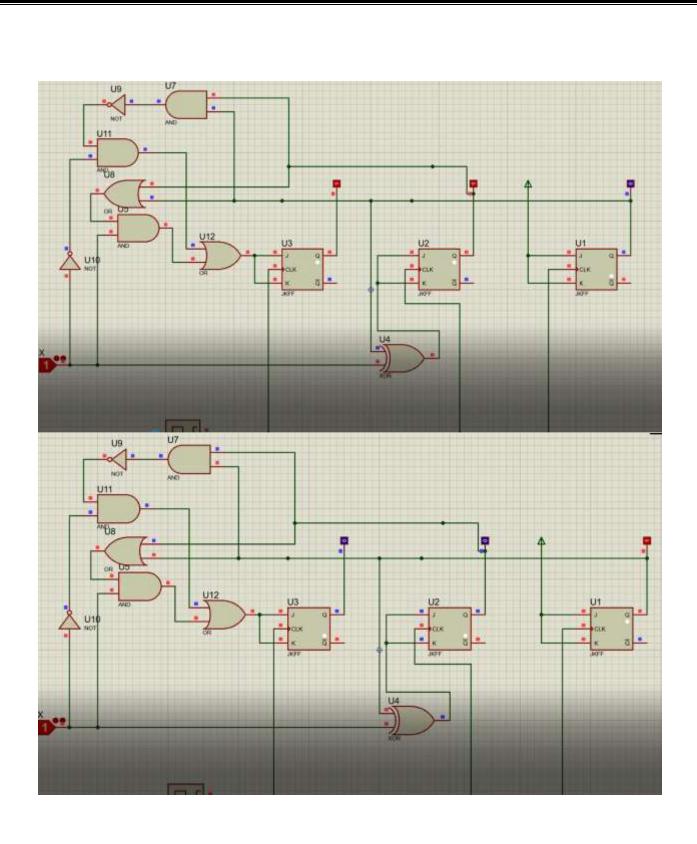


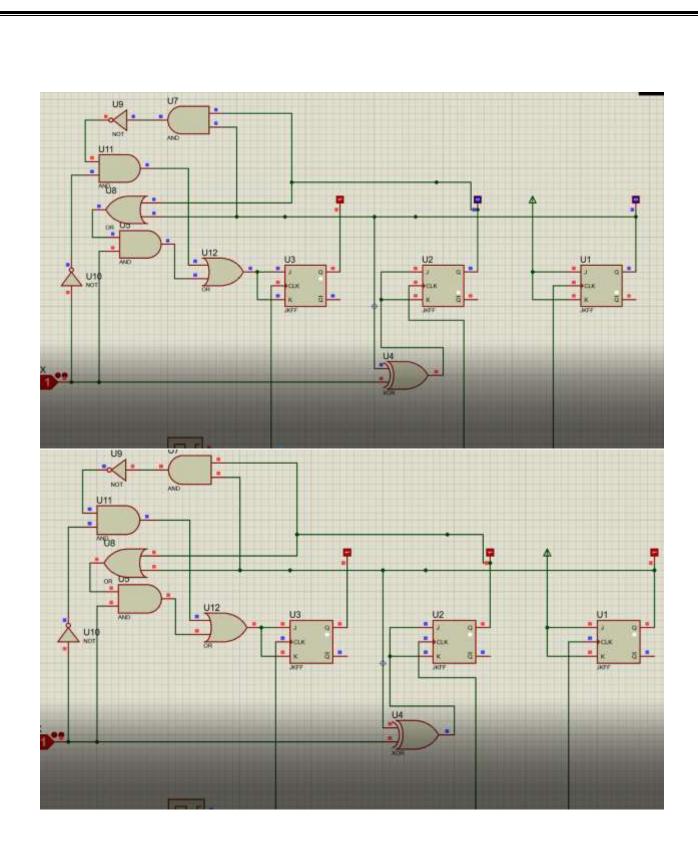


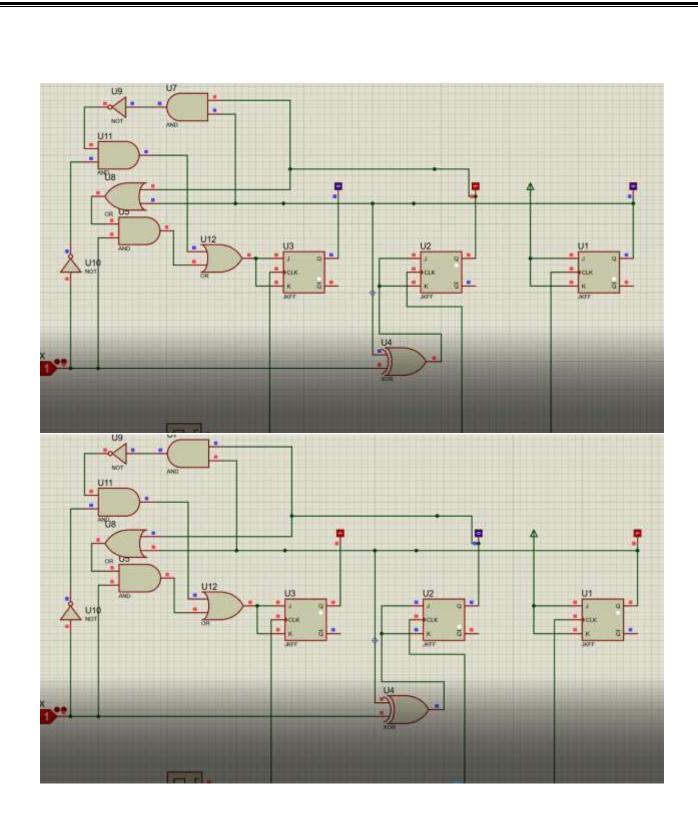


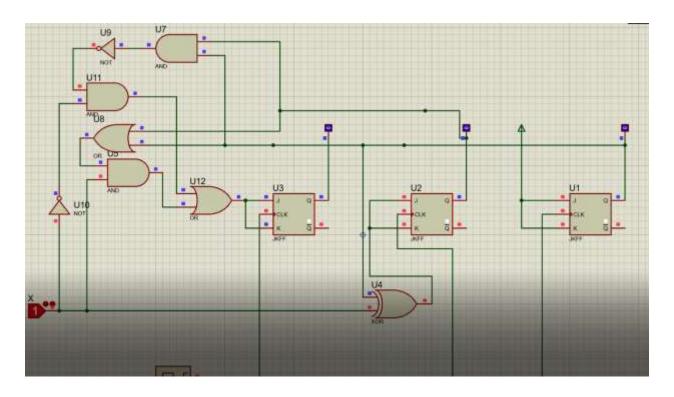
شمارش رو به بالا x=1











# ۳- شمارنده BCD

وسایل مورد نیاز:

دو تراشه ۷۴۱۹۰

کلاک

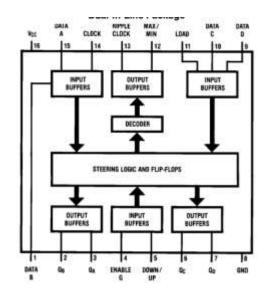
دو سون سگمنت

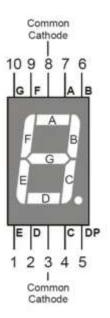
گیت های مورد نیاز

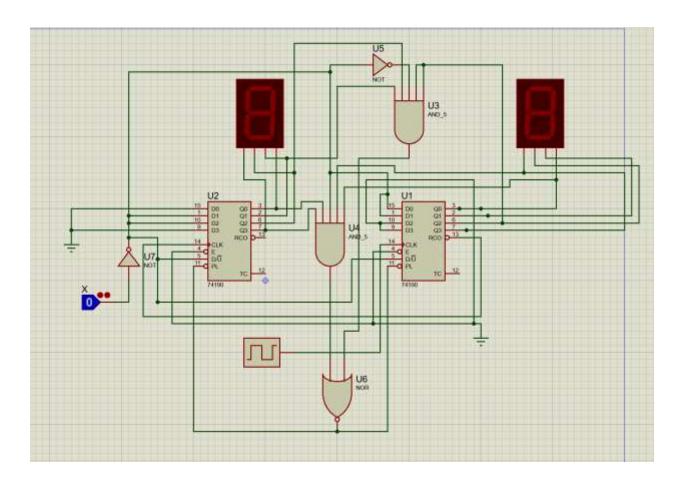
تئوری آزمایش:

قرار است یک شمارنده برای شمارش اعداد ۰ تا ۶۳ بسازیم

با توجه به دیتا شیت های تراشه ۷۴۱۹۰ و سون سگمنت باید سعی کنیم مدار را ببندیم.







نمای کلی مدار به صورت بالا می باشد اول از همه باید بدانیم تراشه Y۴۱۹۰ قابلیت مقدار دهی اولیه و شمارش رو به بالا و پایین دارد ورودی D/U برای شمارش است که به X باید متصل باشد یعنی اگر X=1 باشد شمارش رو به بالا است در نتیجه ورودی D/U هر دو تراشه را به X متصل میکنیم

CLOCK تراشه متصل به سون سگمت اول را به کلاک و CLOCK تراشه دوم را به RCO تراشه اول متصل کرده در این صورت اگر تراشه اول OVER FLOW کند کلاک ۷۴۱۹۰ دوم فعال می شود

Enable هر دو نيز به Ground متصل است

حال برای ما مطلوب است که اگر شمارنده به ۶۴ رسید در تراشه ها ۰ لود شود و اگر به ۹۹ رسید ۶۳ را لود کند، برای اینکار از دو گیت اند U و U استفاده کرده ایم U برای زمانی است که شمارش رو به بالا است و به ۶۴ می رسد که برای اینکار ورودی های اند را X و از U که قرار است V را نمایش دهد V و از V که V را

نمایش میدهد Q2,Q1 را متصل کردیم که موقعی که همه این ورودی های اند یک باشند یعنی شمارش رو به بالا است و به عدد ۶۴ رسیده

X' حال اگر U2,U1 هر دو نه شوند دراین صورت باید ۶۳ لود شود که برای اینکار از گیت اند U4 که متصل به U2,U1 و U3,U3 از هر دو تراشه است استفاده میکنیم که نشان میدهد هر دو شمارنده به ۹ رسیده و شمارش رو به پایین است.

حال این دو گیت اند را به یک NOR متصل کرده زیرا load تراشه ها active low هستند پس در صورتی که یکی از این and مود او فعال شده و ورودی میگیرند

در تراشه ,U1 ورودی D0,D1 به ایکس نات متصل شده و ورودی GROUND به GROUND در این صورت وقتی که شمارش رو به بالا باشد و صفر لود میشود و اگر شمارش به پایین باشد ۳ لود می شود

در تراشه U2 ورودی U2 به ایکس نات که در صورتی که شمارش رو به بالا باشد U3 به ایکس نات که در صورتی که شمارش رو به بالا باشد U3 لود شده و در صورتی که شمارش رو به پایین باشد U3 لود می شود .

فيلم عملكرد اين مدار ضميمه شده است.

برای بخش عملی نیز دقیقا همین مدار را پیاده سازی می کنیم، به این صورت که ground ها را به بخش منفی مدار، vcc ها را به سطر مثبت برد بورد متصل می کنیم که مستقیما به منبع تغذیه متصل هستند. برای سیگنال کلاک هم از function generator استفاده می کنیم. یعنی:

موج را به شکل مربعی (Square) و فرکانس را ۱ هرتز قرار می دهیم. کانتکور BNC پراب را به Output فانکشن ژنراتور وصل میکنیم .

سوسماری قرمز را به یک نقطه دیگر از خط افقی ای که سر مثبت clock روی وصل است وصل میکنیم.

سوسماری سیاه را به یک نقطه دیگر از خط افقی ای که انتهای مقاومت روی آن وصل است و به بخش منفی متصل است و صل می کنیم.

دكمه output را فعال مي كنيم.

تصاویری از ساختمان مدار عملی به فایل ضمیمه شده اند. در قسمت عملی یکی از آی سی های شمارنده سوخته بود، (که در آخر به طور جداگانه تست کردیم) به این دلیل تنها تصاویر ساختمان مدار ضمیمه شده اند.

پایان