

## پروژه ی پایانترم درس طراحی کامپیوتر و سیستم های دیجیتال

نیکا شاه بیک

شماره دانشجویی: ۴۰۰۲۱۳۰۱۳

گزارش پروژه:

✚ مشکلاتی که در حین طراحی، کدنویسی، شبیه سازی با آنها مواجه شدید:

مشکلات طراحی: برای طراحی مشکلی که داشتم طراحی پروسه ای بود که باید در آن به هر

حالت کاراکتر مخصوص را انتساب می دادیم که با مراجعه به گوگل رفع شد.

مشکلات کد نویسی: برای کد نویسی یکی از مشکلاتی که داشتم در قسمت **process4** بود

وقتی کد را کامپایل می کردم با ارور

**case statement choices cover only 3 out 81 cases**

مواجه می شدم که با اضافه کردن **When others** مشکل رفع شد. چون در حالت قبل فقط

حالت های ۰۰ و ۱۱ و ۰۱ بررسی می شد و سایر حالت ها در ابهام قرار می گرفت که با افزودن

بخشی که گفته شد، مشکل رفع شد.

یکی دیگر از مشکلات کد نویسی کاراکترهایی بود که باید متناظر با هر حالت نمایش داده می شد.

مشکلات شبیه سازی: برای نوشتن **test bench** مشکل خاصی نداشتم.

🌈 گزارش شبیه سازی به همراه تصاویر آن:

توضیحات مربوط به شبیه سازی در کد **test bench** کامنت شده است ولی برای توضیح بیشتر:

ابتدا عمل ریست را انجام می دهیم و سیستم در حالت ۱۱ قرار می گیرد.

سپس ابتدا حالت هایی که سنسور دما و نور ۰ باشد و  $M > 011$  باشد یعنی حالت هایی که داشته

باشیم:  $M = 100, 101, 110, 111$  پیاده سازی می شوند که با توجه به ماشین **FSM** داده شده در

فایل پروژه در تمامی این حالت ها در حالت اولیه باقی می ماند.

سپس ما اکنون در حالت قرار داریم اکنون حالت هایی که در آن دما و نور ۱ باشد و  $M > 001$

باشد را بررسی می کنیم. یعنی حالت هایی که داشته باشیم:  $M = 010, 011, 100, 101, 110, 111$

پیاده سازی می شود که با توجه به ماشین داده شده در تمامی این حالات در حالت اولیه می مانیم.

سپس ریست را انجام داده و ماشین را به ۱۱ می رسانیم. حالتی که دما و نور برابر با مقدار صفر باشند

و  $M \leq 011$  باشد یعنی حالت های  $M = 011, 010, 001, 000$  را پیاده سازی می کنیم که در تمامی

این حالت ها ما دارای تغییر حالت و رفتن به حالت ۰۱ هستیم که هر مرتبه باید ریست کنیم.

حالا حالتی که دما و نور ۱ باشد و  $M \leq 001$  باشد یعنی  $M = 001, 000$  را بررسی می کنیم در تمام

این حالت ها سیستم باید به حالت ۰۱ برود، پس در هر بار یک بار عمل ریست را انجام می دهیم.

حالا در حالت ۰۱ قرار داریم در این حالت حالتی که دما و نور صفر باشد و  $M < 111$  باشد را بررسی

می کنیم یعنی حالت های  $M = 000, 001, 010, 011, 100, 101, 110$  را بررسی می کنیم که در

تمام این حالات سیستم باید در ۰۱ باقی بماند.

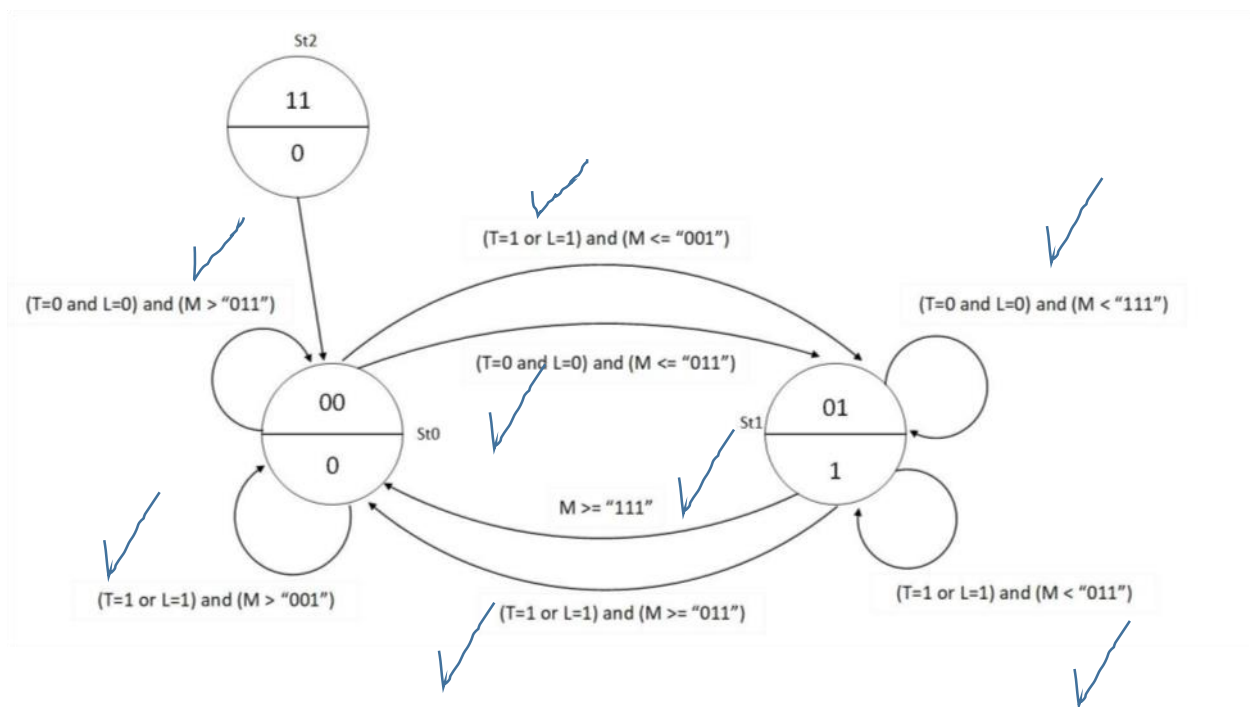
همچنان در حالت ۰۱ قرار داریم در این حالت زمانی که دما و نور ۱ باشد و  $M < 011$  باشد یعنی شرایط

$M = 000, 001, 010$  را بررسی کرده که در تمامی این حالات باید همچنان در حالت ۰۱ باقی بماند.

حالا در حالت ۰۱ قرار داریم چنانچه سنسور دما و نور ۰ باشد و  $M = 111$  باشد به حالت ۰۰ بر می گردیم.

و دوباره شرایط رفتن به ۰۱ از ۰۰ را مهیا کرده و حالت های مختلف دما و نور با  $M = 111$  را انجام می دهیم.

سپس در حالت ۰۱ تمام حالت هایی که دما و نور ۱ باشد و  $M \geq 011$  باشد را بررسی می کنیم. و بدین ترتیب تمامی حالت ها پوشش داده شد. در شکل زیر ماشین FSM مشاهده می شود:



در صفحات بعد تصاویر مربوط به شبیه سازی با Modelsim قرار داده شده است.

## ابتدا کامپایل Watering System

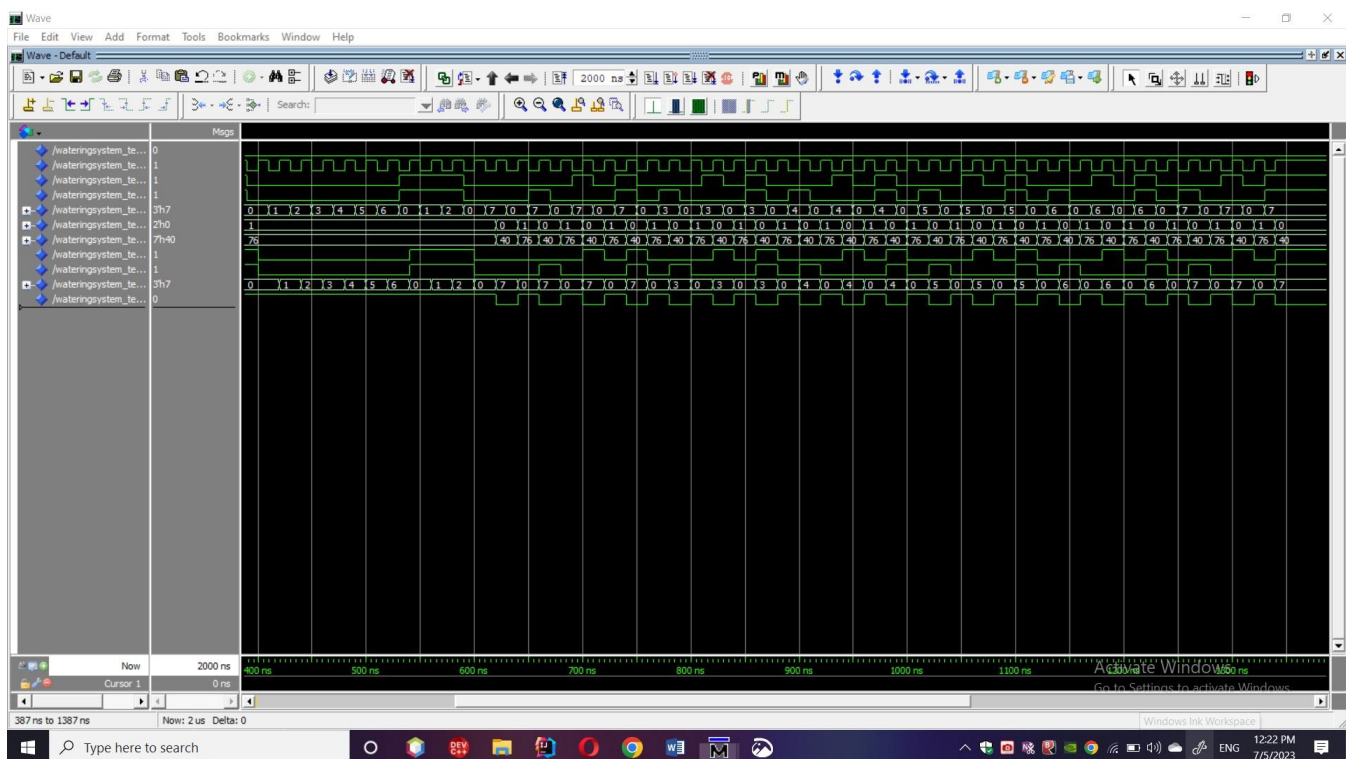
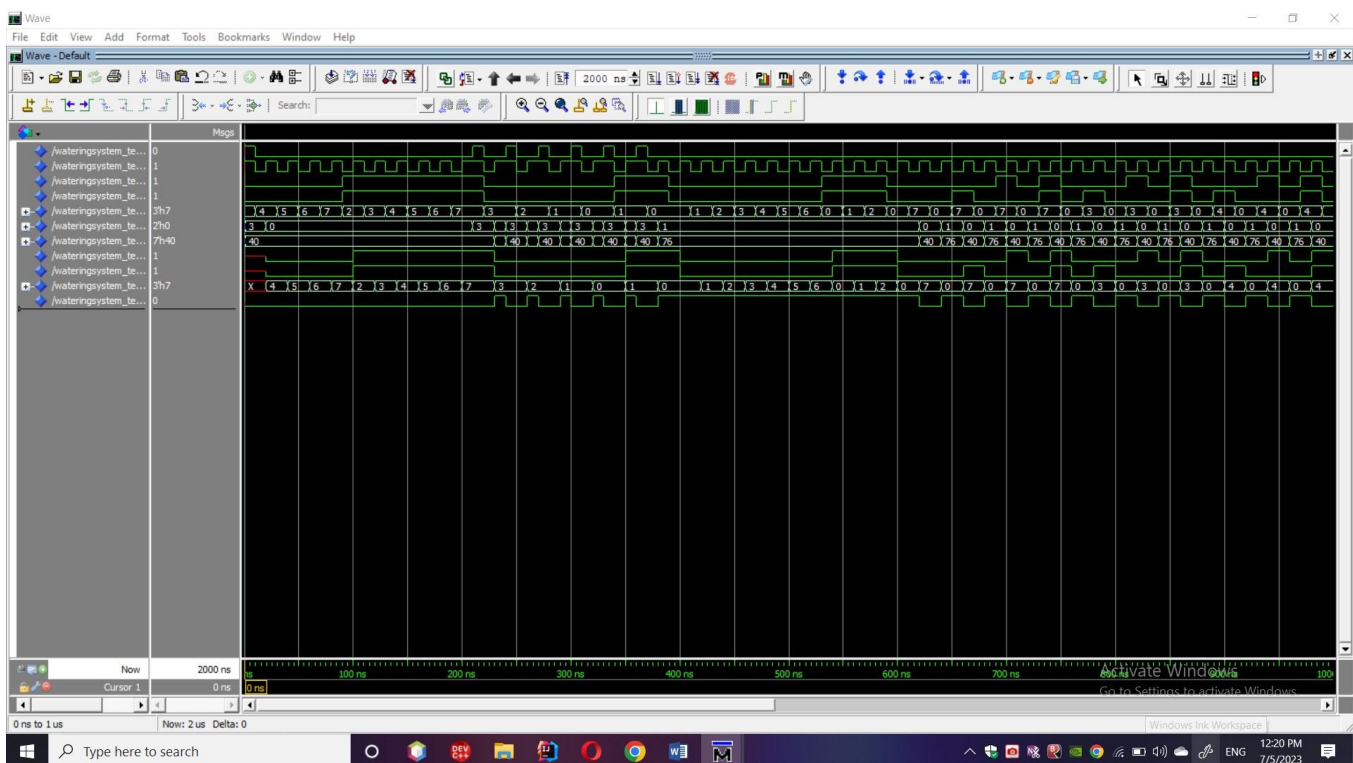
```
# //
vcom -reportprogress 300 -work work {C:/Users/Asus/Desktop/VHDL_PROJECT_NIKA SHAHBEYK/WateringSystem.vhd}
# Model Technology ModelSim SE-64 vcom 2020.4 Compiler 2020.10 Oct 13 2020
# Start time: 07:51:24 on Jul 05,2023
# vcom -reportprogress 300 -work work C:/Users/Asus/Desktop/VHDL_PROJECT_NIKA SHAHBEYK/WateringSystem.vhd
# -- Loading package STANDARD
# -- Loading package TEXTIO
# -- Loading package std_logic_1164
# -- Loading package NUMERIC_STD
# -- Compiling entity WateringSystem
# -- Compiling architecture behavioral of WateringSystem
# End time: 07:51:25 on Jul 05,2023, Elapsed time: 0:00:01
# Errors: 0, Warnings: 0

ModelSim>
```

## کامپایل test bench

```
vcom -reportprogress 30 -work work {C:/Users/Asus/Desktop/VHDL_PROJECT_NIKA SHAHBEYK/testbench.vhd}
# Model Technology ModelSim SE-64 vcom 2020.4 Compiler 2020.10 Oct 13 2020
# Start time: 07:54:39 on Jul 05,2023
# vcom -reportprogress 30 -work work C:/Users/Asus/Desktop/VHDL_PROJECT_NIKA SHAHBEYK/testbench.vhd
# -- Loading package STANDARD
# -- Loading package TEXTIO
# -- Loading package std_logic_1164
# -- Loading package NUMERIC_STD
# -- Compiling entity WateringSystem_Test
# -- Compiling architecture behavioral2 of WateringSystem_Test
# End time: 07:54:39 on Jul 05,2023, Elapsed time: 0:00:00
# Errors: 0, Warnings: 0
```

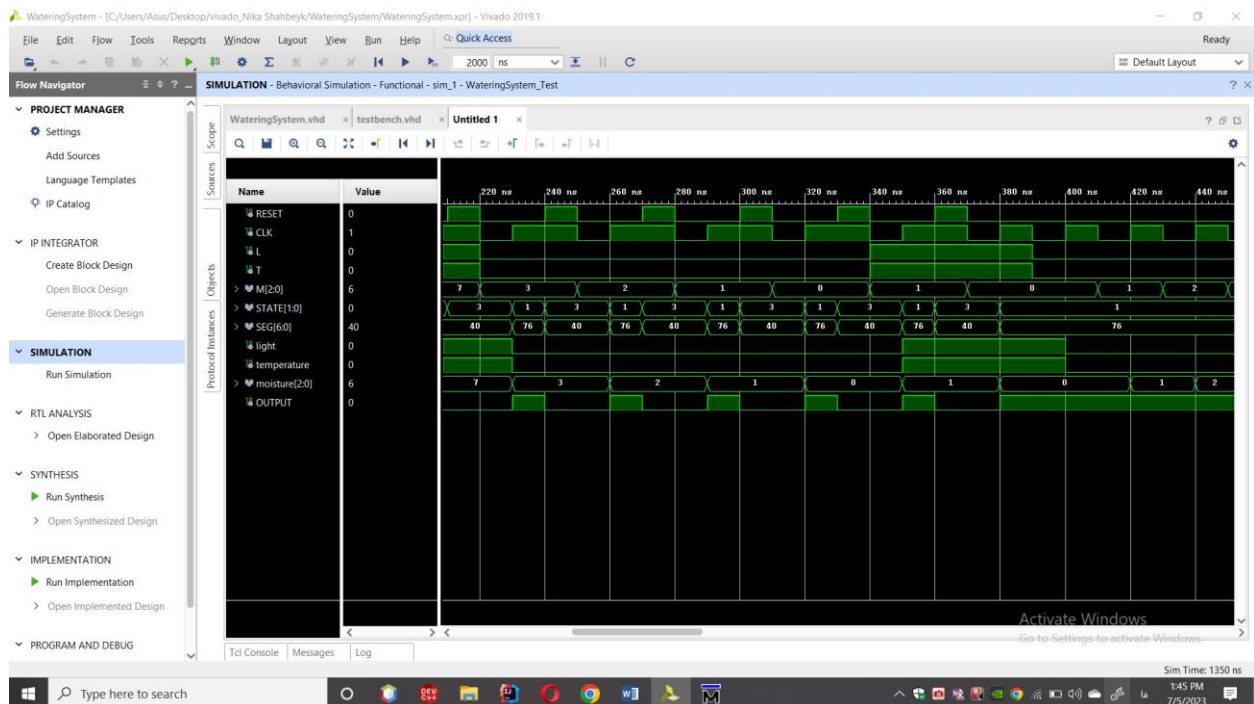
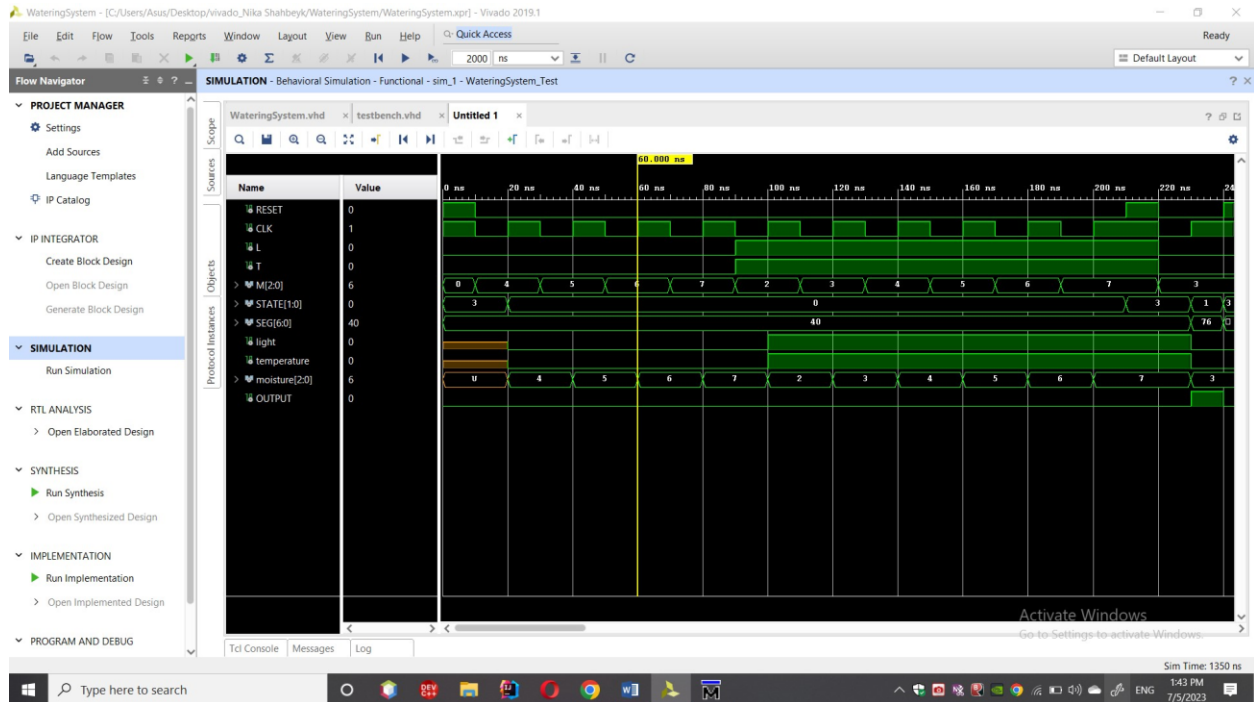
در صفحه ی بعد قسمت شبیه سازی test bench را مشاهده خواهیم کرد:

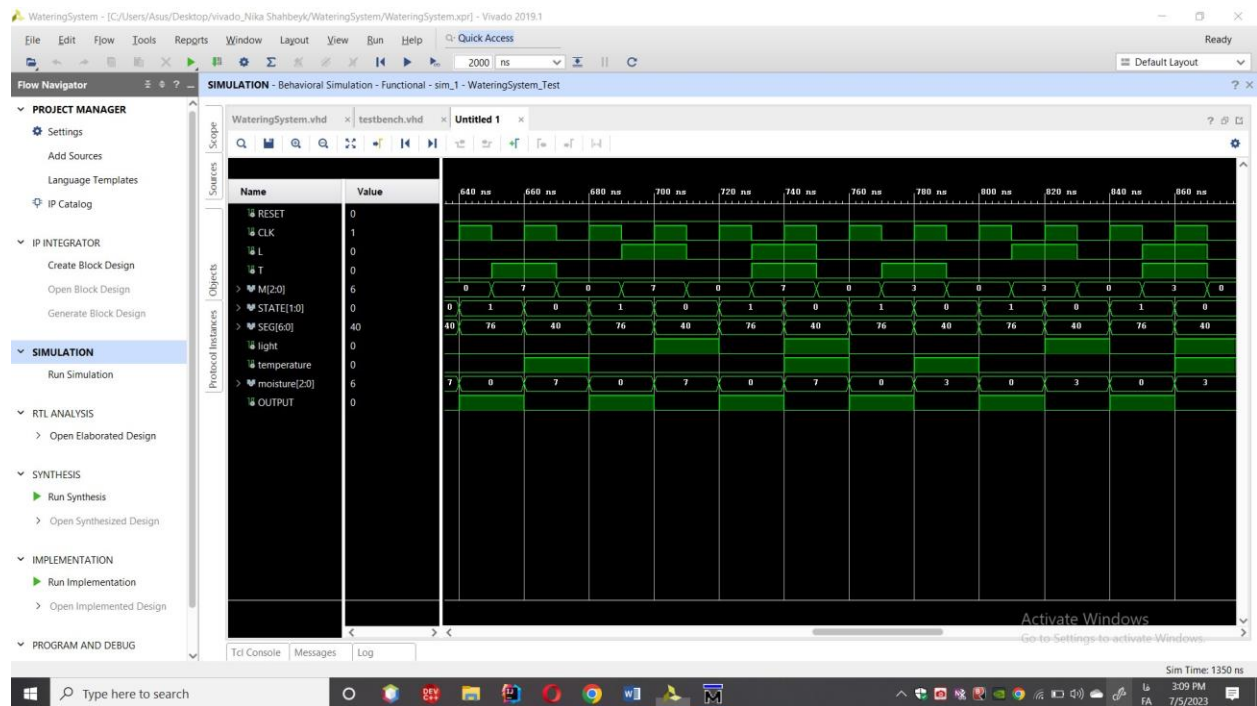
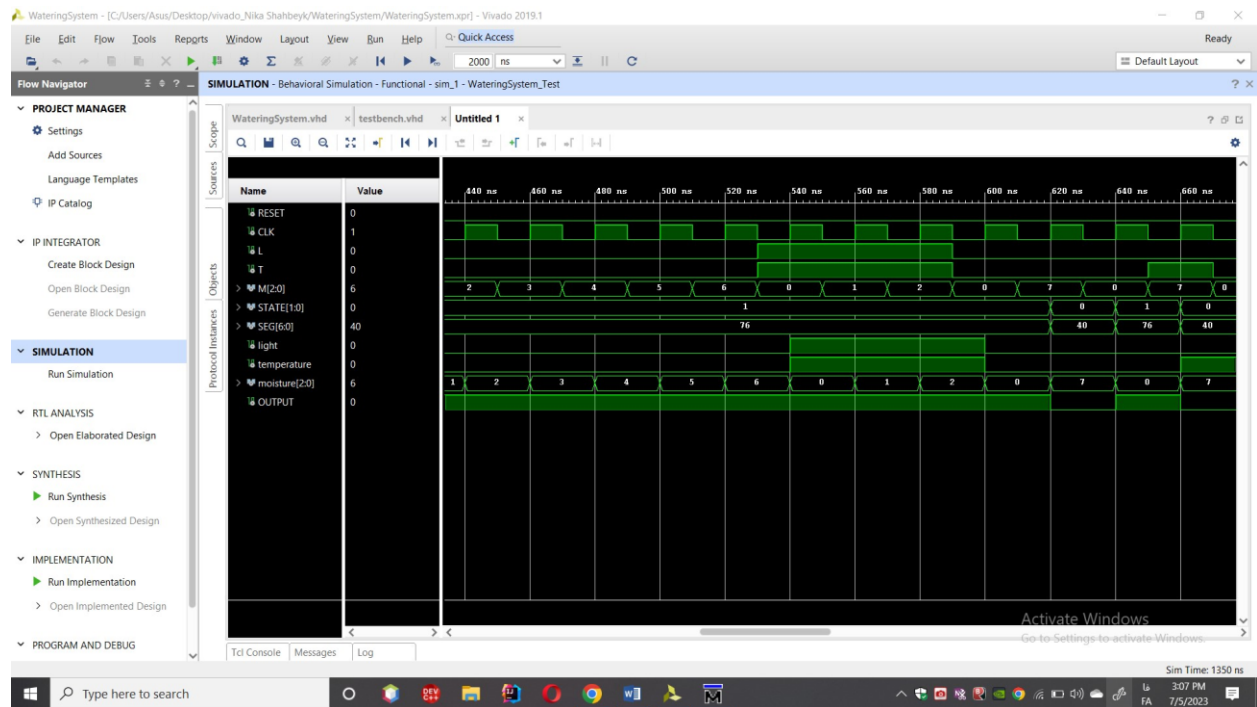


وقتی برای دو تا ۱۰۰۰ نانو ثانیه اجرا می کنیم چون که کل زمان لازم برای آن کمتر از ۲۰۰۰ نانو ثانیه است. از ثانیه ی خاصی که مشاهده می کنیم دیگر مقادیر ثابت می ماند.

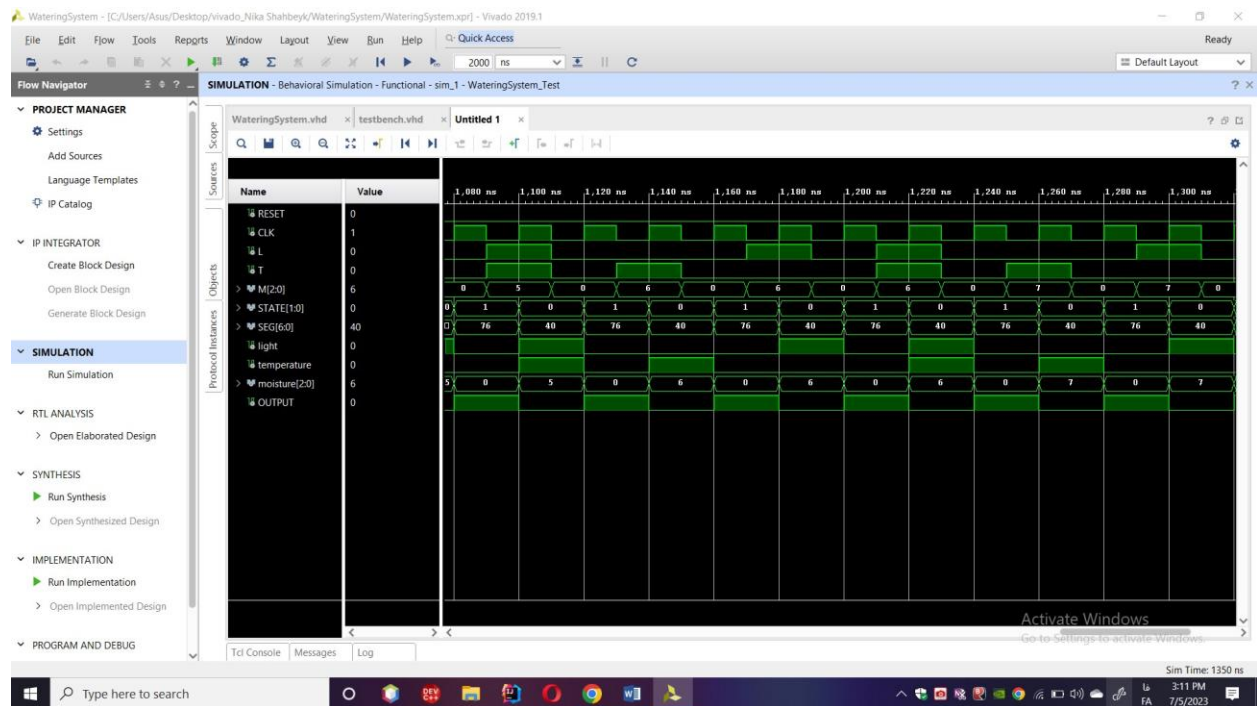
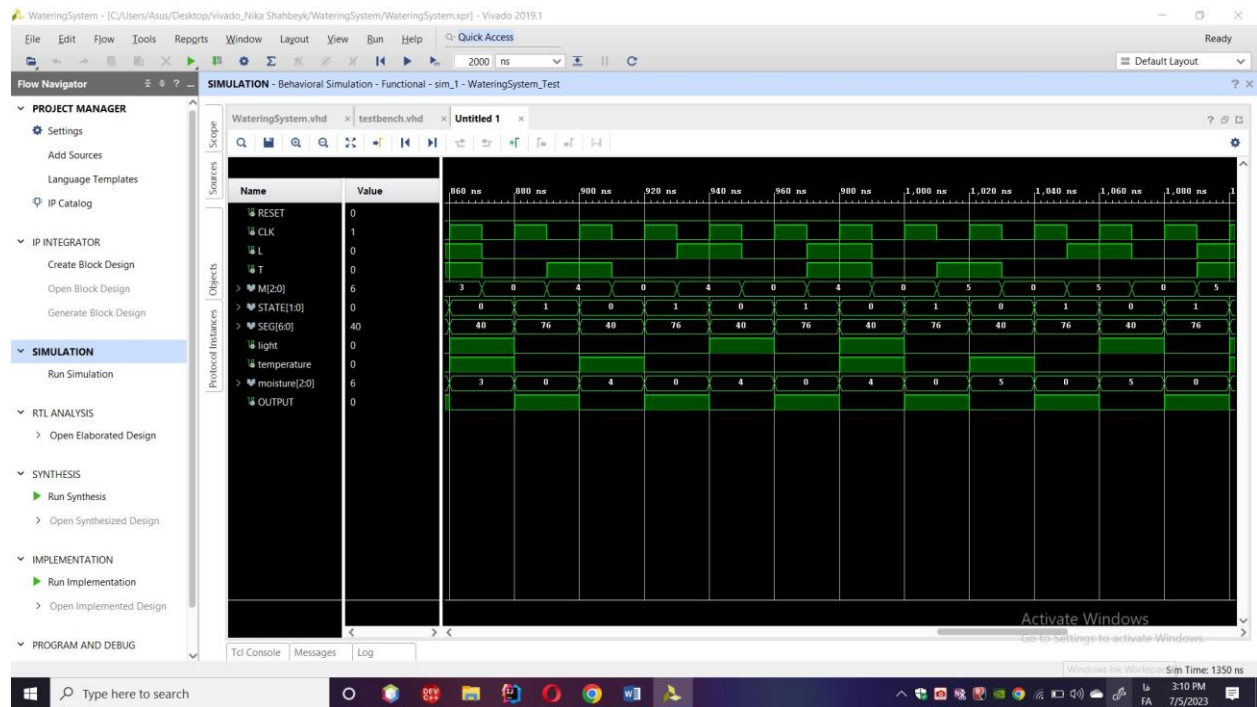
کار با vivado و سنتز:

ابتدا به شبیه سازی کد با vivado می پردازیم:

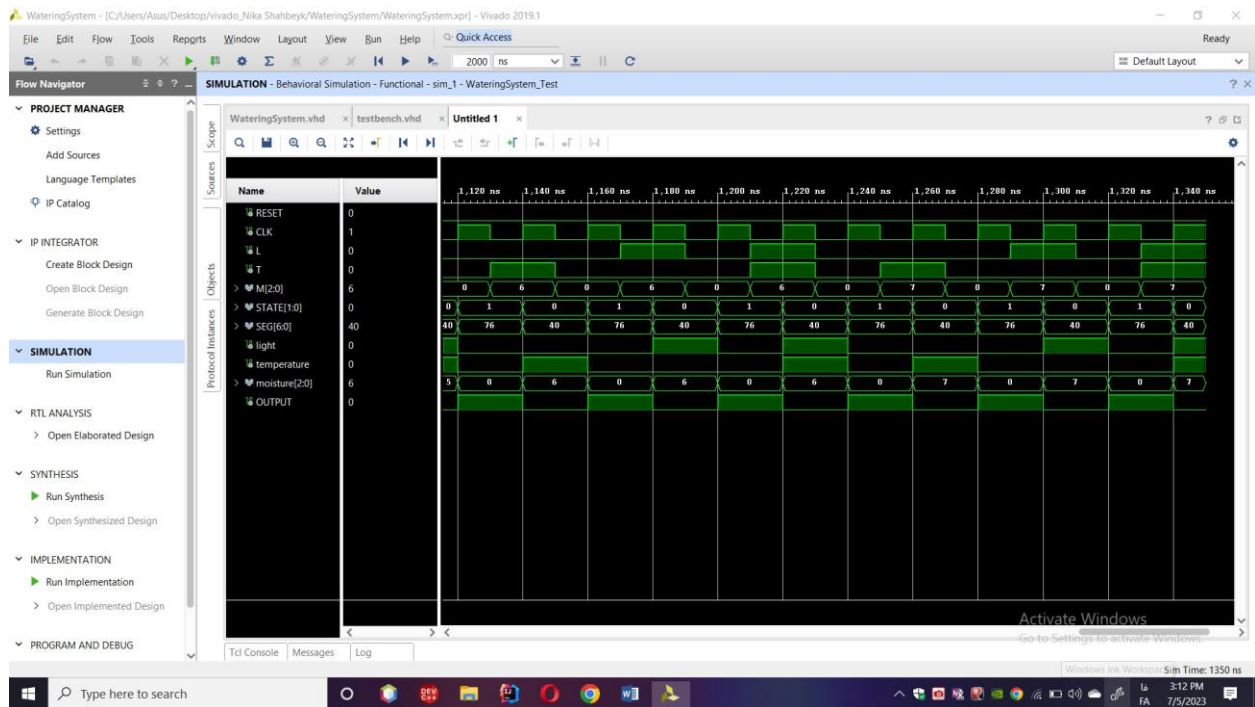




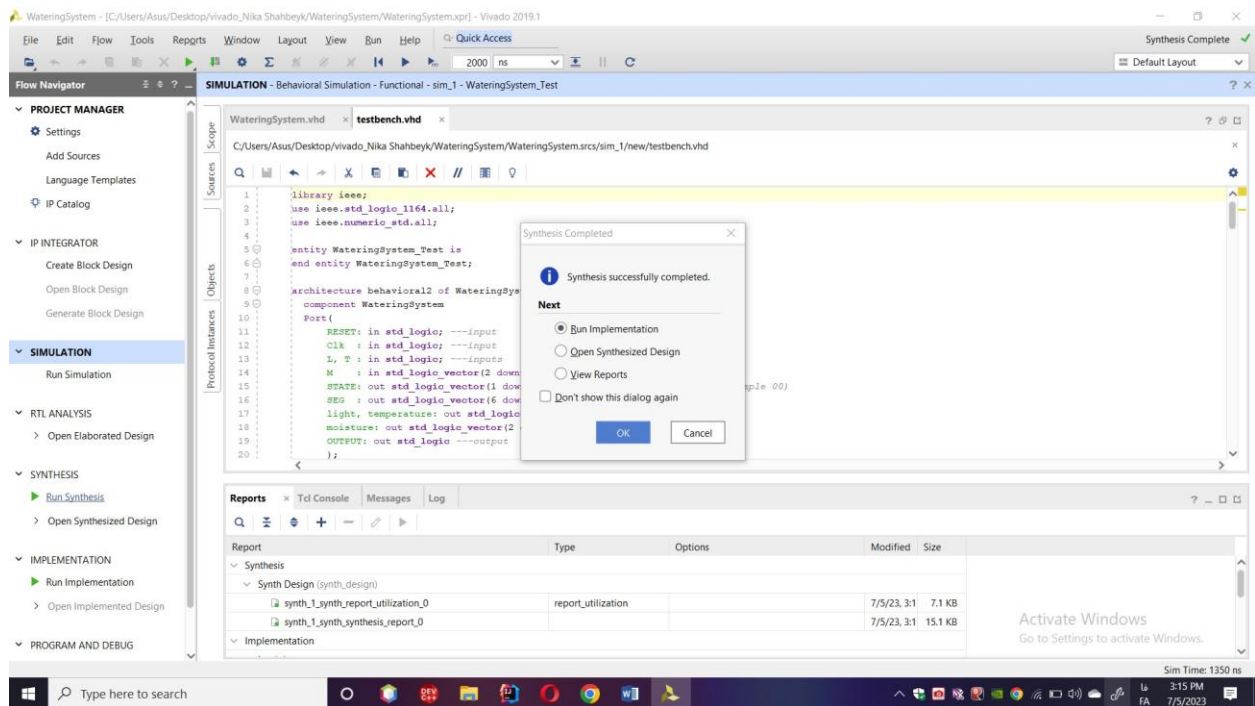








حال به سراغ سنتز می رویم:



حالا به سراغ دیدن رپورت ها می رویم:

### Project Summary

Overview | Dashboard

Settings [Edit](#)

Project name: WateringSystem  
 Project location: C:/Users/Asus/Desktop/vivado\_Nika Shahbeyk/WateringSystem  
 Product family: Virtex-7  
 Project part: xc7vx485tffg1157-1  
 Top module name: WateringSystem  
 Target language: Verilog  
 Simulator language: Mixed

### Synthesis

Status: ✔ Complete  
 Messages: ⚠ 4 warnings  
 Part: xc7vx485tffg1157-1  
 Strategy: Vivado Synthesis Defaults  
 Report Strategy: Vivado Synthesis Default Reports  
 Incremental synthesis: None

### Implementation

Status: Not started  
 Messages: No errors or warnings  
 Part: xc7vx485tffg1157-1  
 Strategy: Vivado Implementation Defaults  
 Report Strategy: Vivado Implementation Default Reports  
 Incremental implementation: None

### DRC Violations

[Run Implementation](#) to see DRC results

### Timing

[Run Implementation](#) to see timing results

### Power

[Run Implementation](#) to see power results

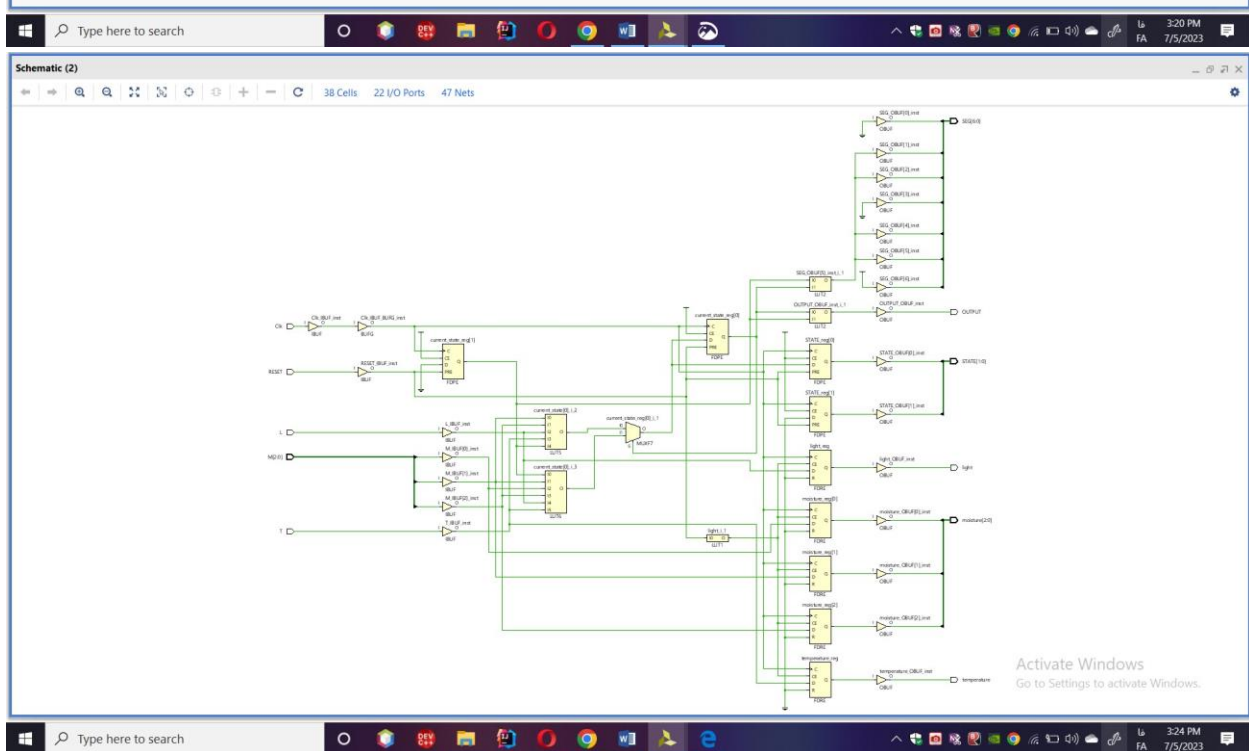
### Utilization

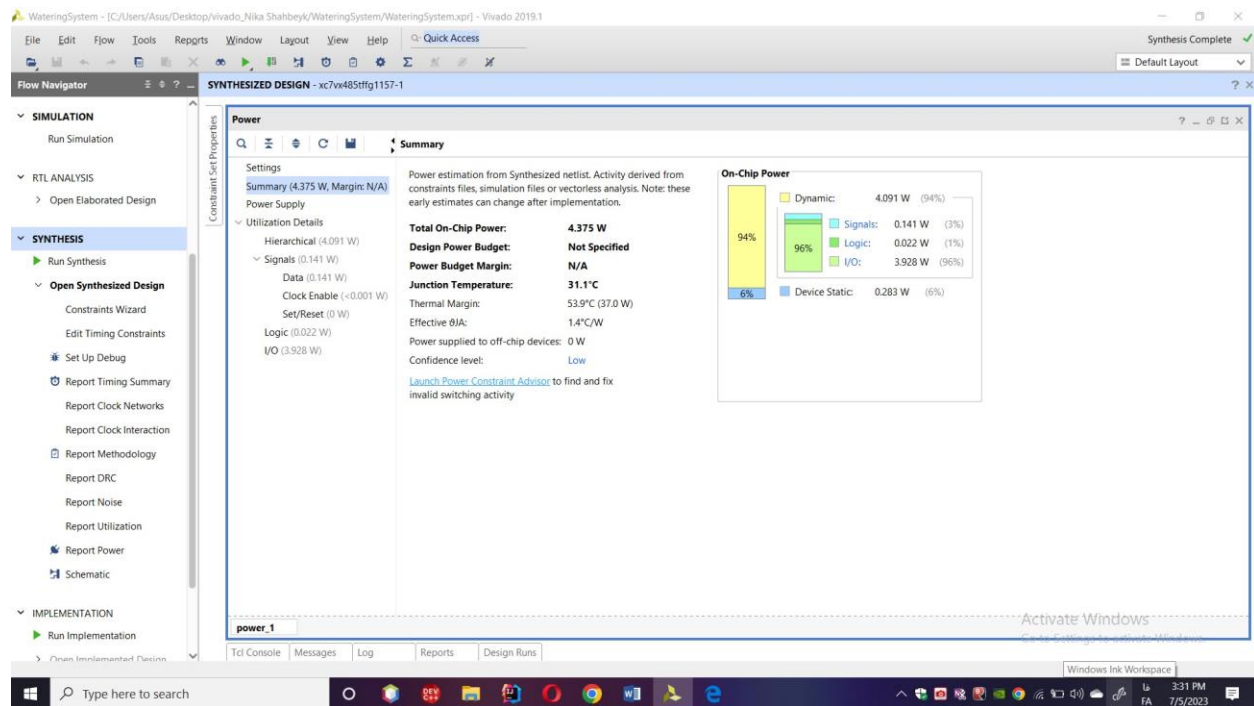
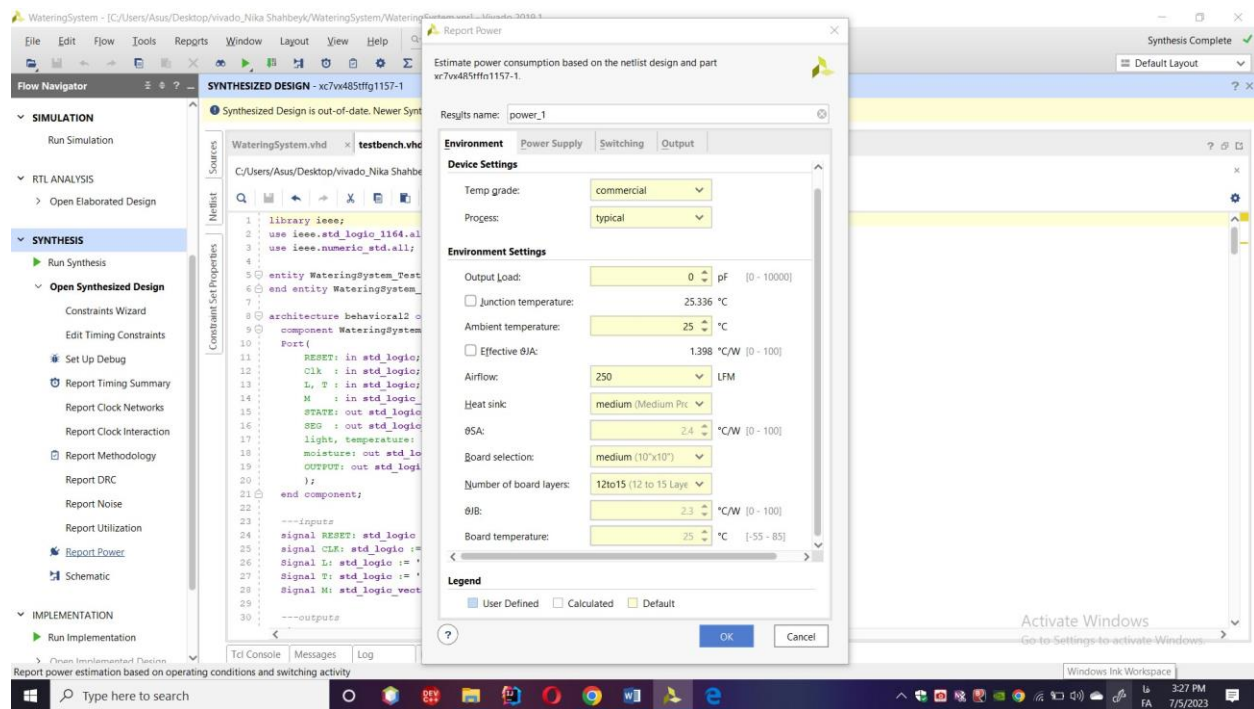
Post-Synthesis | Post-Implementation

Graph | Table

Resource	Utilization (%)
LUT	1%
FF	1%
IO	4%
BLUFG	3%

Estimated Utilization (%)





WateringSystem - [C:/Users/Asus/Desktop/vivado/Nika Shahbeyk/WateringSystem/WateringSystem.xpr] - Vivado 2019.1

File Edit Flow Tools Reports Window Layout View Help Quick Access

Synthesis Complete ✓

I/O Planning

Flow Navigator

SYNTHESIZED DESIGN - xc7vx485tffg1157-1

Settings

- Add Sources
- Language Templates
- IP Catalog
- IP INTEGRATOR
  - Create Block Design
  - Open Block Design
  - Generate Block Design
- SIMULATION
  - Run Simulation
- RTL ANALYSIS
  - Open Elaborated Design
- SYNTHESIS
  - Run Synthesis
  - Open Synthesized Design
    - Constraints Wizard
    - Edit Timing Constraints
    - Set Up Debug
    - Report Timing Summary
    - Report Clock Networks
    - Report Clock Interaction

Sources

Netlist

Device Constraints

Internal VREF

- 0.6V
- 0.675V
- 0.75V

Drop I/O banks on voltages or the "NONE" folder to set/unset Internal VREF.

Package Pin Properties

Name	R...	Colu...	I/O Ba...
X1Y3	3	1	36
X1Y4	4	1	37
X1Y5	5	1	38
X1Y6	6	1	39

Clock Regions

Package

Device

WateringSystem.vhd

testbench.vhd

Tcl Console

Messages

Log

Reports

Design Runs

Power

Package Pins

I/O Ports

Name	Direction	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip
All ports (22)												
M (3)	IN					default (LVCMOS18)	1.800				NONE	NONE
moisture (3)	OUT					default (LVCMOS18)	1.800	12		SLOW	NONE	FP_VTT_5
SEG (7)	OUT					default (LVCMOS18)	1.800	12		SLOW	NONE	FP_VTT_5
STATE (2)	OUT					default (LVCMOS18)	1.800	12		SLOW	NONE	FP_VTT_5
Scalar ports (7)												

Activate Windows

Go to Settings to activate Windows.

Windows Ink Workspace

Type here to search

3:43 PM

7/5/2023