

Київський національний університет імені Тараса Шевченка



МЕТОДИЧНИЙ ПОСІБНИК  
ДЛЯ ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ  
З КУРСУ “ЦИФРОВІ ПРИСТРОЇ”

для студентів радіофізичного факультету

Київ 2011

УДК [621.37/39+621.382.2/.3+621.377] : 004  
ББК 32.852 : 32.973.2я73

Рецензент  
канд. техн. наук, доц. М.І. Резніков

**Бех І.І.**

Методичний посібник для виконання лабораторних робіт з курсу “Цифрові пристрої” для студентів радіофізичного факультету.

Методичний посібник для виконання лабораторних робіт з курсу “Цифрові пристрої” покликаний доповнити відповідний теоретичний курс. Завдання кожної лабораторної роботи разом із контрольними питаннями дозволяють перевірити розуміння студентами матеріалу курсу.

Методичний посібник орієнтований на студентів радіофізичного факультету, що навчаються за напрямом підготовки “радіотехніка” та на усіх бажаючих займатися експериментальним дослідженням цифрових електричних кіл та пристроїв.

*Затверджено вченою радою радіофізичного факультету  
(протокол № 13 від 30 червня 2011 року)*

УДК [621.37/39+621.382.2/.3+621.377] : 004  
ББК 32.852 : 32.973.2я73

© Бех І.І., 2011  
© Видавнича лабораторія радіофізичного факультету  
Київського університету імені Тараса Шевченка

## ПЕРЕДМОВА

Електротехніка та електроніка належать до тієї галузі природничих наук, в якій процес навчання вимагає нерозривного зв'язку теоретичного аналізу та експериментальних досліджень.

Зусиллями багатьох спеціалістів персональний комп'ютер став незамінним інструментом в руках фахівця практично у всіх галузях знань. Безперечно, що аналіз та експериментальне дослідження процесів у електротехніці та електроніці, в тому числі і в цифровій, не можливе без використання комп'ютера.

У процесі розробки сучасних електротехнічних і електронних пристроїв, в тому числі і цифрових, поряд з теоретичними та експериментальними дослідженнями застосовується схемотехнічне моделювання. Воно дозволяє узагальнити фактичний матеріал, проаналізувати складний взаємозв'язок між різними елементами радіоелектронних схем та пристроїв, використовувати різноманітну елементну базу тощо.

Програми схемотехнічного моделювання дозволяють вдосконалювати навчальний процес, розвивати уміння та навички дослідницької роботи, інтенсифікувати індивідуальні та самостійну роботу студентів. Сучасні програми моделювання знайомлять студентів із елементами проектування радіоелектронної апаратури, з різноманітною та широкою елементною базою. Кожен студент може використовувати набір основних контрольно-вимірювальних приладів.

Варто зазначити, що комп'ютерний практикум із схемотехнічного моделювання, описаний у даному методичному посібнику, покликаний не замінити, а доповнити традиційні лабораторні практикуми з радіотехніки та радіоелектроніки.

Бех І.І.

## Лабораторне завдання № 1.

### Логічні схеми та функції.

#### Мета роботи:

- дослідження логічних схем;
- реалізація логічних функцій за допомогою логічних елементів.

#### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В	Source
заземлення	Source
двохпозиційні перемикачі	Basic
логічні пробники	Indicators
вольтметр	Indicators
генератор слів	Instrument toolbar
двохвходові елементи “І”, “І-НЕ”, ”АБО”, “АБО-НЕ”	Misc digital

#### Короткі теоретичні відомості.

##### 1. Аксиоми алгебри логіки.

Усі змінні, якими оперує алгебра логіки, можуть приймати тільки два значення – 0 або 1. В алгебрі логіки визначено відношення еквівалентності (позначається знаком “=”) та операції: додавання, або диз’юнкція (позначається знаком “ $\vee$ ”), множення, або кон’юнкція (позначається знаком “ $\&$ ”) та заперечення, або інверсія (позначається надкресленням “ $\bar{x}$ ”, або апострофом).

Алгебра логіки визначається наступною системою аксіом:

$$\begin{cases} x = 0, \text{ якщо } x \neq 1, \\ x = 1, \text{ якщо } x \neq 0; \end{cases} \quad \begin{cases} \bar{0} = 1, \\ \bar{1} = 0; \end{cases}$$

$$\begin{cases} 1 \vee 1 = 1, \\ 0 \vee 0 = 0, \\ 0 \vee 1 = 1 \vee 0 = 1; \end{cases} \quad \begin{cases} 0 \& 0 = 0, \\ 1 \& 1 = 1, \\ 0 \& 1 = 1 \& 0 = 0. \end{cases}$$

## 2. Логічні вирази.

Запис логічних виразів, як правило, здійснюють в кон'юнктивній або в диз'юнктивній нормальних формах. У кон'юнктивній формі логічний вираз записується як логічний добуток логічних сум, а в диз'юнктивній – як логічна сума логічних добутків. Порядок виконання дій такий же, як і в звичайних алгебраїчних виразах.

Логічні вирази зв'язують значення логічної функції зі значеннями логічних змінних.

## 3. Логічні тотожності.

При перетвореннях логічних виразів використовуються такі логічні тотожності:

$$\begin{aligned} \overline{\overline{x}} &= x; \quad x \vee 1 = 1; \quad x \vee 0 = x; \quad x \& 1 = x; \quad x \& 0 = 0; \quad x \vee x = x; \quad x \& x = x; \quad x \vee x \& y = x; \\ x \& y \vee x \& \overline{y} &= x; \quad (x \vee y)(x \vee \overline{y}) = x; \quad x \vee \overline{x \& y} = x \vee y; \quad \overline{x \& y} = \overline{x} \vee \overline{y}; \quad \overline{x \vee y} = \overline{x} \& \overline{y}. \end{aligned}$$

## 4. Логічні функції.

Будь-який логічний вираз, що складений з  $n$  змінних  $x_1, x_2, \dots, x_n$  за допомогою скінченної кількості операцій алгебри логіки, можна розглядати як певну функцію  $n$  змінних. Таку функцію називають логічною. У відповідності з аксіомами алгебри логіки така функція може набувати значення 0 чи 1 в залежності від значень змінних. Функція  $n$  логічних змінних може бути визначеною для  $2^n$  значень змінних, які відповідають всім можливим значенням  $n$ -розрядних двійкових чисел.

Найпоширенішими є такі функції двох змінних  $x$  та  $y$ :

$$\begin{aligned} f_1(x, y) &= x \& y - \text{логічне множення (кон'юнкція)}; \\ f_2(x, y) &= x \vee y - \text{логічне додавання (диз'юнкція)}; \\ f_3(x, y) &= \overline{x \& y} - \text{логічне множення з інверсією}; \\ f_4(x, y) &= \overline{x \vee y} - \text{логічне додавання з інверсією}; \\ f_5(x, y) &= x \oplus y = x \overline{y} \vee \overline{x} y - \text{додавання по модулю 2}; \\ f_6(x, y) &= \overline{x \oplus y} = xy \vee \overline{xy} - \text{рівнозначність}. \end{aligned}$$

## 5. Логічні схеми.

Фізичний пристрій, що реалізує одну з операцій алгебри логіки чи найпростішу логічну функцію, називають логічним елементом. Схему, що складена зі скінченної кількості логічних елементів у відповідності з певними правилами, називають логічною схемою.

Основним логічним функціям відповідають схемні елементи, які здатні їх виконувати.

## 6. Таблиця істинності.

Оскільки область визначення довільної функції  $n$  змінних скінченна ( $2^n$  значень), то така функція може бути задана таблицею значень  $f(v_i)$ , які вона приймає в точках  $v_i$ , де  $i=0, 1, \dots, 2^n-1$ . Такі таблиці називають таблицями істинності. У табл. 1.1 наведено таблиці істинності, які відповідають наведеним у п. 4 функціям.

Таблиця 1.1

$i$	Значення змінних		Значення функції					
	$x$	$y$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$
0	0	0	0	0	1	1	0	1
1	0	1	0	1	1	0	1	0
2	1	0	0	1	1	0	1	0
3	1	1	1	1	0	0	0	1

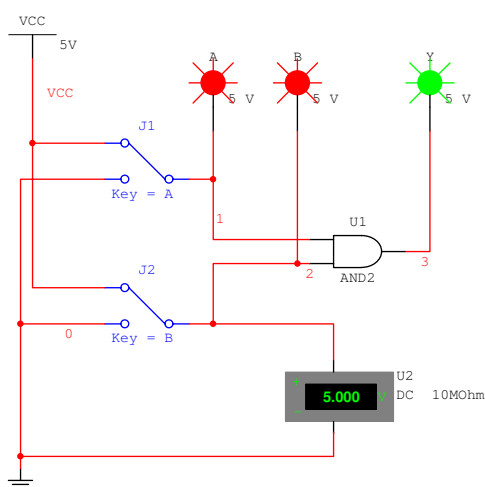


рис. 1.1

## Порядок проведення експерименту.

### 1. Дослідження логічної функції “І”.

а) визначення рівнів логічних сигналів:

зберіть схему, зображену на рис. 1.1. У цій схемі два двохпозиційних перемикачі “А” та “В” подають на входи логічної схеми “І” рівень “0” (контакт перемикача в нижньому положенні) або “1” (контакт перемикача у

верхньому положенні). Увімкніть схему. Установіть перемикач “В” у нижнє положення. Виміряйте вольтметром напругу на вході “В” та визначте за допомогою логічного пробника рівень логічного сигналу. Установіть перемикач “В” у верхнє положення. Визначте рівень логічного сигналу та запишіть покази вольтметра; вкажіть, який при цьому рівень логічного сигналу встановлюється на виході “У”.

*б) експериментальне отримання таблиці істинності логічного елементу “І”:*

подайте на входи схеми всі можливі комбінації рівнів сигналу “А” та “В” та для кожної комбінації зафіксуйте рівень вихідного сигналу “У”. Заповніть таблицю істинності логічної схеми “І”.

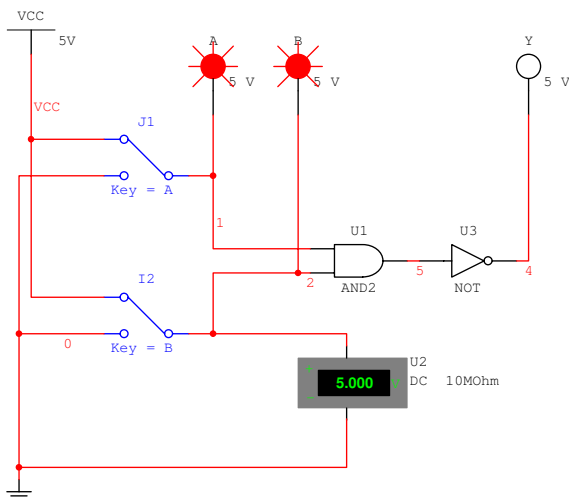


рис. 1.2

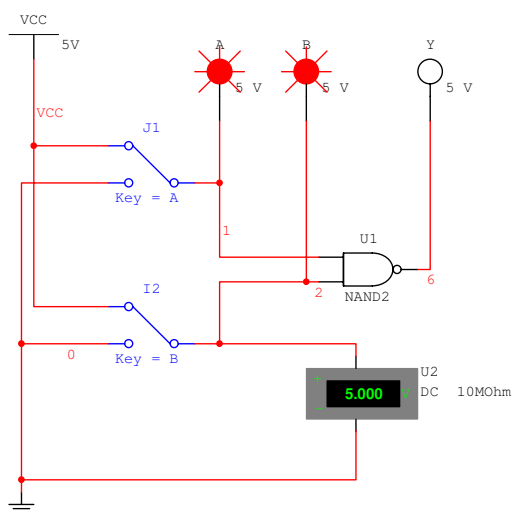


рис. 1.3

## 2. Дослідження логічної функції “І-НЕ”.

*а) експериментальне одержання таблиці істинності логічного елемента “І-НЕ”, складеного з елементів “І” та “НЕ”:*

зберіть схему, зображену на рис. 1.2. Увімкніть схему. Подайте на входи схеми усі можливі комбінації вхідних сигналів, та, спостерігаючи за рівнями сигналів на входах і виході за допомогою логічних пробників, складіть таблицю істинності логічної схеми “І-НЕ”.

*б) експериментальне одержання таблиці істинності логічного елемента “І-НЕ”:*

зберіть схему, зображену на рис. 1.3. Увімкніть схему. Подайте на входи схеми усі можливі комбінації вхідних сигналів, та, спостерігаючи за рівнями сигналів на

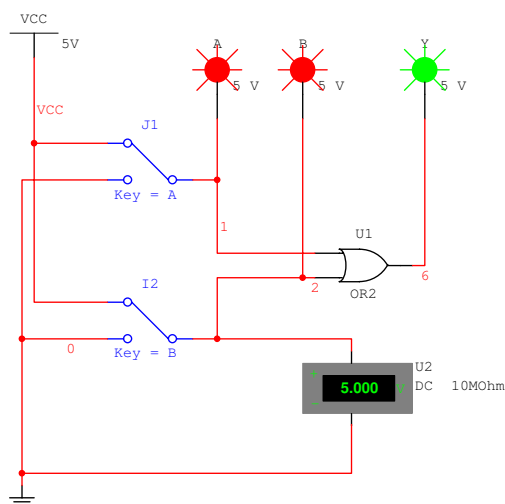


рис. 1.4

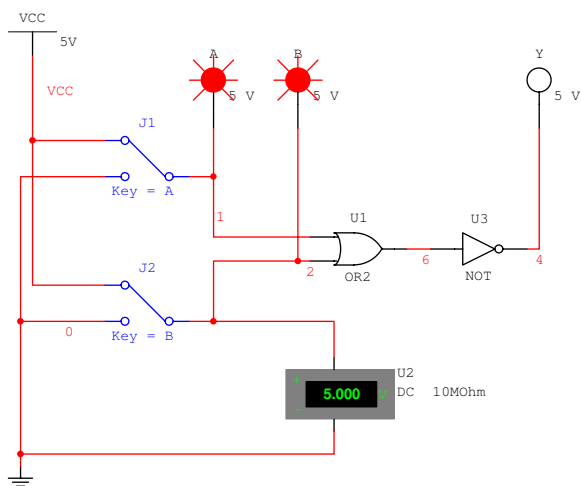


рис. 1.5

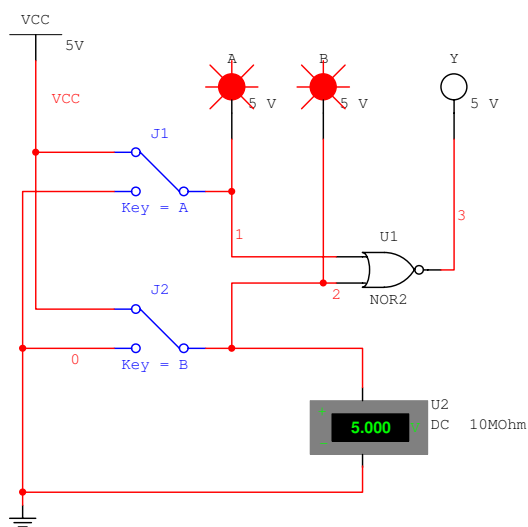


рис. 1.6

входах і виході за допомогою логічних пробників, складіть таблицю істинності логічної схеми “І-НЕ”. Порівняйте результати з отриманими в п. а).

### 3. Дослідження логічної функції “АБО”.

а) експериментальне одержання таблиці істинності логічного елемента “АБО”:

зберіть схему, зображену на рис. 1.4. Увімкніть схему. Подайте на входи схеми усі можливі комбінації вхідних сигналів, та, спостерігаючи за рівнями сигналів на входах і виході за допомогою логічних пробників, складіть таблицю істинності логічної схеми “АБО”.

### 4. Дослідження логічної функції “АБО-НЕ”.

а) експериментальне одержання таблиці істинності логічного елемента “АБО-НЕ”, складеного з елементів “АБО” та “НЕ”:

зберіть схему, зображену на рис. 1.5. Увімкніть схему. Подайте на входи схеми усі можливі комбінації вхідних сигналів, та, спостерігаючи за рівнями сигналів на входах і виході за допомогою логічних пробників, складіть таблицю істинності логічної схеми “АБО-НЕ”.



б) експериментальне одержання таблиці істинності логічного елемента “АБО-НЕ”:

зберіть схему, зображену на рис. 1.6. Увімкніть схему. Подайте на входи схеми усі можливі комбінації вхідних сигналів, та, спостерігаючи за рівнями сигналів на входах і виході за допомогою логічних пробників, складіть таблицю істинності логічної схеми “АБО-НЕ”. Порівняйте результати з отриманими в п. а).

## 5. Дослідження логічних схем за допомогою генератора слів.

а) експериментальне одержання таблиці істинності мікросхеми 7400N (чотири логічні елементи “І-НЕ”):

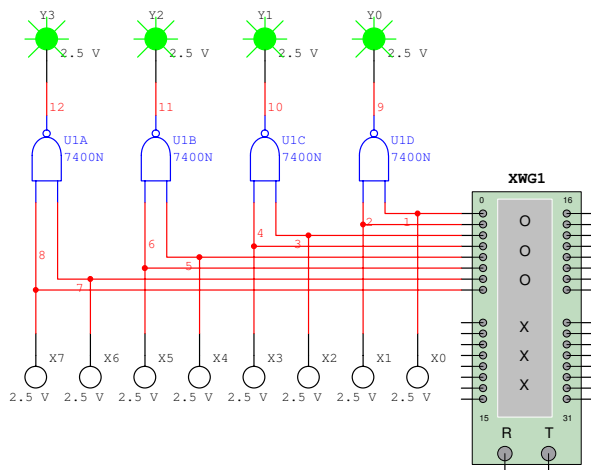


рис. 1.7

зберіть схему, зображену на рис. 1.7.

Запрограмуйте генератор слів так, щоб на його виході послідовно отримувати комбінації від 00000000 до 11111111.

Переведіть генератор в очікуючий режим роботи, натиснувши кнопку “STEP” на збільшеному зображенні генератора.

Кожне натискання кнопки “STEP” викликає перехід до наступного слова

заданої послідовності, яке потрапляє на

вихід генератора. Послідовно подаючи на мікросхему слова з заданої послідовності, складіть її таблицю істинності.<sup>1</sup>

## Оформлення звіту по роботі.

- Вказати назву роботи та її мету.
- Навести схеми для дослідження відповідних логічних елементів.
- Навести таблиці результатів вимірів по всім пунктам завдання та дати пояснення до них.
- Зробити висновки щодо результатів виконаної роботи.

<sup>1</sup> Вказівка: значення розрядів поточного слова на виході генератора відображені в круглих вікнах в нижній частині панелі генератора та дублюється логічними пробниками червоного кольору.

### Контрольні питання.

- Що таке логічна змінна та логічний сигнал? Яких значень вони можуть набувати?
- Що таке логічна функція?
- Чи може бути логічним сигналом рівень напруги? Стан контакту? Світіння світлодіода?
- Яка логічна функція могла б описати поведінку системи пуску трифазного двигуна? Двигун може бути запущений лише тоді, коли три датчики підтверджують наявність фазних напруг.
- Датчик температури складається з контакту, який замикається (розмикається) при перевищенні температурою заданого рівня. При замиканні контакту виробляється сигнал логічної одиниці, а при розмиканні – логічного нуля. Яку схему варто використовувати для виявлення спрацювання хоча б одного датчика пожежної сигналізації:
  - а) при підвищенні температури в датчику відбувається замикання контакту;
  - б) при підвищенні температури в датчику відбувається розмикання контакту.
- Як буде вести себе логічна схема “І”, якщо на одному з входів внаслідок внутрішньої несправності буде постійно присутня логічна одиниця? Логічний нуль? Складіть таблицю істинності для несправного логічного елемента “3-І”. Визначте поведінку логічної схеми “І-НЕ” за тих же умов.
- Як буде вести себе логічна схема “АБО”, якщо на одному з входів внаслідок внутрішньої несправності буде постійно присутня логічна одиниця? Логічний нуль? Складіть таблицю істинності для несправного логічного елемента “3-АБО”. Визначте поведінку логічної схеми “АБО-НЕ” за тих же умов.

## Лабораторне завдання № 2.

### Синтез і дослідження логічних схем.

#### Мета роботи:

- синтез і дослідження складних логічних схем.

#### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В	Source
заземлення	Source
двохпозиційні перемикачі	Basic
логічні пробники	Indicators
вольтметр	Indicators
генератор слів	Instrument toolbar
двохвходові елементи “І”, “І-НЕ”, ”АБО”, “АБО-НЕ”	Misc digital

#### Завдання 1.

У відповідності із індивідуальним варіантом розробити логічну схему для реалізації частково визначеної логічної функції  $F$  4-х аргументів, заданих таблицями. Кожна комбінація значень аргументів двійкових змінних  $ABCD$  відображається числом  $N$ , рівним:  $2^3D+2^2C+2^1B+2^0A$ . Значення функцій за невідомих комбінацій значень аргументів необхідно визначити для отримання схеми з мінімальним числом елементів.

Мінімізацію логічної функції проводити за допомогою карт Карно.

Приклад: таблиця 2.2 відповідає таблиці 2.1.

Таблиця 2.1

N	4	6	7	8	9	11	12	13	14	15
F	0	1	1	0	1	1	0	0	0	1

З карти Карно, складеної за допомогою таблиці 2.2, випливає, що мінімальний варіант рішення задачі має вигляд:

Таблиця 2.2

N	D	C	B	A	F
4	0	1	0	0	0
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1

$$F = \overline{D}B \cup BA \cup \overline{C}A = B(\overline{D} \cup A) \cup A(B \cup \overline{C}).$$

### Варіанти для самостійної роботи:

#### Варіант № 1

$N$	1	2	3	4	6	7	8	9	11	12
$F$	0	0	1	0	1	1	0	0	1	0

#### Варіант № 2

$N$	0	2	3	5	6	7	8	9	13	15
$F$	0	1	0	0	1	1	0	0	1	0

#### Варіант № 3

$N$	1	2	3	4	6	7	9	12	13	14
$F$	0	1	1	0	1	0	0	1	0	1

#### Варіант № 4

$N$	0	2	3	5	6	7	8	10	12	13
$F$	0	1	1	0	0	1	1	1	0	0

#### Варіант № 5

$N$	0	1	3	4	6	9	10	11	14	15
$F$	0	1	0	0	0	1	0	1	1	1

#### Варіант № 6

$N$	0	1	2	5	7	10	11	13	14	15
$F$	0	0	0	1	0	1	0	1	1	1

#### Варіант № 7

$N$	1	3	4	5	6	10	11	12	14	15
$F$	0	0	1	0	0	1	1	1	1	0

#### Варіант № 8

$N$	0	2	4	5	7	8	10	11	14	15
$F$	1	0	0	0	0	1	1	1	0	1

#### Варіант № 9

$N$	0	1	3	4	5	6	9	10	11	14
$F$	0	1	0	1	1	0	1	0	1	0

#### Варіант № 10

$N$	0	1	2	4	5	7	10	11	13	15
$F$	1	0	0	1	1	0	0	0	1	1

#### Варіант № 11

$N$	0	1	3	4	5	6	11	12	14	15
$F$	1	1	0	1	0	0	0	1	1	0

#### Варіант № 12

$N$	0	1	2	4	5	7	8	10	14	15
$F$	1	1	0	0	1	0	1	1	0	0

#### Варіант № 13

$N$	1	2	3	4	6	8	9	11	12	13
$F$	0	0	1	0	0	0	1	1	1	1

Варіант № 14

$N$	0	2	3	5	7	8	9	12	13	15
$F$	0	0	0	0	1	1	0	1	1	1

Варіант № 15

$N$	1	3	4	6	7	8	9	12	13	14
$F$	0	0	0	1	0	1	1	1	0	1

Варіант № 16

$N$	0	2	5	6	7	8	9	10	12	13
$F$	0	1	0	0	0	1	1	1	0	1

Варіант № 17

$N$	0	2	3	5	6	7	8	9	10	13
$F$	0	1	0	0	1	1	1	0	1	0

Варіант № 18

$N$	1	2	3	4	6	7	8	9	12	14
$F$	0	0	1	0	1	1	0	0	1	1

Варіант № 19

$N$	0	2	3	5	6	7	8	12	13	15
$F$	0	1	1	0	0	1	0	0	1	1

Варіант № 20

$N$	1	2	3	4	6	7	9	11	12	13
$F$	0	1	1	0	1	0	1	1	0	0

Варіант № 21

$N$	0	1	2	5	7	8	10	11	14	15
$F$	1	0	0	0	0	1	1	0	1	1

Варіант № 22

$N$	0	1	3	4	6	10	11	12	14	15
$F$	0	0	0	1	0	0	1	1	1	1

Варіант № 23

$N$	0	2	4	5	7	10	11	13	14	15
$F$	0	0	0	1	0	1	1	1	0	1

Варіант № 24

$N$	1	3	4	5	6	9	10	11	14	15
$F$	1	0	0	0	0	1	1	1	1	0

Варіант № 25

$N$	0	1	2	4	5	7	8	10	11	15
$F$	1	0	0	1	1	0	1	1	0	0

Варіант № 26

$N$	0	1	3	4	5	6	10	11	12	14
$F$	0	1	0	1	1	0	0	0	1	1

Варіант № 27

$N$	0	1	2	4	5	7	10	13	14	15
$F$	1	1	0	0	1	0	0	1	0	1

### Варіант № 28

<i>N</i>	0	1	3	4	5	6	9	11	14	15
<i>F</i>	1	1	0	1	0	0	1	1	0	0

### Варіант № 29

<i>N</i>	0	2	3	5	6	7	8	9	10	13
<i>F</i>	0	1	0	0	1	1	1	0	1	0

### Варіант № 30

<i>N</i>	1	2	3	4	6	7	8	9	12	14
<i>F</i>	0	0	1	0	1	1	0	0	1	1

### Варіант № 31

<i>N</i>	0	2	3	5	6	7	8	12	13	15
<i>F</i>	0	1	1	0	0	1	0	0	1	1

### Варіант № 32

<i>N</i>	1	2	3	4	6	7	9	11	12	13
<i>F</i>	0	1	1	0	1	0	1	1	0	0

### Завдання 2.

Знайдіть аналітичний вираз функції, яка реалізується схемою, наведеною на рис. 2.1. Зберіть схему, підключіть входи *D*, *C*, *B*, *A* до джерела логічних сигналів, а вихід - до логічного пробника. Увімкніть схему і перевірте правильність аналітичного виразу.

### Завдання 3.

Викличте генератор слів і логічний аналізатор. Запрограмуйте генератор на формування послідовності чотирирозрядних слів, які відповідають числам натурального ряду від 0 до 15. Підключіть його виходи до відповідних входів схеми, наведеної на рис. 2.1 (*A* - молодший розряд числа, *D* - старший). Дослідіть роботу схеми в режимах "STEP" і "CYCLE".

Намалюйте часові діаграми сигналів на виходах всіх логічних елементів схеми для всіх можливих комбінацій вхідних сигналів. Перевірте правильність виконання завдання за допомогою логічного аналізатора.

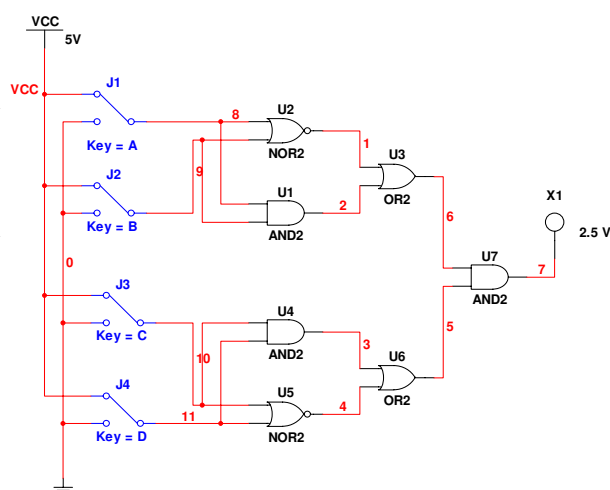


рис. 2.1

#### Завдання 4.

Розробіть схему, що формує на виході сигнал  $F$  з вхідних сигналів  $A$ ,  $B$ ,  $C$ , як показано на рис. 2.2.

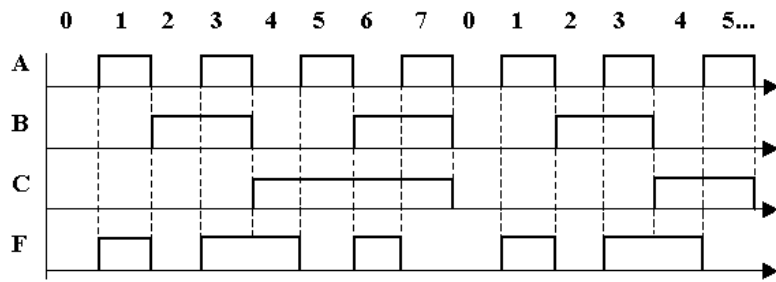


рис. 2.2

Зберіть схему. При перевірці її роботи для формування вхідних сигналів

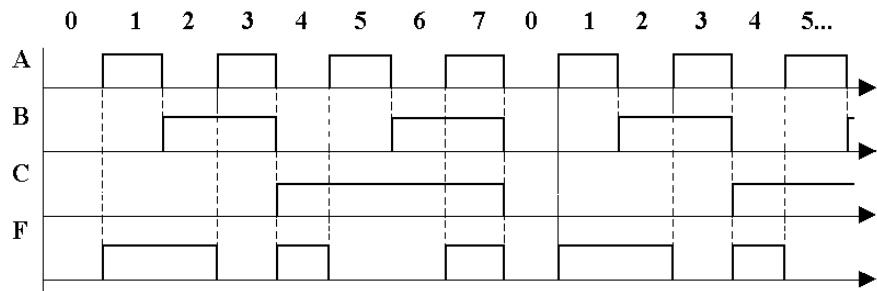


рис. 2.3

використовуйте: а) джерела логічних сигналів, б) генератор слів.

#### Завдання 5.

Розробіть схему, що містить мінімальне можливе число базових елементів, робота якої описується часовими діаграмами, наведеними на рис. 2.3. Тут  $A$ ,  $B$ ,  $C$  - входи,  $F$  - вихід схеми.

#### Оформлення звіту по роботі.

- Вказати назву роботи та її мету.
- Навести схему для реалізації частково визначеної логічної функції  $F$  4-х аргументів у відповідності із індивідуальним варіантом.
- Навести аналітичний вираз функції, намалювати часові діаграми сигналів на виходах всіх логічних елементів схеми, вказаної у завданні 2 та 3, для всіх можливих комбінацій вхідних сигналів.
- Навести таблицю істинності, аналітичний вираз функції та схему пристрою, робота якого описується часовими діаграмами, наведеними в завданні 4 та завданні 5.
- Зробити висновки щодо результатів виконаної роботи.

## Комбінаційні цифрові пристрої. Дослідження дешифраторів.

### Мета роботи:

- ознайомлення з принципом роботи дешифраторів;
- дослідження впливу керуючих сигналів на роботу дешифраторів;
- реалізація та дослідження функціональних модулів на основі дешифраторів.

### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В;	Source
заземлення;	Source
двохпозиційні перемикачі;	Basic
логічні пробники;	Indicators
вольтметр;	Indicators
генератор тактових імпульсів;	Instrument toolbar
генератор слів;	Instrument toolbar
логічний аналізатор;	Instrument toolbar
демультиплексор;	Misc digital
мікросхема 74LS138N – дешифратор 3х8 фірми Texas Instruments.	TTL 74LS

### Короткі теоретичні відомості.

#### 1. Комбінаційні схеми.

Комбінаційною схемою називається логічна схема, яка реалізує однозначну відповідність між значеннями вхідних та вихідних сигналів. Для реалізації комбінаційних схем використовують логічні елементи, що випускаються у вигляді інтегральних схем. До цього класу відносяться інтегральні схеми дешифраторів, шифраторів, мультиплексорів, демультиплексорів та суматорів.

#### 2. Дешифратори.

Дешифратор – логічна комбінаційна схема, яка має  $n$  інформаційних входів та  $2^n$  виходів. Кожній комбінації логічних рівнів на входах буде відповідати активний логічний рівень на одному з  $2^n$  виходів. Як правило,  $n$  дорівнює 2, 3



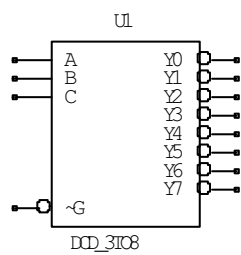


рис. 3.1

або 4. На рис. 3.1 зображено дешифратор<sup>1</sup> з  $n = 3$ , активним рівнем є рівень логічного нуля. На входи  $C, B, A$  можна подавати наступні комбінації логічних рівнів: 000, 001, 010,...,111, всього 8 комбінацій. Схема має 8 виходів, на одному з яких формується низький рівень потенціалу, на всіх інших – високий. Номер цього єдиного виходу, на якому формується активний (нульовий) рівень, відповідає числу  $N$ , яке визначається станом входів  $C, B, A$  наступним чином:

$$N = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0.$$

Наприклад, якщо на входи подано комбінацію логічних рівнів 011, то з восьми виходів мікросхеми ( $Y_0, \dots, Y_7$ ) на виході з номером  $N = 3$  встановиться нульовий рівень сигналу ( $Y_3 = 0$ ), а всі інші виходи матимуть сигнал рівня логічної одиниці. Цей принцип формування вихідного сигналу можна описати наступним чином:

$$\begin{aligned} &0, \text{ якщо } i = k; \\ &1, \text{ якщо } i \neq k; \\ &k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \end{aligned}$$

Видно, що рівень сигналу на виході  $Y_3$  описується виразом:

$$Y_3 = \overline{\overline{C} \cdot \overline{B} \cdot \overline{A}} = 0.$$

У такому ж вигляді можна записати вирази для кожного виходу дешифратора:

$$\begin{aligned} Y_0 &= \overline{\overline{C} \cdot \overline{B} \cdot \overline{A}}, & Y_1 &= \overline{\overline{C} \cdot \overline{B} \cdot A}, \\ Y_2 &= \overline{\overline{C} \cdot B \cdot \overline{A}}, & Y_3 &= \overline{\overline{C} \cdot B \cdot A}, \\ Y_4 &= \overline{C \cdot \overline{B} \cdot \overline{A}}, & Y_5 &= \overline{C \cdot \overline{B} \cdot A}, \\ Y_6 &= \overline{C \cdot B \cdot \overline{A}}, & Y_7 &= \overline{C \cdot B \cdot A}. \end{aligned}$$

Окрім інформаційних входів  $C, B, A$  дешифратори, як правило, мають додаткові входи керування  $G$ . Сигнали на цих входах, дозволяють функціонування дешифратора або переводять його в пасивний стан, коли

<sup>1</sup> В даній роботі для зручності замість схеми дешифратора використовується схем демультиплексора; це можливо завдяки подібності алгоритмів їх роботи.

незалежно від сигналів на інформаційних входах, на всіх виходах встановлюється рівень логічної одиниці. Можна сказати, що існує певна функція дозволу, значення якої визначається станами керуючих входів.

Дозволяючий вхід дешифратора може бути прямим або інверсним. У дешифраторів з прямим дозволяючим входом активним рівнем являється рівень логічної одиниці, а в дешифраторів з інверсним дозволяючим входом – рівень логічного нуля. На рис. 3.1 наведено дешифратор з одним інверсним дозволяючим входом. Принцип формування вихідного сигналу в цьому дешифраторі з урахуванням сигналу керування описується наступним чином:

$$\overline{1 \cdot \overline{G}}, \text{ якщо } i = k;$$

$$1, \text{ якщо } i \neq k;$$

$$k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0$$

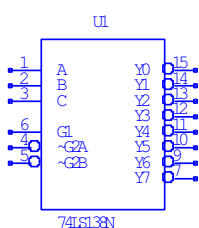


рис. 3.2

У дешифратора з декількома входами керування функція дозволу, як правило, є логічним добутком всіх дозволяючих сигналів керування. Наприклад, для дешифратора 74LS138N з одним прямим входом керування  $G_1$  та двома інверсними  $G_{2A}$  та  $G_{2B}$  (рис. 3.2), функції виходу  $Y_i$  та дозволу  $G$  мають вигляд:

$$\overline{1 \cdot \overline{G}}, \text{ якщо } i = k;$$

$$1, \text{ якщо } i \neq k;$$

$$k = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0$$

$$G = G_1 \cdot \overline{G_{2A}} \cdot \overline{G_{2B}}$$

Як правило входи керування використовуються для каскадування (тобто збільшення розрядності) дешифраторів або при паралельній роботі декількох схем на загальні вихідні лінії.

### 3. Використання дешифратора в якості демультиплексора.

Дешифратор може бути використаний і як демультиплексор, тобто логічний комутатор, який з'єднує вхідний сигнал із одним із виходів. В цьому випадку функцію інформаційного входу виконує один з керуючих входів, а стан входів  $C$ ,  $B$ ,  $A$  задає номер виходу, на який й передається сигнал з керуючого входу.

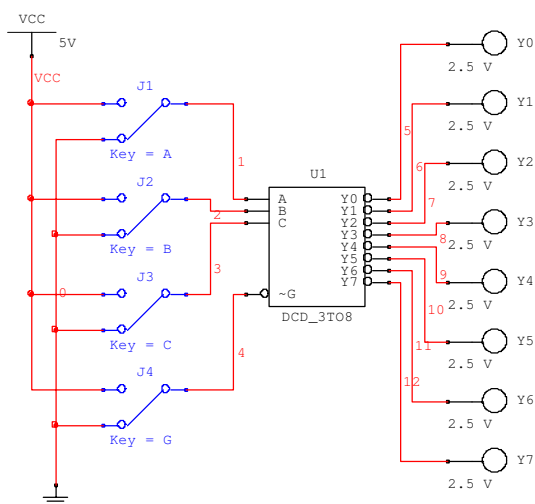


рис. 3.3

істинності при  $G = 1$ .

Подайте на вхід  $G$  сигнал рівня логічного нуля. Переконайтеся в тому, що дешифратор перейшов у робочий режим та на одному з його виходів установився рівень логічного нуля. Подаючи всі можливі комбінації рівнів логічних сигналів на входи  $C$ ,  $B$ ,  $A$  за допомогою відповідних ключів, та визначаючи за допомогою логічних пробників рівні логічних сигналів на виходах дешифратора, заповніть таблицю істинності для випадку  $G = 0$ .

## 2. Дослідження принципу роботи дешифратора 3x8 в режимі 2x4.

а) в схемі, зображений на рис. 3.3 з'єднайте вхід  $C$  з загальним провідником, задаючи тим самим рівень  $C = 0$ . Змінюючи рівні логічних сигналів на входах  $B$  та  $A$  та спостерігаючи за рівнями логічних сигналів на виходах схеми за допомогою логічних пробників, заповніть таблицю істинності дешифратора. Укажіть виходи, на яких рівень сигналу не змінюється.

б) виконайте пункт а) для випадку  $C = 1$ . Заповніть відповідну таблицю істинності.

в) виконайте п. а) з'єднавши з загальним провідником вхід  $B$  та подаючи на входи  $C$  і  $A$  всі можливі комбінації логічних рівнів. Заповніть відповідну таблицю істинності. Там же вкажіть номери виходів, на яких рівень логічного сигналу не змінюється.

## Порядок виконання роботи.

### 1. Дослідження принципу роботи дешифратора 3x8 в основному режимі.

Зберіть схему, зображену на рис. 3.3. Увімкніть схему. Подайте на вхід  $G$  сигнал рівня логічної одиниці. Визначте та занотуйте значення рівнів сигналу на виходах  $Y_0 \dots Y_7$  в таблицю

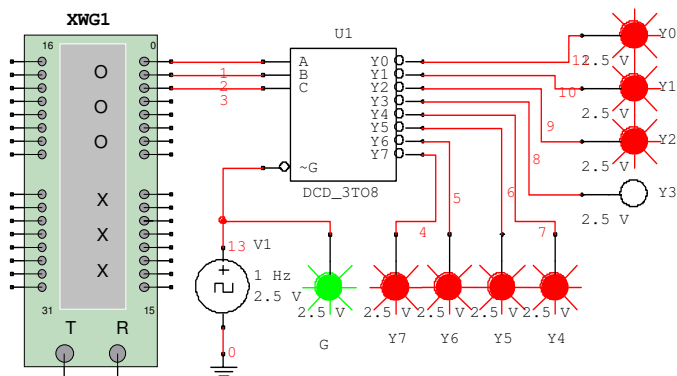


рис. 3.4

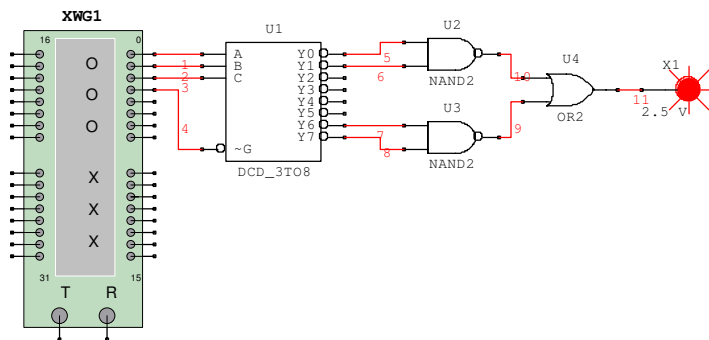


рис. 3.5

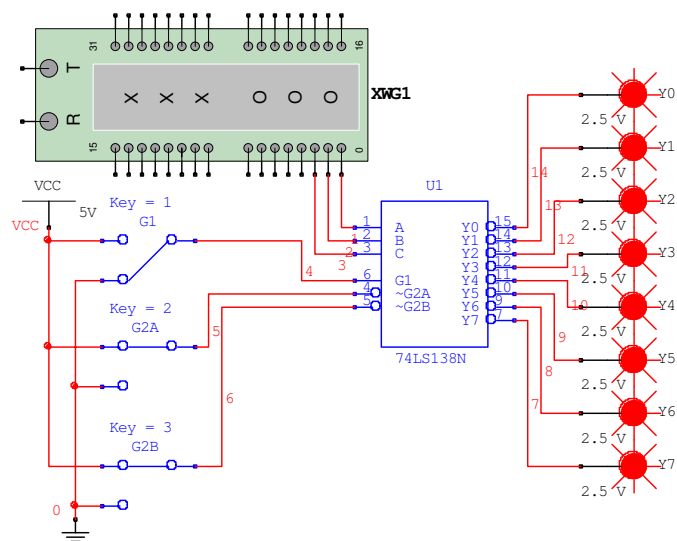


рис. 3.6

### 3. Дослідження роботи дешифратора в якості демультиплексора.

Зберіть схему, зображену на рис. 3.4. Увімкніть схему. В очікуючому режимі роботи генератора слів подайте на входи  $C$ ,  $B$ ,  $A$  демультиплексора слова, що еквівалентні десятковим числам від 0 до 7. Спостерігаючи за допомогою логічних пробників рівні сигналу а виходах мікросхеми, заповніть таблицю функціонування. Переконайтеся, що змінний сигнал на вході  $G$  по чергово з'являється на виходах дешифратора.

### 4. Дослідження дешифратора 3x8 з логічною схемою на виході.

Зберіть схему, зображену на рис. 3.5. Увімкніть схему. Встановіть генератор слів у очікуючий режим. Послідовно подаючи на входи схеми слова з генератора слів та спостерігаючи за рівнями логічних сигналів на виходах схеми за допомогою логічних пробників, складіть таблицю істинності функції  $F$ , яка реалізується схемою,

складеною з логічних елементів на виході дешифратора. За таблицею істинності спробуйте записати аналітичний вираз для функції  $F$ .

### 5. Дослідження мікросхеми 74LS138N.

а) зберіть схему, зображену на рис. 3.6. Увімкніть схему. За допомогою відповідних ключів установіть наступні стани керуючих входів:  $G_1 = 0$ ,  $G_{2A} = G_{2B} = 1$ . Подаючи на ходи схеми С, В, А слова з генератора слів та спостерігаючи за станами виходів мікросхеми за допомогою логічних пробників, заповніть таблицю функціонування дешифратора 74LS138N

б) повторіть операції п. а) при  $G_1 = G_{2A} = 1$ ,  $G_{2B} = 0$ . Заповніть відповідну таблицю функціонування.

в) повторіть операції п. а) при  $G_1 = 1$ ,  $G_{2A} = G_{2B} = 0$ . Заповніть відповідну таблицю функціонування.

### 6. Дослідження мікросхеми 74LS138N за допомогою логічного аналізатора.

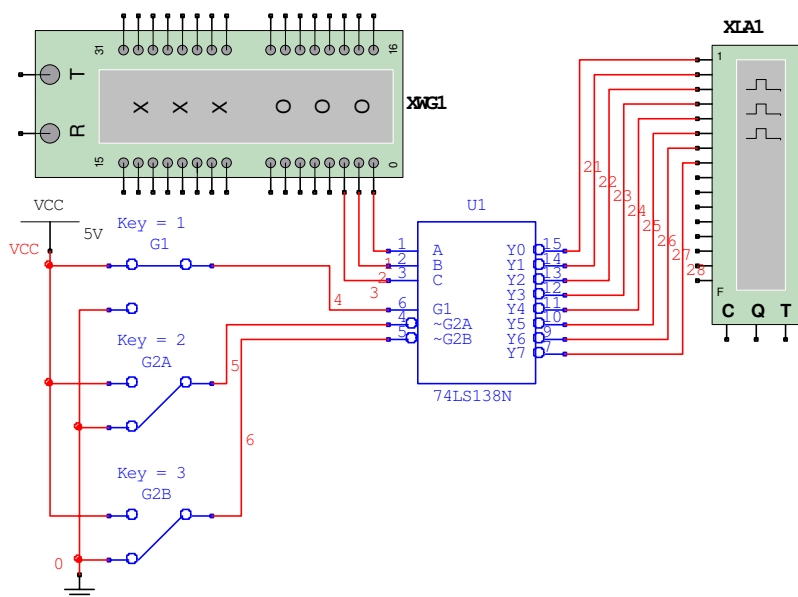


рис. 3.7

Зберіть схему, зображену на рис. 3.7. Увімкніть схему. Установіть генератор в очікуючий режим. За допомогою відповідних ключів установіть на керуючих виходах наступні рівні логічних сигналів:

$G_1 = 1$ ,  $G_{2A} = G_{2B} = 0$ . Подаючи слова з генератора слів, отримайте часові діаграми роботи дешифратора на екрані логічного аналізатора та за малюйте їх. Порівняйте отримані діаграми з результатами вимірів попереднього пункту завдання.

### **Оформлення звіту по роботі.**

- Вказати назву роботи та її мету.
- Навести схеми для відповідних досліджень.
- Навести таблиці результатів вимірів по всім пунктам завдання та дати пояснення до них.
- Зробити висновки щодо результатів виконаної роботи.

### **Контрольні питання.**

- Які логічні функції виконує дешифратор?
- Для чого призначені входи керування в дешифраторі, як впливає рівень сигналу на вході керування на вихідні функції дешифратора?
- Які додаткові логічні елементи необхідні для реалізації логічних функцій  $n$  аргументів на основі дешифратора з прямими входами? А з інверсними?

## Запам'ятовуючі пристрої. Дослідження тригерів.

### Мета роботи:

- дослідження структури та алгоритмів роботи асинхронних та синхронних тригерів;
- дослідження функцій переходів та збудження основних типів тригерів;
- дослідження можливості взаємозаміни тригерами різних типів.

### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В;	Source
заземлення;	Source
двохпозиційні перемикачі;	Basic
логічні пробники;	Indicators
двохвходові елементи “І”, “І-НЕ”, “АБО”, “АБО-НЕ”	Misc digital
RS-тригер, JK-тригер, D-тригер	Misc digital

### Короткі теоретичні відомості.

Тригер – найпростіша цифрова схема яка є цифровим автоматом. У комбінаційних схем стан виходу  $Y$  в будь-який момент часу визначається лише поточним значенням входу  $X$ :

$$Y = f(X).$$

На відміну від них, стан виходу цифрового автомату залежить ще й від внутрішнього стану схеми  $Q$ :

$$Y = f(X, Q).$$

Іншими словами, цифровий автомат є не тільки перетворювачем інформації, але й зберігає попередню інформацію та є джерелом поточної інформації (джерелом поточного стану). Така властивість забезпечується наявністю в схемі зворотних зв'язків.

Тригер має два стійких стани:  $Q = 1$  та  $Q = 0$ , тому його часом називають бістабільною схемою. В якому із цих станів опиниться тригер залежить від

рівнів сигналів на входах тригера та від його попереднього стану, тобто він “має пам’ять”. Таким чином, тригер – це елементарна комірка пам’яті.

Тип тригера визначається алгоритмом його роботи. У залежності від алгоритму роботи тригер може мати встановлювальні, інформаційні та керуючі входи. Встановлювальні входи встановлюють його стан незалежно від стану інших входів. Входи керування дозволяють запис даних, які надходять на інформаційні входи. Найбільш поширеними є тригери RS-, JK-, D- та T-типу.

### 1. RS-тригер.

RS-тригер є найпростішою реалізацією цифрового автомата з функцією пам’яті, який може знаходитися у двох станах. Такий тригер має два встановлювальних входи: установки S (“set” - установка) та скидання R (“reset” - скидання), на які надходять вхідні сигнали від зовнішніх джерел. При надходженні на вхід установки активного рівня логічного сигналу тригер встановлюється в “1” ( $Q=1, \overline{Q}=0$ ), а при надходженні активного рівня логічного сигналу на вхід скидання тригер встановлюється в “0” ( $Q=0, \overline{Q}=1$ ). Якщо на обох входах тригера пасивні логічні рівні вхідного сигналу, то тригер буде зберігати попередній стан виходів. Кожен з цих станів є стійким і підтримується за рахунок дії зворотних зв’язків.

Для тригерів цього типу неприпустиме надходження на обидва установчі входи активного рівня логічного сигналу, тому що тригер за означенням не може бути встановлений одночасно в “0” та “1”. На практиці в такому випадку

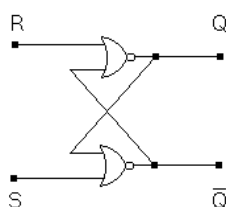


рис. 4.1

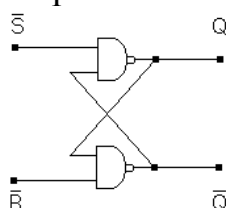


рис. 4.2

стан виходів тригера не може бути збереженим і неможливо визначити, у якому саме стані буде знаходитися тригер при наступному надходженні на установчі входи пасивного рівня вхідних сигналів.

На рис. 4.1 та рис. 4.2 наведено RS-тригери, виконані на елементах “АБО-НЕ” та “І-НЕ”. Для схеми на рис. 4.1 активним рівнем є рівень логічної одиниці на установчих входах, а для схеми на рис. 4.2 – рівень логічного нуля.



Схема, зображена на рис 4.2. отримала назву  $\overline{RS}$ -тригера - тригера з інверсними входами.

RS-тригер є базовим елементом для побудови так званих послідовнісних схем. Така назва схеми означає, що стан її виходу залежить від того, у якій саме послідовності вхідні сигнали потрапляють на її входи та яким був її попередній внутрішній стан. Так, якщо в RS-тригері (рис. 4.1) спочатку встановити комбінацію  $R = 0$  і  $S = 1$  (скорочений запис - 01), а потім перейти до  $R = 0$  і  $S = 0$  (00), то стан виходу буде  $Q = 1$ . Якщо ж спочатку встановити комбінацію 10, а потім перейти до 00, то стан виходу буде іншим -  $Q = 0$ , не дивлячись на однакові комбінації сигналів на входах. Таким чином, при одному й тому ж вхідному наборі сигналів (00) стан виходу тригера може бути діаметрально протилежним.

Умови переходу тригерів з одного стану в інший (алгоритм роботи) можна описати табличним, аналітичним та графічним способами. Табличний опис роботи RS-тригера (рис. 4.1) наведено в табл. 4.1 (таблиця переходів) та табл. 4.2 (таблиця функцій збудження)

Таблиця 4.1		
$R$	$S$	$Q_{t+1}$
0	0	$Q_t$
0	1	1
1	0	0
1	1	*

Таблиця 4.2			
$Q_t$	$Q_{t+1}$	$R$	$S$
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

У таблицях використано наступні позначення:

- $Q_t$  – попередній стан виходу;
- $Q_{t+1}$  – новий стан виходу, який установився після переходу (можливо, що  $Q_{t+1} = Q_t$ );
- X – рівень логічного сигналу є байдужим: 0 чи 1;
- \* – стан невизначеності.

Аналітичний опис (характеристичне рівняння) можна отримати з таблиць 4.1 та 4.2 за правилами алгебри логіки:

$$Q_{t+1} = \overline{R}S \vee \overline{R}Q_t = \overline{R}(S \vee Q_t).$$

Записана таким чином залежність характеризує властивість тригера до запам'ятовування свого попереднього стану.

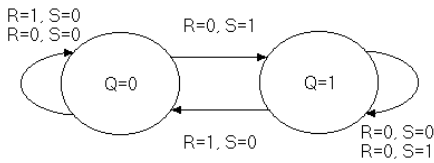


рис. 4.3, а

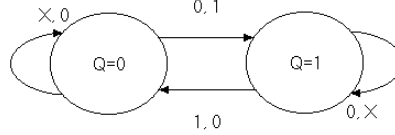


рис. 4.3, б

Опис роботи RS-тригера можна доповнити графом, зображеним на

рис. 4.3 (графічний спосіб опису).

Рис. 4.3, а показує, що схема, яка знаходилася в стані  $Q = 0$ , зберігає свій стан як під дією набору вхідних сигналів  $R = 0$  і  $S = 0$ , так і під дією набору  $R = 1$  і  $S = 0$ . Якщо ж на входи схеми, яка знаходиться в стані  $Q = 0$ , подати набір вхідних сигналів  $R = 0$  і  $S = 1$ , то вона переходить в стан  $Q = 1$  та зберігає його під дією наборів вхідних сигналів  $R = 0$  і  $S = 1$  чи  $R = 0$  і  $S = 0$ . На рис. 4.3, б той же граф тригера наведено в більш компактному вигляді. Вхідні сигнали, які можуть приймати будь-які значення (0 чи 1), позначено як “х”, а позиція позначень відповідає послідовності  $R, S$ .

### 1.1. JK-тригер.

Тригер JK-типу має більш складну, порівняно з RS-тригером, внутрішню структуру, та більш широкі функціональні можливості. Окрім інформаційних входів  $J$  та  $K$ , і прямого та інверсного виходів, JK-тригер має вхід керування  $C$  (цей вхід також часто називають тактуючим або лічильним), а також установчі входи  $R$  та  $S$ . Як правило, активними рівнями установчих входів є рівень логічного нуля, як у схемі, зображеній на рис. 4.2. Установчі входи мають пріоритет над усіма іншими. Активний рівень сигналу на вході  $S$  встановлює JK-тригер у стан  $Q = 1$ , а активний рівень сигналу на вході  $R$  – у стан  $Q = 0$ , незалежно від сигналів на інших входах.

Таблиця 4.3		
$J$	$K$	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	$Q_t$

Таблиця 4.4			
$Q_t$	$Q_{t+1}$	$J$	$K$
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x

Якщо ж на установчі входи одночасно подати пасивний рівень сигналу, то стан тригера буде змінюватися по спаду імпульсу на лічильному вході в залежності від стану входів  $J$  та  $K$ , як показано в таблиці переходів (табл. 4.3) та функцій збудження (табл. 4.4).

Робота JK-тригера описується характеристичним рівнянням:

$$Q_{t+1} = J_t \bar{Q}_t \vee Q_t K_t.$$

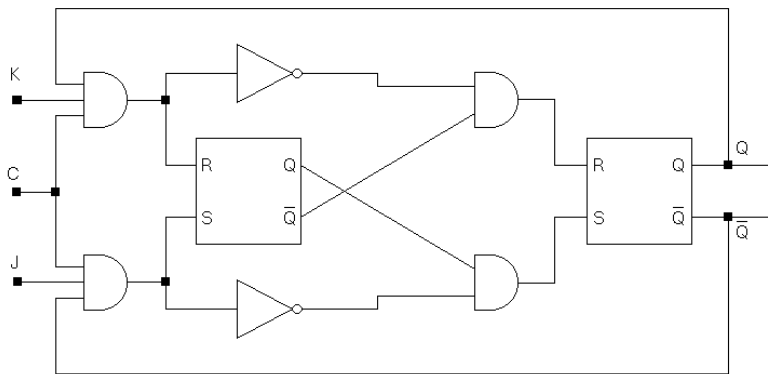


рис. 4.4, а

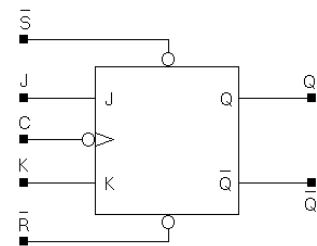


рис. 4.4, б

Один з варіантів функціональної схеми JK-тригера з установчими входами, активним рівнем яких є рівень логічного нуля, та його умовне графічне зображення, наведено на рис. 4.4, а, б. Часові діаграми його роботи при

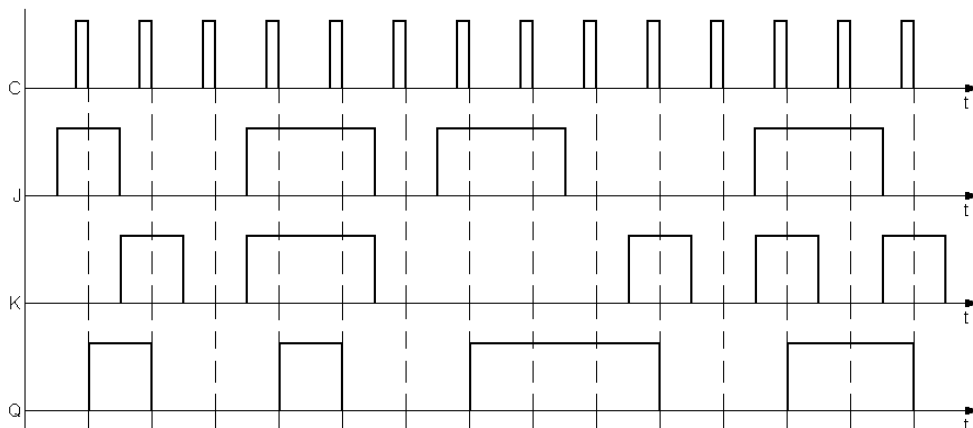


рис. 4.5

$R = S = 1$  наведено на рис. 4.5.

Подібно до RS-тригера, зміну станів JK-тригера можна зобразити графом переходів (рис. 4.6). Вхідні сигнали, що можуть приймати будь-які значення (як 0, так і 1), позначено як “х”, а позиція позначення відповідає послідовності  $J, K$ .

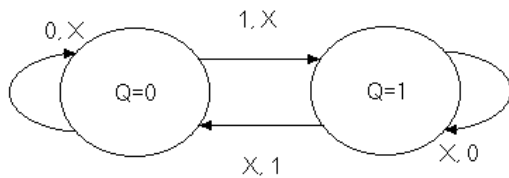


рис. 4.6

Цей рисунок не повинен призводити до плутанини: якщо “х” = 1, то при  $J, K = 1, 1$  схема буде переходити зі стану  $Q = 0$  до стану  $Q = 1$ . Але з цього стану схема повинна повернутися до стану  $Q = 0$  і т.д.,

тобто цей граф описує роботу автогенератора. Проте, у даному випадку всі зміни стану виходу відбуваються лише в момент спаду тактового сигналу  $C$ . Дійсно, якщо  $J = K = 1$ , то з кожним новим тактовим імпульсом стан виходу тригера буде змінюватися на протилежний, і тригер буде виконувати роль подільовача частоти на 2, а не автогенератора.

## 2. D-тригер.

D-тригер має один інформаційний вхід  $D$  (“data” - дані). Інформація з входу  $D$  з’являється на виході тригера по фронту імпульсу на лічильному вході  $C$  та зберігається до наступного фронту на лічильному вході. Окрім лічильного входу  $C$  та входу даних  $D$ , тригер має асинхронні установчі входи  $R$  та  $S$ . Установчі входи, як і у випадку JK-тригера, мають найвищий пріоритет, тобто встановлюють вихід тригера незалежно від сигналів на входах  $C$  та  $D$ . Функціонування D-тригера описується таблицями переходів (табл. 4.5) та функцій збудження (табл. 4.6), а також часовими діаграмами вхідних та вихідних сигналів (рис. 4.7).

Таблиця 4.5	
$D$	$Q_{t+1}$
0	0
1	1

Таблиця 4.6		
$Q_t$	$Q_{t+1}$	$D$
0	0	0
0	1	1
1	0	0
1	1	1

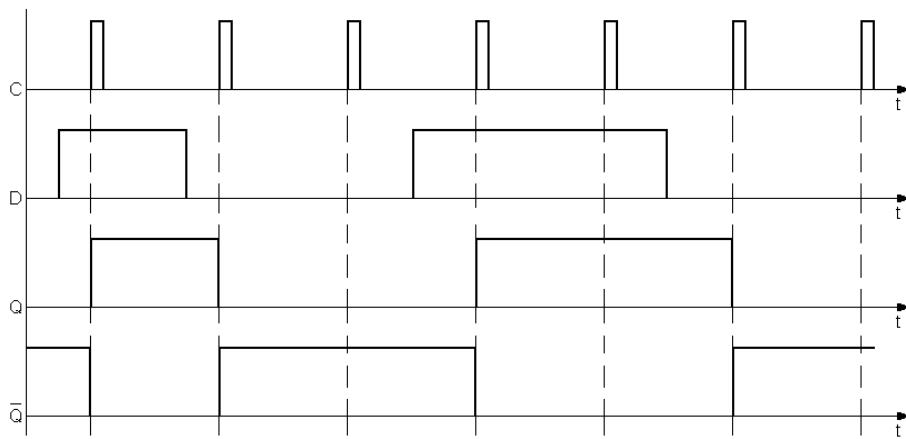


рис. 4.7

Характеристичне рівняння D-тригера має вигляд:

$$Q_{t+1} = D_t .$$

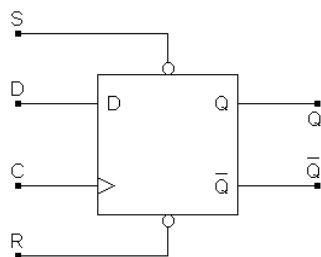


рис. 4.8

Рівняння показує, що стан виходу тригера на  $(t+1)$ -му такті дорівнює вхідному сигналу в момент часу, що передую фронту тактового імпульсу. Умовне позначення D-тригера наведено на рис. 4.8.

Функціональна схема D-тригера може бути отримана зі схеми JK-тригера (див. рис. 4.4, а), шляхом з'єднання входу К з входом J через інвертор:

$$D = J = \overline{K} .$$

### 3. Т-тригер.

На базі JK-тригерів та D-тригерів можна побудувати схеми, що працюють в

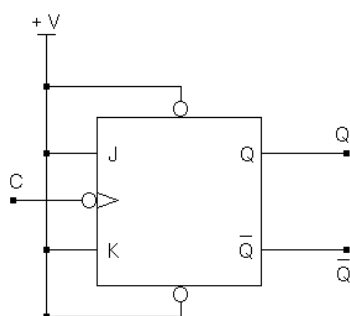


рис.4 9

так званому лічильному режимі.

Такі схеми називають Т-тригерами або лічильними тригерами, пов'язуючи їх назву зі способом функціонування. На

рис. 4.9 наведені схеми

побудови Т-тригера на базі JK-тригерів та D-тригерів. Лічильний режим ілюструється часовими діаграмами, зображеними на рис. 4.10.

В JK-тригері з установчими входами, активний рівень сигналу на яких є рівнем логічного нуля, лічильний режим реалізується шляхом встановлення на

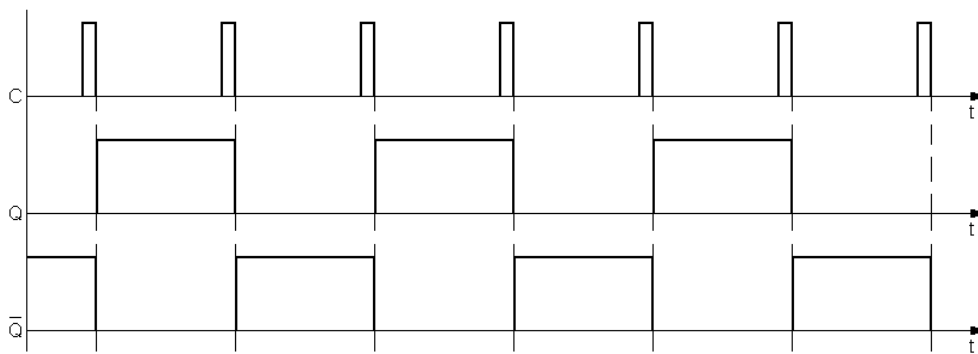


рис. 4.10

звичайних та установчих входах логічних рівнів  $J = K = 1$  та  $R = S = 1$ , а на вхід  $C$  надходить вхідний сигнал  $T$ . У відповідності до таблиці функціонування (табл. 4.3 та табл. 4.4) при кожному спаді вхідного сигналу  $T$  стан виходу тригера змінюється на протилежний.

В D-тригері лічильний режим реалізується шляхом утворення зворотного зв'язку: на вхід  $D$  подається сигнал з інверсного виходу тригера. Таким чином, завжди існує нерівність логічних рівнів сигналу на вході  $D$  та на виході  $Q$ : якщо  $Q = 1$ , то  $D = 0$  і навпаки. Отже, при кожному фронті сигналу на лічильному вході  $C$ , у відповідності до принципу функціонування D-тригера, стан його виходу буде змінюватися на протилежний.

Таким чином, на кожні два вхідних тактових імпульсу Т-тригер формує один період вихідного сигналу  $Q$ . Отже, Т-тригер здійснює ділення тактової частоти  $f_T$  на його вході на 2:

$$f_Q = f_T / 2,$$

де  $f_Q$  – частота слідування імпульсів на виході тригера.

### Порядок виконання роботи.

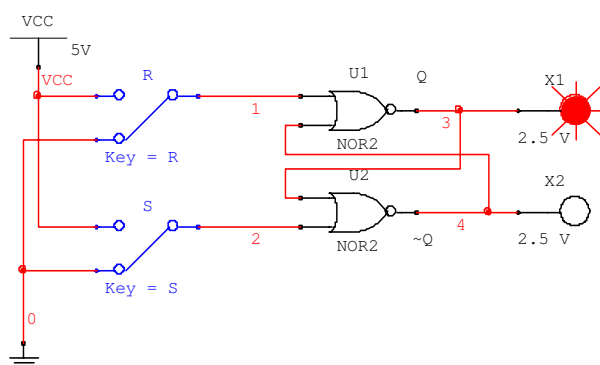


рис. 4.11

### 1. Дослідження RS-тригера.

Зберіть схему, зображену на рис. 4.11. Увімкніть схему. Послідовно подайте на схему наступні сигнали:  $S = 0, R = 1$ ;  $S = 0, R = 0$ ;  $S = 1, R = 0$ ;  $S = 0, R = 0$ .

Переконайтеся в тому, що:

- при  $S = 0, R = 1$  тригер встановлюється в стан  $Q = 0$ ;
- при переході до  $S = 0, R = 0$  тригер зберігає попередній стан  $Q = 0$ ;
- при  $S = 1, R = 0$  тригер встановлюється в стан  $Q = 1$ ;
- при переході до  $S = 0, R = 0$  тригер зберігає попередній стан  $Q = 1$ .

За результатами експерименту заповніть таблицю функцій збудження для схеми на рис. 4.11.

## 2. Дослідження $\overline{R}\overline{S}$ -тригера.

Зберіть схему, зображену на рис. 4.12. Увімкніть схему. Послідовно подайте

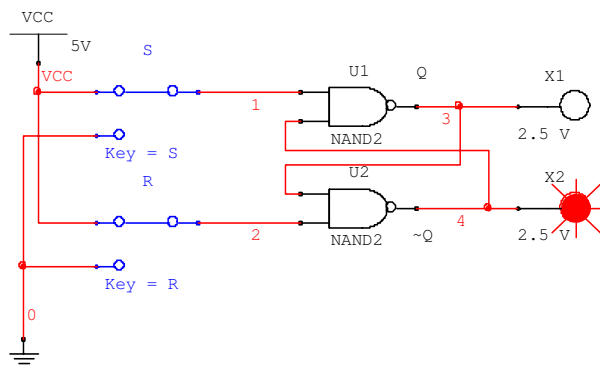


рис. 4.12

тригер зберігає попередній стан  $Q = 0$ ;

на схему наступні сигнали:  $S = 1, R = 0$ ;  $S = 1, R = 1$ ;  $S = 0, R = 1$ ;  $S = 1, R = 1$ .

Переконайтеся в тому, що:

- при  $S = 1, R = 0$  тригер встановлюється в стан  $Q = 0$ ;
- при переході до  $S = 1, R = 1$  тригер зберігає попередній стан  $Q = 1$ .

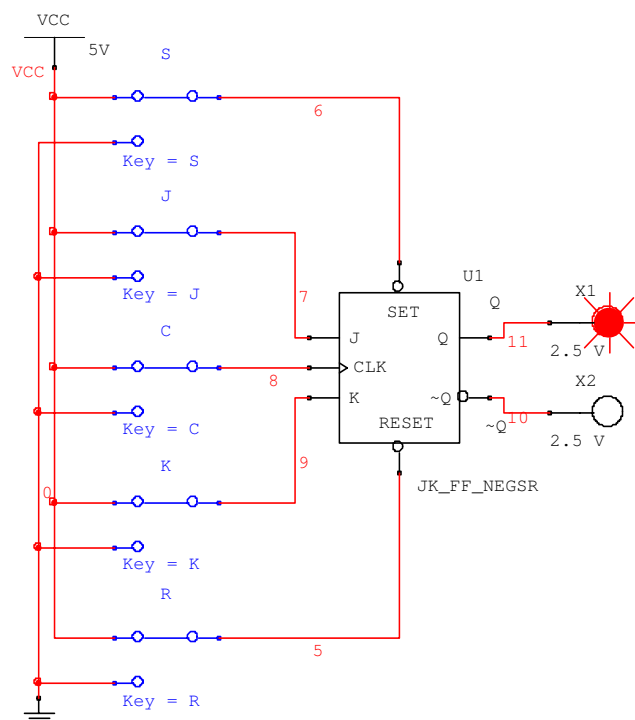


рис. 4.13

За результатами експерименту заповніть таблицю функцій збудження для схеми на рис. 4.12.

## 3. Дослідження JK-тригера.

Зберіть схему, зображену на рис. 4.13. Увімкніть схему.

Переконайтеся в тому, що:

- при  $S = 0, R = 1$  тригер встановлюється в стан  $Q = 1$

незалежно від стану інших входів;

- при  $S = 1$ ,  $R = 0$  тригер встановлюється в стан  $Q = 0$  незалежно від стану інших входів.

Установіть  $S = 1$ ,  $R = 1$  та перевірте справедливості таблиці функцій збудження (табл. 4.4) для схеми на рис. 4.13<sup>1</sup>. Складіть часові діаграми роботи тригера для усіх можливих комбінацій  $J_t$ ,  $K_t$ ,  $Q_t$  та намалюйте їх.

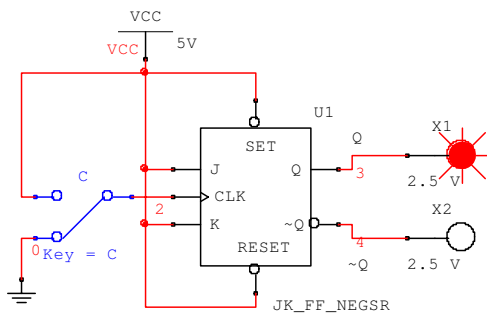


рис. 4.14

роботи Т-тригера.

#### 4. Дослідження JK-тригера в лічильному режимі (Т-тригер).

Зберіть схему, наведену на рис. 4.14. Увімкніть схему. Змінюючи стан лічильного входу  $C$  відповідним перемикачем намалюйте часові діаграми

#### 5. Дослідження JK-тригера, побудованого на базі логічних елементів.

Зберіть схему, зображену на рис. 4.15. Увімкніть схему. Змінюючи значення

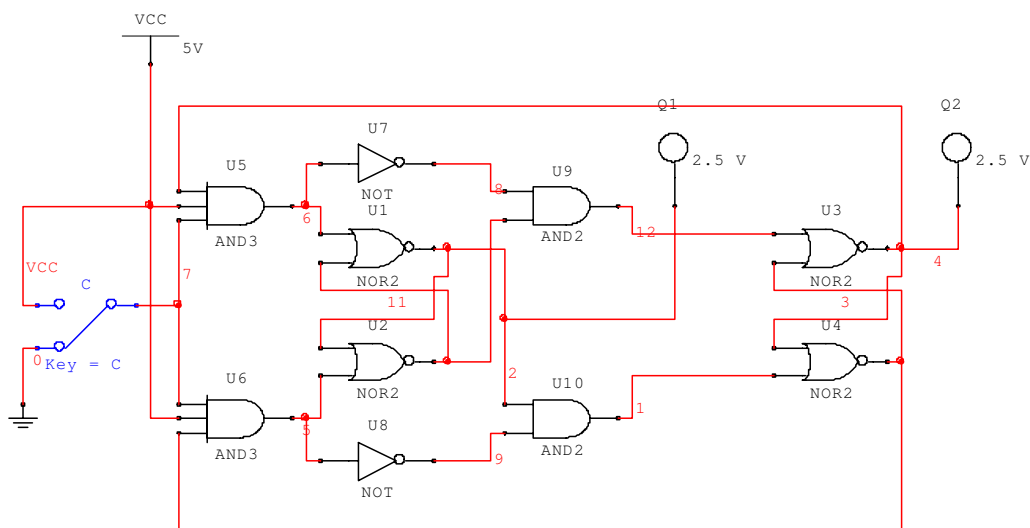


рис. 4.15

рівня сигналу на вході  $C$  складіть часові діаграми сигналів на виходах  $Q_1$  та  $Q_2$  та намалюйте їх.

Вкажіть режим роботи тригера. Визначте моменти зміни рівня сигналу на

<sup>1</sup> Вказівка: початковий стан тригера встановлювати короткочасним імпульсом  $S = 0$  для отримання  $Q_t = 1$  та сигналу  $R = 0$  для отримання  $Q_t = 0$ . Перехід тригера в стан  $Q_{t+1}$  відбувається лише по спаду імпульсу на лічильному вході  $C$ , який формується відповідним перемикачем.



виходах  $Q_1$  та  $Q_2$  по відношенню до моментів зміни значення рівня сигналу на вході  $C$ .

## 6. Дослідження D-тригера.

Зберіть схему, зображену на рис. 4.16. Увімкніть схему.

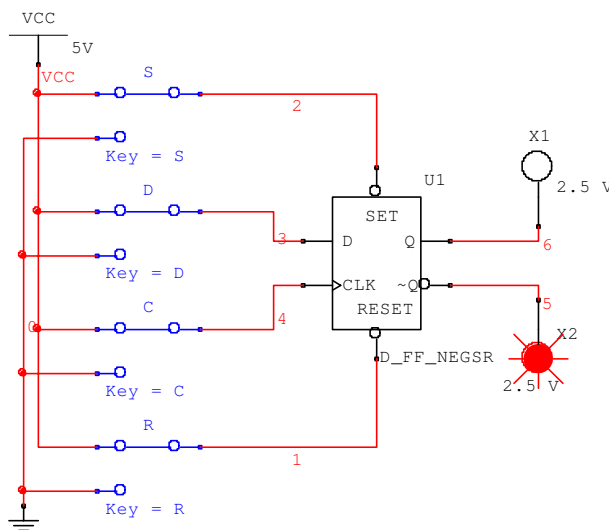


рис. 4.16

Переконайтеся в тому, що:

- при  $S = 0$ ,  $R = 1$  тригер встановлюється в стан  $Q = 1$  незалежно від стану інших входів;
- при  $S = 1$ ,  $R = 0$  тригер встановлюється в стан  $Q = 0$  незалежно від стану інших входів.

Встановіть  $S = 1$ ,  $R = 1$  та

перевірте справедливість таблиці функцій збудження (табл. 4.6) для схеми на рис. 4.16. Складіть часові діаграми роботи тригера для усіх можливих комбінацій  $D_t$ ,  $Q_t$  та намалюйте їх.

## 7. Дослідження роботи D-тригера в лічильному режимі.

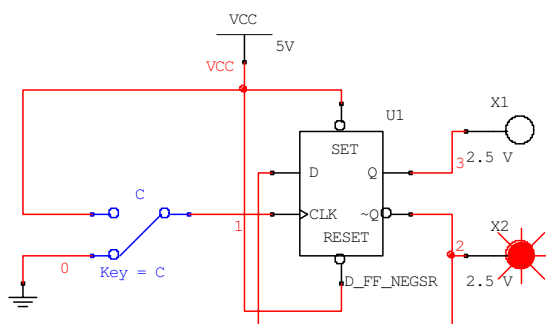


рис. 4.17

Зберіть схему, наведену на рис. 4.17.

Увімкніть схему. Подаючи на лічильний вхід  $C$  тактові імпульси за допомогою відповідного перемикача та визначаючи рівні логічних сигналів на виходах тригера за допомогою

логічних пробників, складіть часові діаграми роботи D-тригера в лічильному режимі та намалюйте їх.

### **Оформлення звіту по роботі.**

- Вказати назву роботи та її мету.
- Навести схеми для відповідних досліджень.
- Навести таблиці результатів вимірів по всім пунктам завдання та дати пояснення до них.
- Зробити висновки щодо результатів виконаної роботи.

### **Контрольні питання.**

- Чим відрізняється робота RS-тригера з прямими входами від роботи RS-тригера з інверсними входами?
- Чому комбінація рівнів логічних сигналів 11 на входах RS-тригера є “забороненою”?
- У чому відмінність між таблицею переходів тригера та таблицею функцій збудження?
- Як властивість запам’ятовувати відображається в характеристичних рівняннях тригерів?
- У чому принципова відмінність в роботі синхронних тригерів від асинхронних?
- Яка пріоритетність інформаційних та установчих входів у синхронних тригерах?
- Чому JK-тригер при  $J = K = 1$  не перетворюється в автогенератор?
- Чому T-тригер отримав назву лічильного? Яку кількість імпульсів він може порахувати?
- Як працює D-тригер, якщо  $D = Q$ ?

## Запам'ятовуючі пристрої. Лічильники та регістри.

### Мета роботи:

- вивчення структури та дослідження роботи підсумовуючих та віднімаючих лічильників;
- вивчення способів зміни коефіцієнта перерахунку лічильників;
- дослідження роботи лічильників з коефіцієнтом перерахунку, який не дорівнює 2<sup>n</sup>.

### Прилади та елементи:

	Поле приладів
джерело живлення TTL + 5 В;	Source
заземлення;	Source
двохпозиційні перемикачі;	Basic
логічні пробники;	Indicators
вольтметр;	Indicators
генератор тактових імпульсів;	Instrument toolbar
генератор слів;	Instrument toolbar
логічний аналізатор;	Instrument toolbar
двохвходові логічні елементи	Misc digital
тригери RS-, JK- та D-типів	Misc digital

### Короткі теоретичні відомості.

#### 1. Лічильники.

Лічильник – це пристрій для підрахунку кількості вхідних імпульсів. Число, яке з'являється на його виходах по фронту кожного з вхідних імпульсів, змінюється на одиницю. Лічильник можна реалізувати на базі кількох тригерів. У підсумовуючих лічильниках фронт кожного вхідного імпульсу збільшує число на його виходах на одиницю, а у віднімаючих – зменшує на одиницю. Найбільш прості лічильники – двійкові. На рис. 5.1 наведено принципову схему підсумовуючого двійкового лічильника та діаграми його роботи.

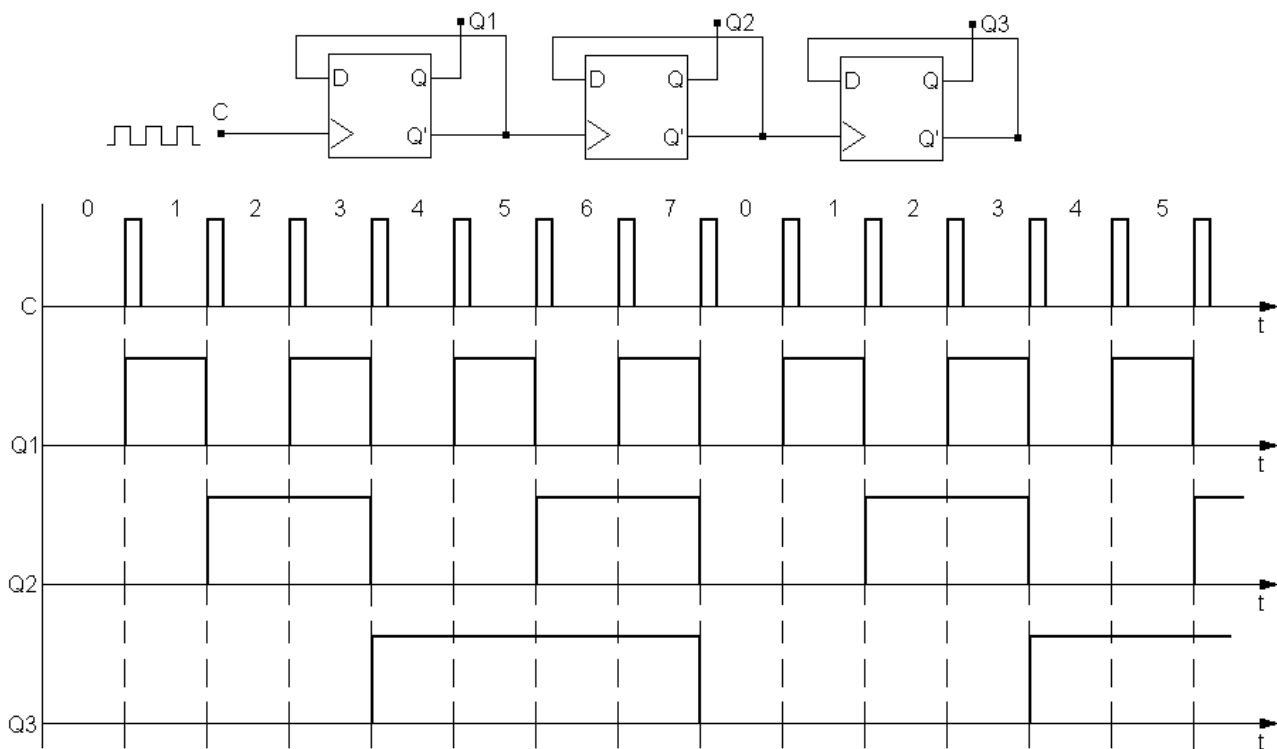


рис. 5.1

## 2. Зміна напрямку підрахунку.

Як уже зазначалося вище, лічильники можна реалізовувати на базі тригерів. При цьому тригери з'єднують послідовно. Вихід кожного тригера діє безпосередньо на лічильний вхід наступного. Для того щоб реалізувати підсумовуючий лічильник, необхідно лічильний вхід чергового тригера з'єднати з інверсним виходом попереднього. Для того щоб змінити напрям рахунку, тобто реалізувати віднімаючий лічильник, можна скористатися наступними способами:

а) зчитувати вихідні сигнали не з прямих, а з інверсних виходів тригерів. Число, яке утворюється станом інверсних виходів тригерів лічильника, пов'язане із числом, створеним станом прямих виходів тригерів наступним співвідношенням:

$$N_{np} = 2^n - N_{inv} - 1,$$

де  $n$  – розрядність виходу лічильника. У табл. 5.1 наведено приклад зв'язку числа на прямих виходах із числом на інверсних виходах лічильника.

Таблиця 5.1

Стан прямих виходів			Число	Стан інверсних виходів			Число
$Q_3$	$Q_2$	$Q_1$	$N$	$Q_3'$	$Q_2'$	$Q_1'$	$N$
0	0	0	0	1	1	1	7
0	0	1	1	1	1	0	6
0	1	0	2	1	0	1	5

б) змінити структуру зв'язків у лічильнику: подавати на лічильний вхід наступного тригера сигнал не з інверсного, а з прямого виходу попереднього, як показано на рис. 5.2. У цьому випадку змінюється послідовність перемикавання тригерів.

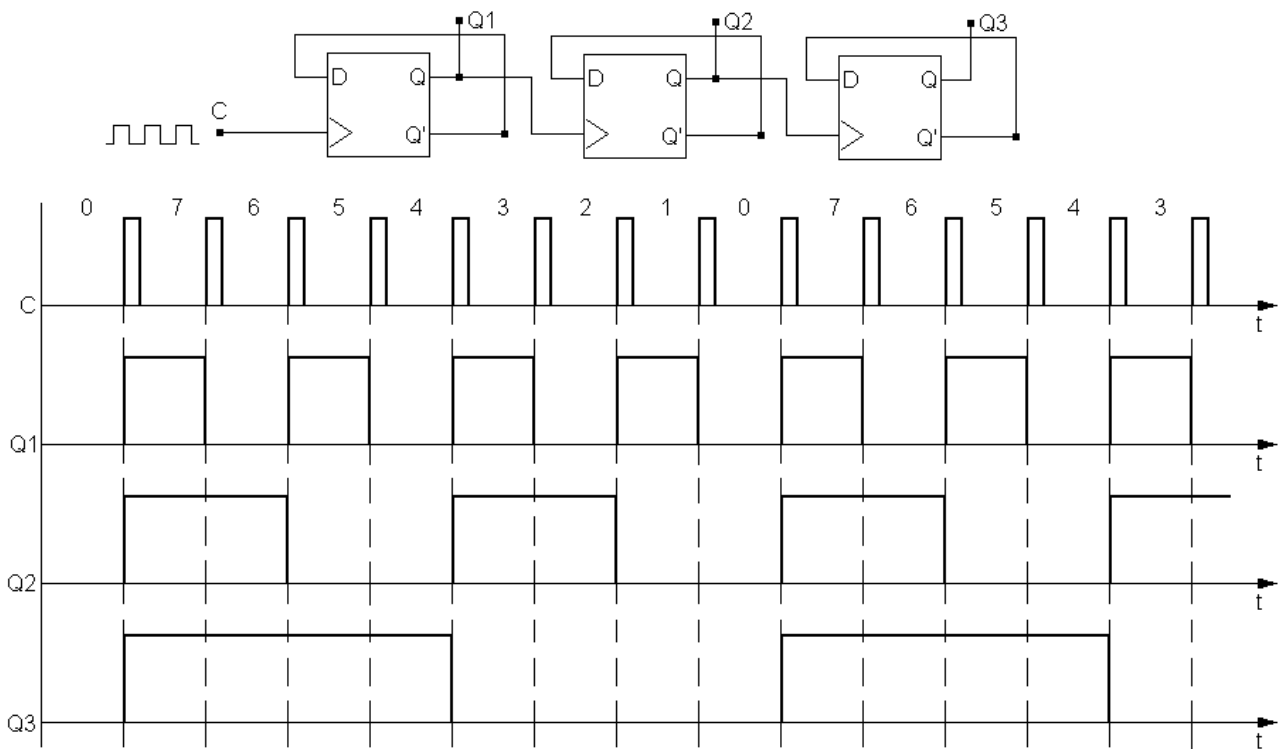


рис. 5.2

### 3. Зміна коефіцієнту перерахунку.

Лічильники характеризуються кількістю станів на виході протягом одного лічильного періоду (циклу). Для схем, зображених на рис. 5.1 та 5.2 цикл містить  $N = 2^3 = 8$  станів (від 000 до 111). Часто кількість станів називають коефіцієнтом перерахунку  $K_{сч}$ , що рівний відношенню кількості імпульсів  $N_c$  на вході лічильника до кількості імпульсів  $N_{Q_{ст}}$  на виході старшого розряду лічильника за період:

$$K_{\text{сч}} = N_c / N_{Q\text{ст}}.$$

Якщо на вхід лічильника подавати періодичну послідовність імпульсів з частотою  $f_c$ , то частота  $f_Q$  періодичної послідовності імпульсів на виході старшого розряду лічильника буде менша в  $K_{\text{сч}}$  разів:  $K_{\text{сч}} = f_c / f_Q$ . Тому лічильники також називають поділювачами частоти, а величину  $K_{\text{сч}}$  – коефіцієнтом ділення. Для збільшення значення  $K_{\text{сч}}$  доводиться збільшувати кількість тригерів у лічильнику. Кожен додатковий тригер подвоює кількість станів лічильника та величину  $K_{\text{сч}}$ . Для зменшення значення  $K_{\text{сч}}$  у якості виходу можна розглядати виходи тригерів проміжних каскадів. Наприклад, для лічильника на трьох тригерах  $K_{\text{сч}} = 8$ , але якщо взяти вихід другого тригера, то  $K_{\text{сч}} = 4$ . Таким чином,  $K_{\text{сч}}$  є цілим ступенем числа 2: 2, 4, 8, 16 і т.д.

Можна реалізувати лічильник, для якого  $K_{\text{сч}}$  – будь-яке ціле число. Наприклад, для лічильника на трьох тригерах можна зробити  $K_{\text{сч}}$  від 2 до 7, але при цьому один або навіть два тригери можуть виявитися зайвими. При використанні усіх трьох тригерів можна отримати  $K_{\text{сч}} = 5 \dots 7$  ( $2^2 < K_{\text{сч}} < 2^3$ ). Лічильник з  $K_{\text{сч}} = 5$  повинен мати 5 станів, які в найпростішому випадку утворюють послідовність: {0, 1, 2, 3, 4}. Циклічне повторювання цієї послідовності означає, що коефіцієнт ділення лічильника рівний 5.

Для побудови підсумовуючого лічильника з коефіцієнтом перерахунку 5 потрібно, щоб після формування останнього числа в послідовності {0, 1, 2, 3, 4} лічильник переходив не до числа 5, а до числа 0. У двійковому коді це означає, що від числа 100 треба перейти до числа 000, а не до 101. Зміна природного порядку лічби можлива завдяки додаванню додаткових зв'язків між тригерами лічильника. Можна скористатися наступним способом: як тільки на виходах лічильника встановлюється число, яке відповідає неробочому стану (в нашому випадку - 101), це повинно бути розпізнано та повинно викликати наступне утворення сигналу, який би перевів лічильник у стан 000. Розглянемо цей спосіб більш детально.

Факт установлення на виходах лічильника числа, яке відповідає неробочому стану описується логічним рівнянням:



лічильному вході фронту нового тактового імпульсу) призводить до формування сигналу скидання, який і потрапляє на встановлювальні входи тригерів лічильника. В результаті лічильник переходить в стан 0 (000) і чекає наступного тактового імпульсу. Один цикл лічби закінчився, і лічильник готовий до наступного циклу.

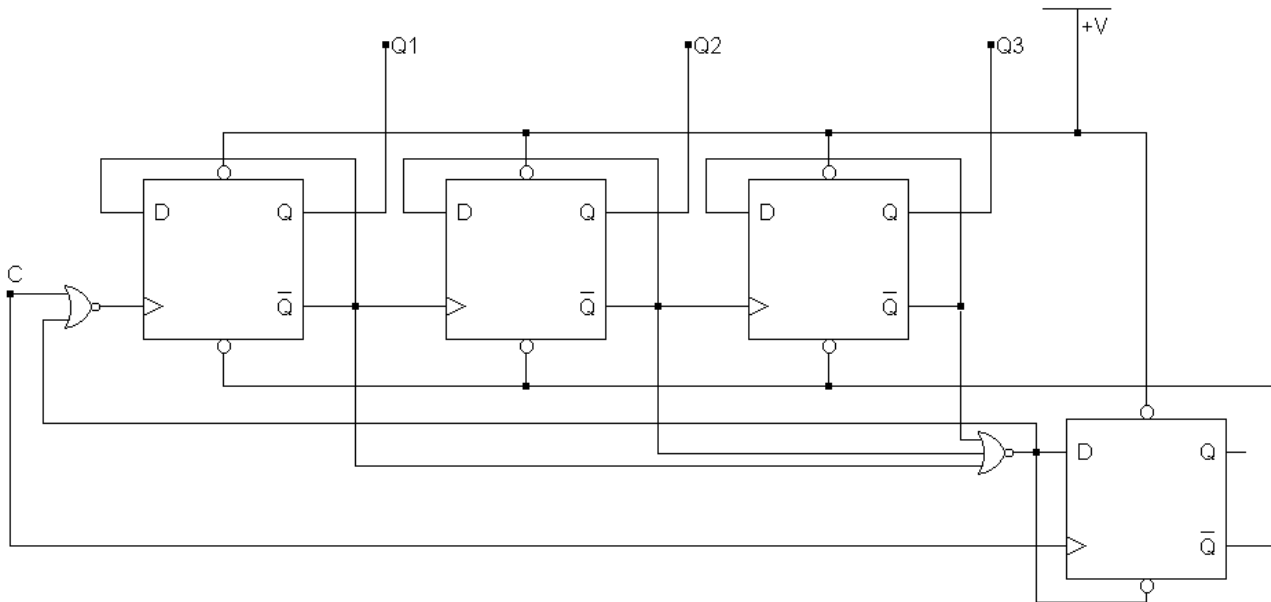


рис. 5.4

Використовуючи такі схеми зі зворотнім зв'язком для скидання лічильника слід пам'ятати, що операція скидання все таки не є миттєвою, а протікає за скінченний час, тому безпосередньо перед скиданням лічильника в стан 000 на виході першого тригера з'являються короткочасні імпульси, або, як їх називають, "голки". Це не важить, якщо лічильник з'єднано безпосередньо з індикатором, але при використанні цього виходу лічильника в якості, наприклад, джерела тактових імпульсів можуть виникнути певні проблеми. Схема, у якій таку проблему усунено, наведена на рис. 5.4. Важливою відмінністю від попередньої схеми є те, що схема визначає не факт потрапляння в неробочий стан 101, а факт потрапляння в стан 100 та в наступному такті виробляє сигнал скидання в 000.



## Порядок виконання роботи.

### 1. Дослідження підсумовуючого лічильника.

Зберіть схему, зображену на рис. 5.5. Увімкніть схему. Подаючи на вхід С

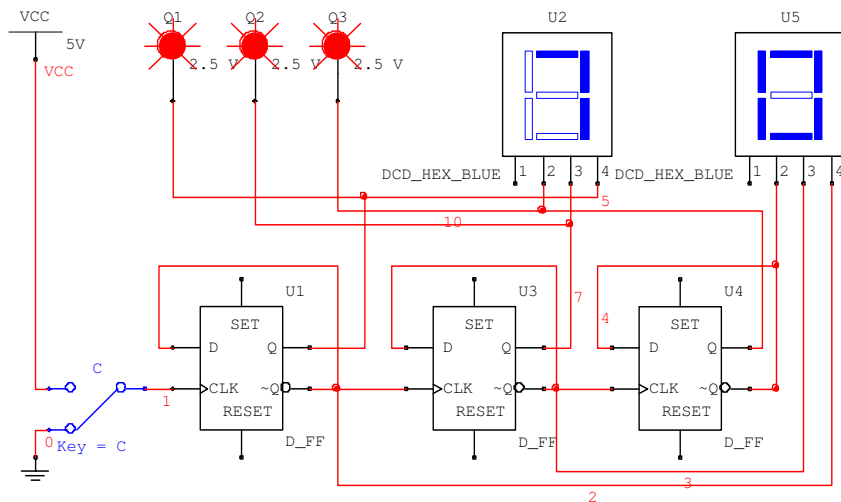


рис. 5.5

тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми

роботи підсумовуючого лічильника. Визначте коефіцієнт перерахунку лічильника. Зверніть увагу на числа, які формуються інверсними виходами тригерів лічильника.

### 2. Дослідження віднімаючого лічильника.

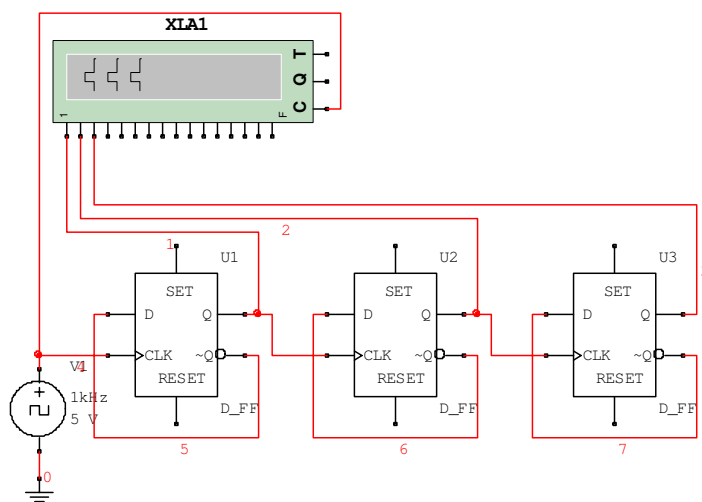


рис. 5.6

Зберіть схему, зображену на рис. 5.6. Увімкніть схему. Замалюйте часові діаграми роботи віднімаючого лічильника. Модифікуйте схему, з'єднавши входи логічного аналізатора з інверсними виходами тригерів. Увімкніть схему.

Замалюйте отримані часові діаграми, та порівняйте їх з діаграмами, отриманими при виконанні п. 1 завдання.

### 3. Дослідження лічильника зі змінним коефіцієнтом перерахунку.

Зберіть схему, зображену на рис. 5.7. Увімкніть схему. Подаючи на вхід С

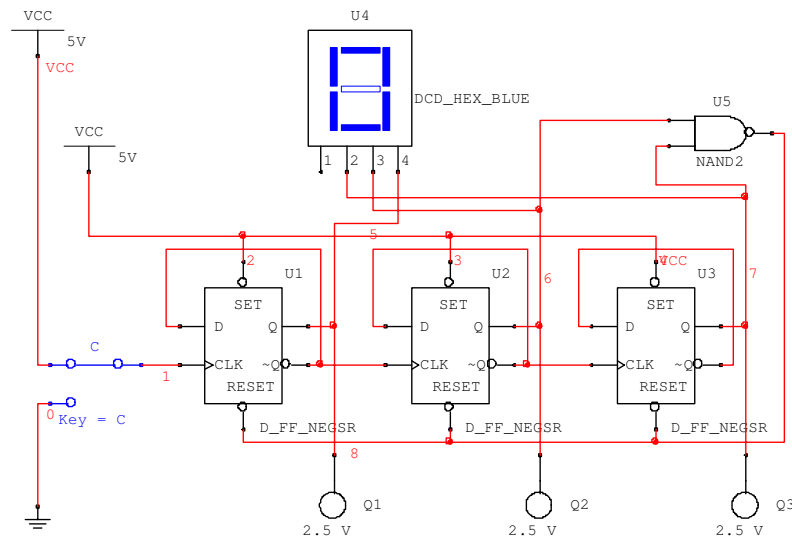


рис. 5.7

тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми роботи лічильника та визначте коефіцієнт

перерахунку.

Модифікуйте схему комбінаційної частини лічильника у відповідності до схеми, наведеної на рис. 5.3. Подаючи на вхід С тактові імпульси за допомогою перемикача та спостерігаючи за станами виходів лічильника за допомогою логічних пробників, складіть часові діаграми роботи лічильника з  $K_{сч} = 5$ .

### 4. Дослідження регістра Джонсона.

Зберіть схему, зображену на рис. 5.8. Лічильник, наведений на ній, отримав назву регістра Джонсона або регістра з перехресними зв'язками. Увімкніть

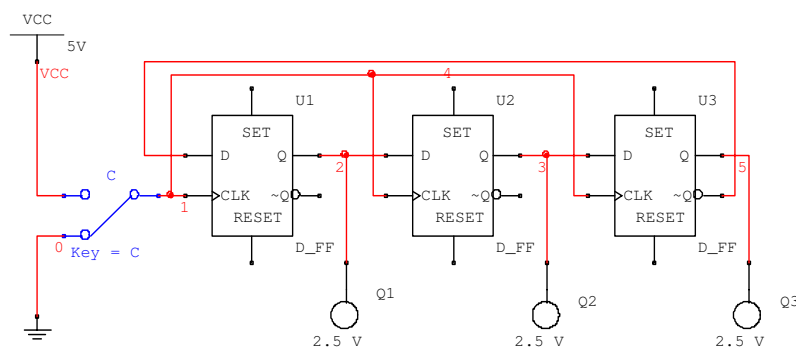


рис. 5.8

схему. Побудуйте часові діаграми роботи регістра Джонсона. Визначте коефіцієнт перерахунку регістра Джонсона.

## 5. Дослідження регістра Джонсона, створеного на базі JK-тригерів.

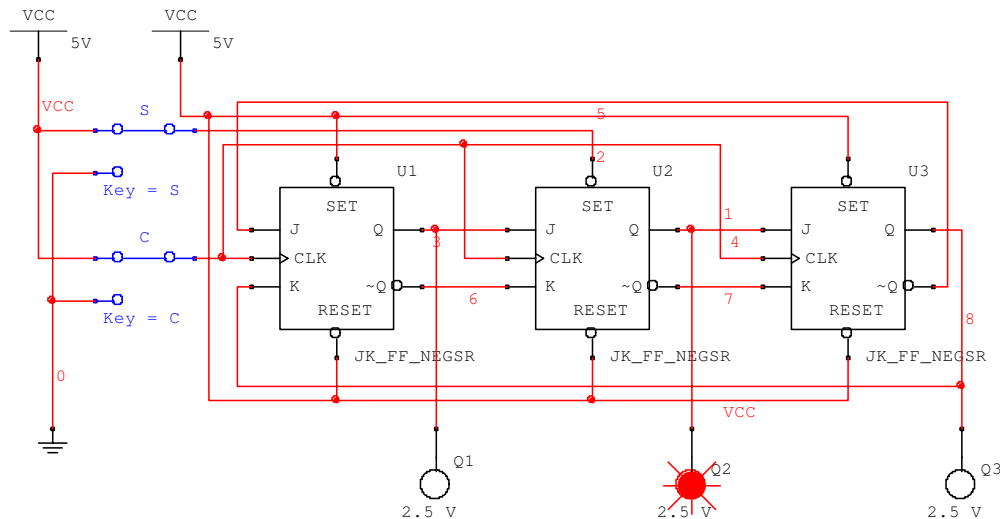


рис. 5.9

Зберіть схему, зображену на рис. 5.9. Установіть перемикач S у верхнє положення (на вхід S другого тригера надходить сигнал рівня логічної одиниці). Увімкніть схему. Побудуйте часові діаграми роботи схеми. Порівняйте їх з діаграмами, отриманими при виконанні п. 4. Встановіть схему в стан 000. За допомогою перемикача S подайте короткочасний імпульс на вхід S другого тригера. При цьому схема повинна встановитися в стан 010. Подаючи на вхід C тактові імпульси за допомогою перемикача на спостерігаючи за станами виходів схеми за допомогою логічних пробників, складіть часові діаграми роботи пристрою.

### Оформлення звіту по роботі.

- Вказати назву роботи та її мету.
- Навести схеми для відповідних досліджень.
- Навести таблиці результатів вимірів та відповідні графіки по всім пунктам завдання та дати пояснення до них.
- Зробити висновки щодо результатів виконаної роботи.

### Контрольні питання.

- Чому при з'єднанні лічильних входів D-тригерів з інверсними виходами попередніх каскадів лічильник працює як підсумовуючий, а при з'єднанні з прямими виходами – як віднімаючий?
- В якому режимі буде працювати лічильник на JK-тригерах при з'єднанні лічильних входів тригерів з прямими виходами попередніх каскадів? Як зміниться режим роботи лічильника при з'єднанні лічильних входів тригерів з інверсними виходами?
- Який коефіцієнт перерахунку має регістр Джонсона?
- Якими способами можна змінити коефіцієнт перерахунку лічильника?
- У двійковому лічильнику коефіцієнт перерахунку дорівнює 8, кількість тригерів – 3. При надходженні тактових імпульсів на лічильний вхід лічильник змінює свій стан у наступній послідовності: 000-001-010-011-001-101-110-111-000. Скільки тригерів у лічильнику змінюють свій стан одночасно на кожному з переходів? Чи дійсно тригери змінюють свій стан одночасно? Як відбувається перехід лічильника зі стану 111 в стан 000? Який з тригерів першим змінить свій стан? Що буде причиною зміни стану другого тригера? Як розвивається процес зміни стану тригерів при переході лічильника зі стану 001 в стан 100?
- Цифровий годинник у метро реалізовано на базі лічильників. Інколи можна помітити, що парна кількість секунд на табло годинника зберігається помітно довше, ніж непарна (можлива й обернена ситуація). Чому так відбувається?

## ЛІТЕРАТУРА

1. І.І. Бех, С.М. Левитський. Фізичні основи комп'ютерної електроніки. – К.: ТОВ “Карбон”, – 2010 р., – 233 с.
2. Бойт К. Цифровая электроника. - Москва: “Техносфера”, - 2007 г., - 472 с.
3. Новиков Ю.В. Введение в цифровую схемотехнику. // <http://www.intuit.ru/department/hardware/digs/>

## ЗМІСТ

Лабораторне завдання № 1. Логічні схеми та функції.	4
Лабораторне завдання № 2. Синтез і дослідження логічних схем.	11
Лабораторне завдання № 3. Комбінаційні цифрові пристрої. Дослідження дешифраторів.	16
Лабораторне завдання № 4. Запам'ятовуючі пристрої. Дослідження тригерів.	23
Лабораторне завдання № 5. Запам'ятовуючі пристрої. Лічильники та регістри.	35
Література	45

**Навчальне видання**

***БЕХ Ігор Іванович***

**МЕТОДИЧНИЙ ПОСІБНИК  
ДЛЯ ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ  
З КУРСУ “ЦИФРОВІ ПРИСТРОЇ”**

Підписано до друку “ 29 ” серпня 2011 р. Формат 60х80<sup>16</sup>.  
Гарнітура Times. Папір офсетний. Друк офсетний.  
Наклад 50 примірників. Ум. друк. арк. 2,9.

Видавнича лабораторія радіофізичного факультету  
**Київського національного університету імені Тараса Шевченка**