

PLA z 2 bitami wejściowymi

277950

15 czerwca 2025

1 Opis

Projekt obejmuje układ 2 wejściowego programmable logic array wykonany za pomocą bramek NAND. Układ pozwala na implementację arbitralnej funkcji 2 bitowej, umożliwia to użycie czterech, cztero wejściowych (dwa sygnały i sygnały komplementarna) bramek NAND oraz jednej 4 wejściowej bramki wyjściowej. W porównaniu do konwencjonalnego układu opartego na bramkach AND OR zajmuje mniej miejsca choć wymaga bardziej skomplikowanego programowania

1.1 Programowanie układu

Odbywa się przez ustawienie sygnału "programEN" oraz wysłaniu 16 bitów danych na port "PROGRAM", rejestr jest bazowany na układach TSPC latch, wysyłają one sygnał programowania oraz jego sygnał komplementarny wymagany do ustawienia bramek NAND.

1.2 Używanie układu

Aby wysłać dane wejściowe należy ustawić sygnał "dataEN", oraz wysłać 2 bity na port "DATA", odczyt odbywa się na pinie "OUTPUT". Uwaga, zmiana danych wyjściowych wymaga ustawienia sygnału "dataEN", pozwala to na odczyt danych przy braku wysyłania danych wejściowych

1.3 TSPC (true single phase) latch

Został użyty ponieważ mimo swoich problemów opisanych niżej wymaga mniej tranzystorów, ma mniejszą powierzchnię, pozwala na uniknięcie problemów związanych z clock skew oraz jest bardzo interesujący ze względów historycznych, został użyty w procesorze DEC alpha 21064, jest to procesor superskalarny który w 1992r był najszybszym procesorem z częstotliwością taktowania 150Mhz, 200Mhz w późniejszych odsłonach, udowodnił że technologia cmos może być używane przy technologiach wysokich częstotliwości, wcześniej głównie wykorzystywana była technologia BiCmos. Latche typu TSPC zostały zastąpione przez konwencjonalne latche typu NORA (no race) pozwalając na zwiększenie częstotliwości taktowania o 10%, lecz wymagają precyzyjnej analizy zegara co było poza zakresem tego projektu.

Inną rozważaną implementacją był Phase Nonn Overlapping latch, który nie został użyty ponieważ jest nudny.

1.3.1 Wady

- Wymaga stromego zbocza zegara
- Występuje ringing podczas zmiany stanu

1.4 Transmission gate multiplexer

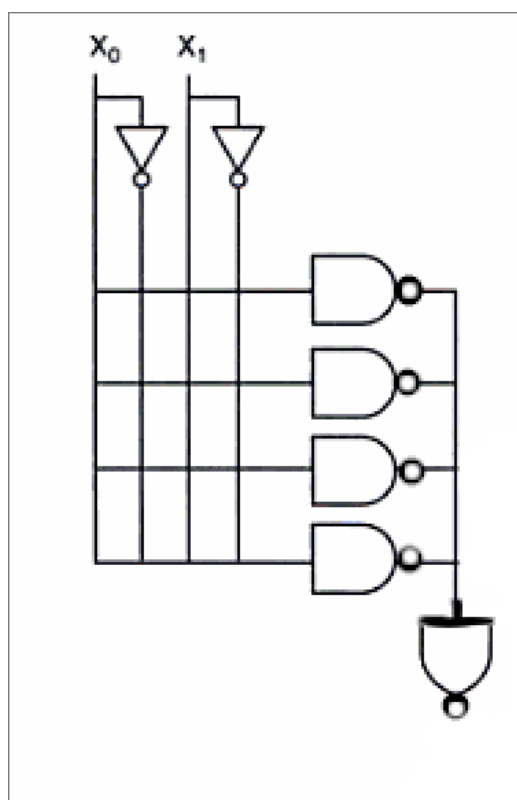
został użyty ponieważ drastycznie zmniejsza powierzchnie modułu oraz ilość użytych tranzystorów, jedyną wadą w porównaniu do implementacji bramkami logicznymi jest wymaganie podania komplementarnego sygnału ustawiającego wyjście

2 Sterowanie układem

- CLK - sygnał zegara (sygnał prostokątny, o ostrym zboczu)
- PROGRAM - zapis programu do 16 bitowego rejestru przesuwne
- programEN - sygnał zezwolenia na programowanie
- DATA - zapis danych do rejestru przesuwne
- dataEN - sygnał zezwolenia do zapisu danych

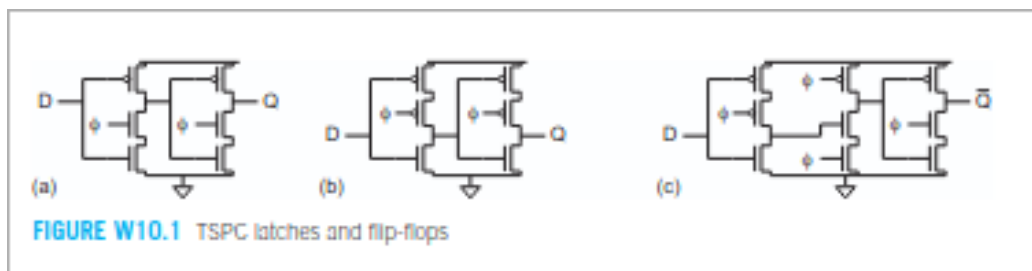
3 Schematy układów

3.1 PLA



Rysunek 1: NAND-NAND PLA

3.2 TSPC flip flop oraz latch



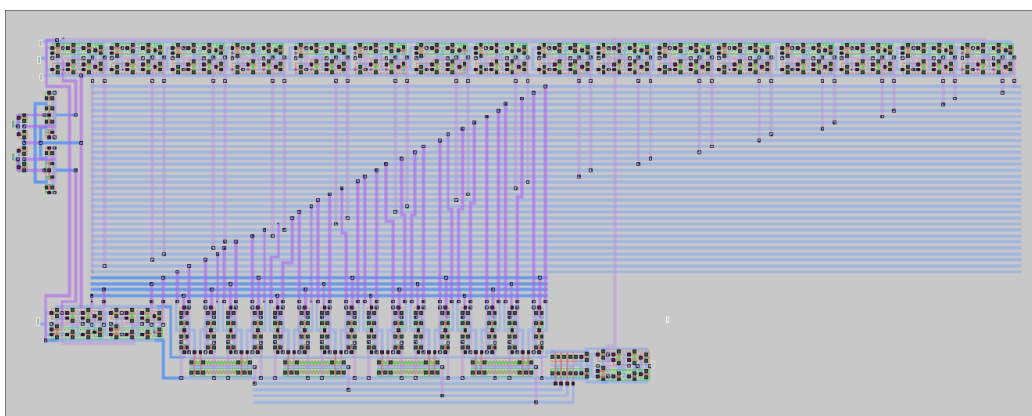
Rysunek 2: TSPC

3.3 Rejestr przesuwny

Składa się z szeregowo przyłączonych flip flopów TSPC, pokazanie schematu jest zbędne

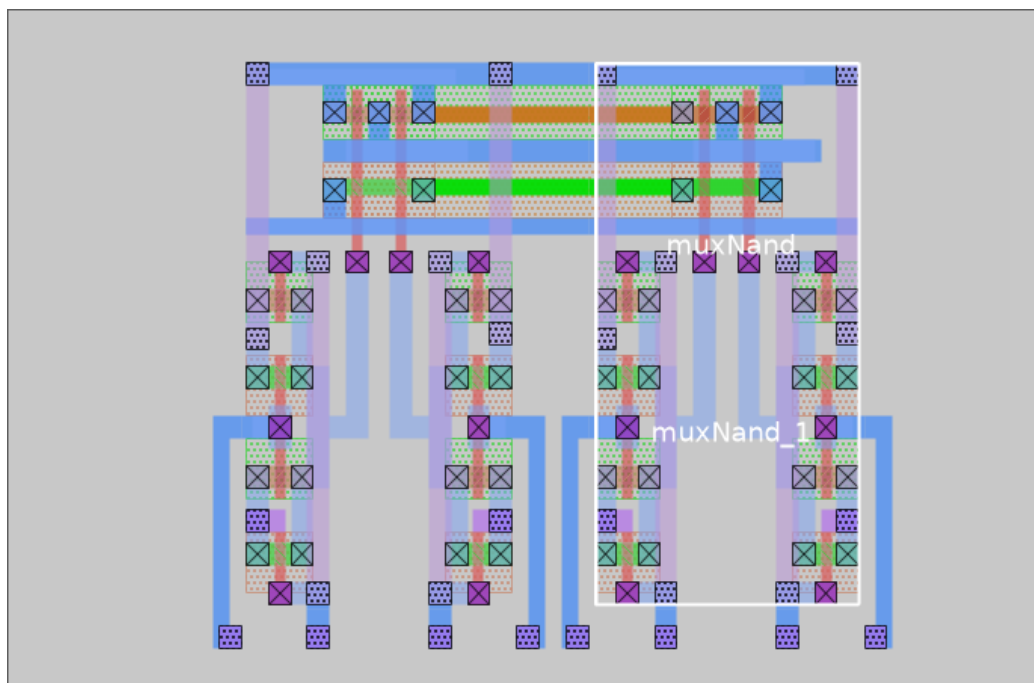
4 Prezentacja układu

4.1 PLA



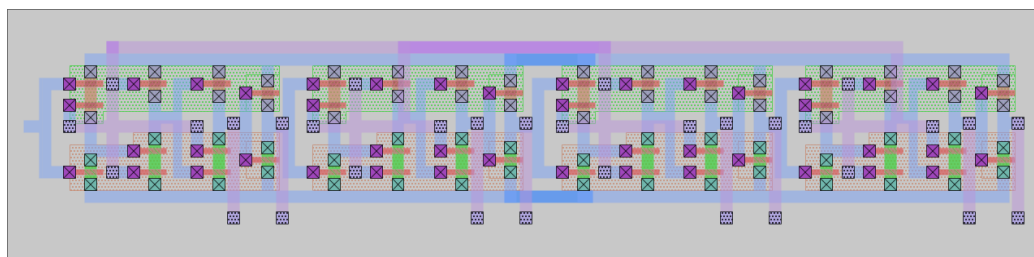
Rysunek 3: NAND-NAND PLA

4.2 Programowalna bramka NAND



Rysunek 4: Programowalna bramka NAND

4.3 Rejestr przesuwny

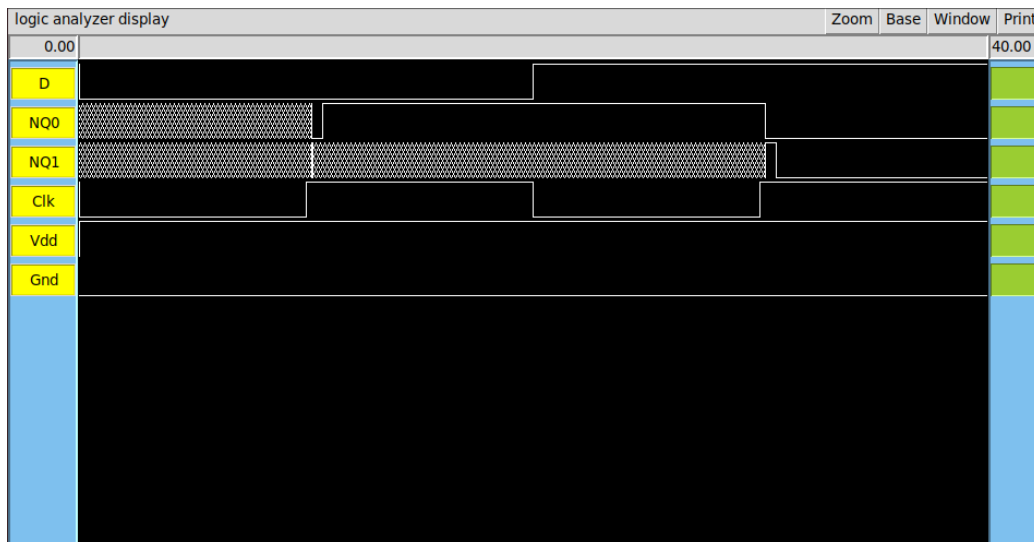


Rysunek 5: Rejestr przesuwny (mniejszy od urzytego w celu zachowania czytelności)

5 Prezentacja działania

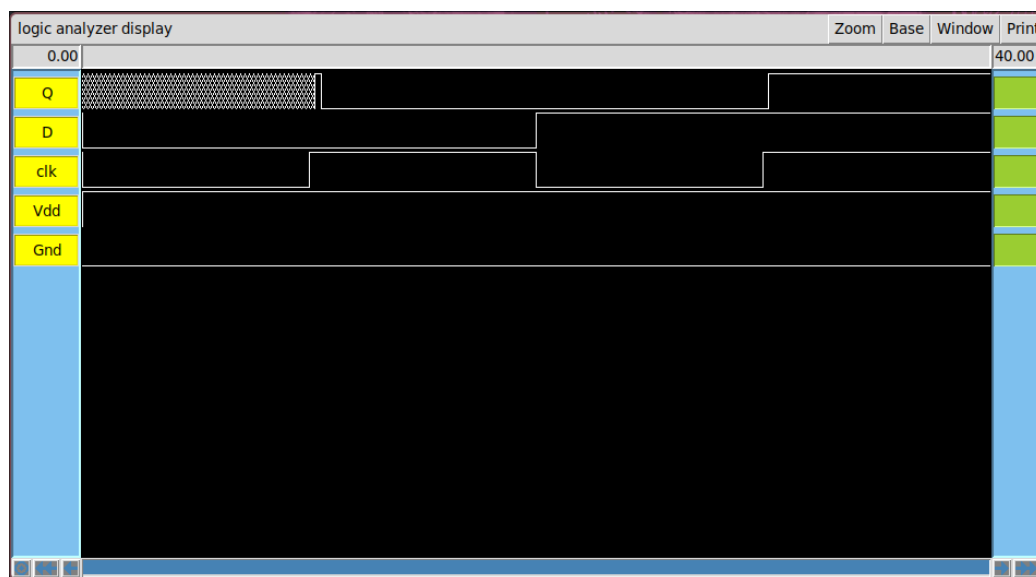
Program IRSIM jest zbyt ograniczony aby pokazać efektywnie działanie całego układu oraz w celach symulacji upraszcza symulowany układy co prowadzi do nieprzewidywalnego zachowania, więc przedstawione będzie działanie poszczególnych modułów

5.1 Rejestr przesuwny



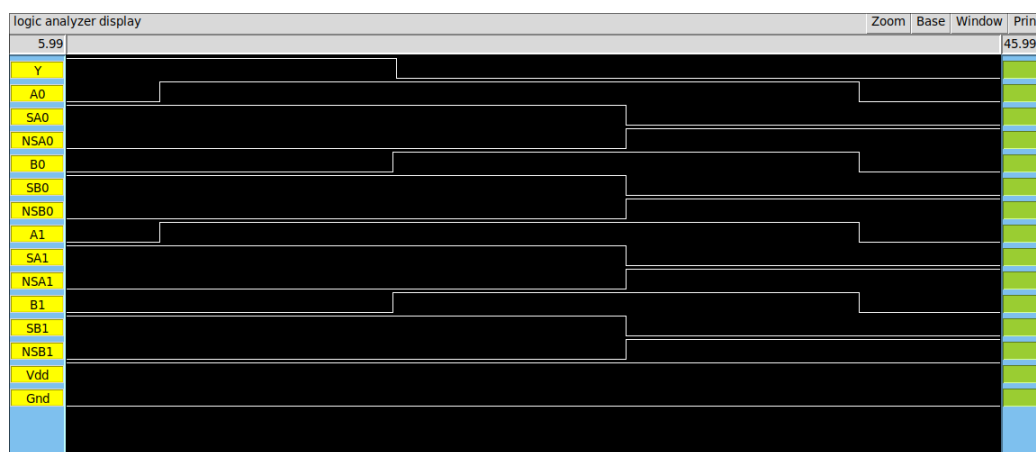
Rysunek 6: Stany logiczne rejestru

5.2 TSPC flip flop



Rysunek 7: Stany logiczne TSPCff

5.3 Programowalne bramki NAND



Rysunek 8: Stany logiczne bramki NAND

6 Wnioski

Mimo obsługiwanie jedynie 2 bitów wejściowych projekt zajmuje zaskakująco dużą powierzchnię, 2 bity wejściowe wymagają 4 bramek o 4 wejściach, z czego każde programowalne 2 sygnałami (sygnał i sygnał komplementarny) co wymaga użycia 16 bitowego rejestru przesuwne i 32bitowego Data bus. Dość prostą modyfikacją układu byłoby dodanie 3 kolejnych bramek wyjściowych i dodanie możliwości ich programowania, umożliwiłoby to zaimplementowanie kilku funkcji jednocześnie, choć wymagałoby kolejnego rejestru 16 bitowego i rozszerzenia Data bus do 64 bitów.

Program MAGIC vlsi oraz Irsim są nieadekwatne do pracy z tak rozbudowanym projektem, w przyszłości projekty będą wykonywał w programie Electric lub Cadance/Synopsi

7 Źródła

CMOS VLSI Design: A Circuits and Systems Perspective
CMOS VLSI Design Web Supplements