
	<p>Politechnika Bydgoska im. J.J. Śniadeckich w Bydgoszczy Wydział Telekomunikacji, Informatyki i Elektrotechniki Zakład Informatyki Stosowanej i Inżynierii Systemów</p>		
Przedmiot	Układy cyfrowe		Kierunek/ Tryb
Temat	Układ potęgujący		
Imię i nazwisko:	Nikodem Gębicki		
Numer lab.	6	Data oddania sprawozdania:	16.06.2023

Cel ćwiczenia

Zaprojektować i zoptymalizować układ iteracyjny wykrywający sekwencję 3 zer.

Przebieg

Diagram

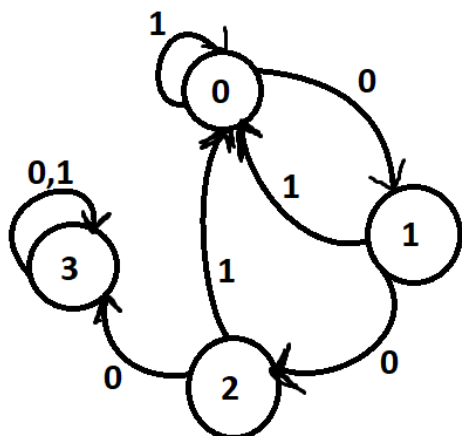


Tabela prawdy, tabelki Karnaugh i postać zoptymalizowana

Lp	x	out_q, out_p
0	0	01
1	1	00

out_q = 0
out_p = !x

Lp.	in_q, in_p, x	out_q, out_p
0	000	01
1	001	00
2	010	10
3	011	00
4	100	11
5	101	00
6	110	11
7	111	11

in_p, x	in_q	00	01	11	10
0					1
1	1			1	1

out_q = p!c+q!x+qp (in_)

in_p, x	in_q	00	01	11	10
0		1			
1	1	1			1

out_p = !p!x+qp (in_)

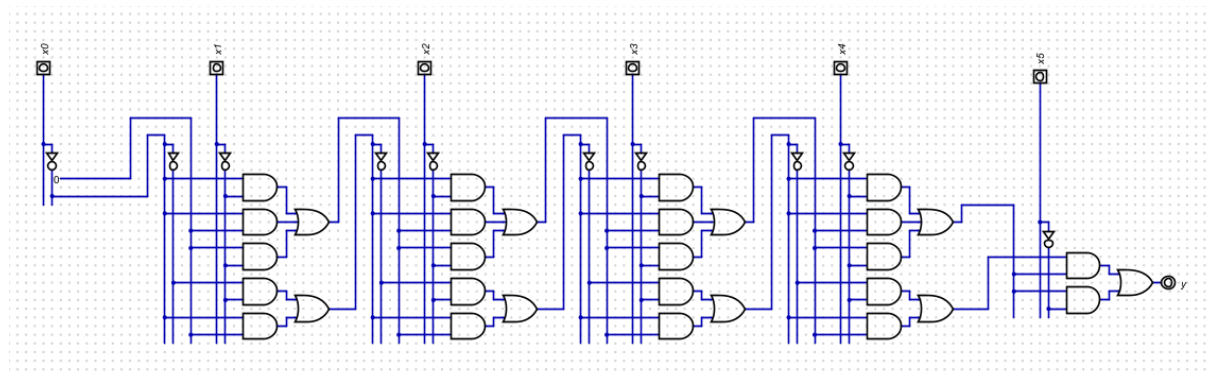
Lp.	in_q, in_p, x	y
0	000	0
1	001	0
2	010	0
3	011	0
4	100	1
5	101	0
6	110	1
7	111	1

q, p	Stan
00	bez zer
01	jedno zero
10	dwa zera
11	trzy zera

in_p, x	in_q	00	01	11	10
0					
1	1	1		1	1

y = q!x+qp (in_)

Układ



Testy (Analiza układu wykonana przez program Digital)

x0	x1	x2	x3	x4	x5	y
0	0	0	0	0	0	1
0	0	0	0	0	1	1
0	0	0	0	1	0	1
0	0	0	0	1	1	1
0	0	0	1	0	0	1
0	0	0	1	0	1	1
0	0	0	1	1	0	1
0	0	0	1	1	1	1
0	0	1	0	0	0	1
0	0	1	0	0	1	0
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	1	1	0	0	0
0	0	1	1	0	1	0
0	0	1	1	1	0	0
0	0	1	1	1	1	0
0	1	0	0	0	0	1
0	1	0	0	0	1	1
0	1	0	0	1	0	0
0	1	0	0	1	1	0
0	1	0	1	0	0	0
0	1	0	1	0	1	0
0	1	0	1	1	0	0
0	1	0	1	1	1	0
0	1	1	0	0	0	1
0	1	1	0	0	1	0
0	1	1	0	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	0
0	1	1	1	0	1	0
0	1	1	1	1	0	0
0	1	1	1	1	1	0
0	1	1	1	1	1	0

x0	x1	x2	x3	x4	x5	y
1	0	0	0	0	0	1
1	0	0	0	0	1	1
1	0	0	0	1	0	1
1	0	0	0	1	1	1
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	0
1	0	0	1	1	1	0
1	0	1	0	0	0	1
1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	0
1	0	1	1	1	1	0
1	1	0	0	0	0	1
1	1	0	0	0	1	1
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	1
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0
1	1	1	1	1	1	0

Wnioski

Układ iteracyjny składa się z modułów i nie jest synchronizowany zegarem, każdy bit wejściowy analizowany jest w tym samym czasie.