



Univerzitet u Novom Sadu
Fakultet Tehničkih Nauka
Katedra za računarsku tehniku i međuračunarske komunikacije



Algoritmi i arhitekture DSP I

- ❖ INTERNA ORGANIZACIJA DIGITALNOG PROCESORA ZA OBRADU SIGNALA



INTERNA ORGANIZACIJA DIGITALNOG PROCESORA ZA OBRADU SIGNALA



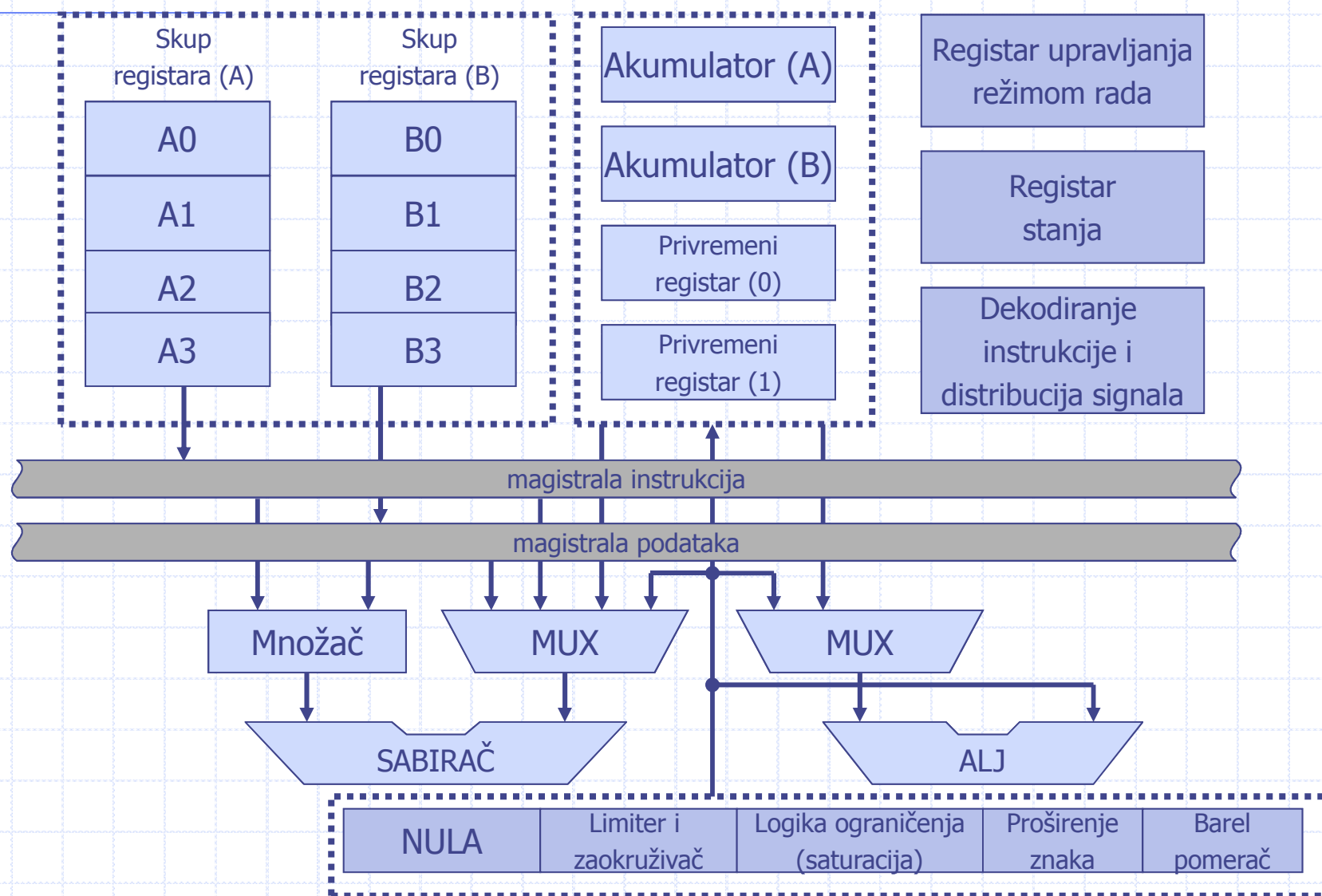


JEZGRO CENTRALNOG PROCESORA I REGISTARSKI FAJLOVI 1/2





JEZGRO CENTRALNOG PROCESORA I REGISTARSKI FAJLOVI 2/2

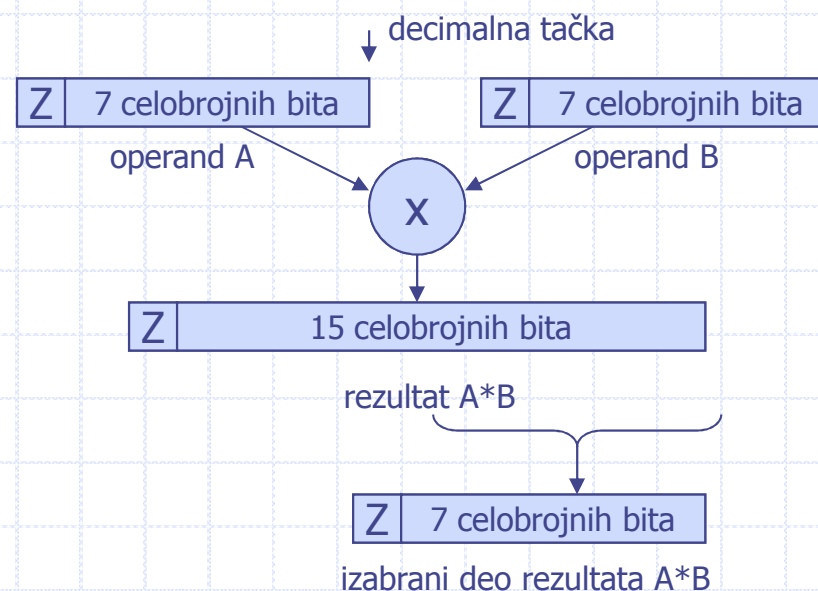




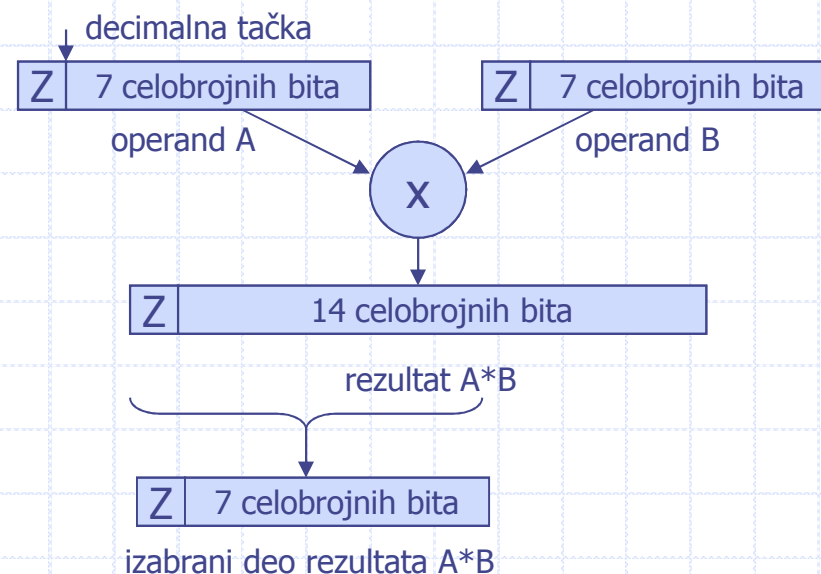
MNOŽAČI

- ❖ Često korišćena-zahtevna operacija digitalne obrade signala – MNOŽENJE
- ❖ Množenje – jedna instrukcija, ali sa sračunavanje je potrebno više taktova (kašnjenje)
- ❖ Rezultat množenja dva n-bitna broja je $2n$

CELOBROJNO MNOŽENJE



MNOŽENJE BROJEVA U NEPOKRETNOM ZAREZU

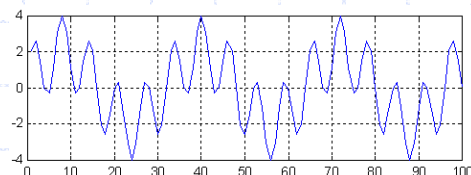




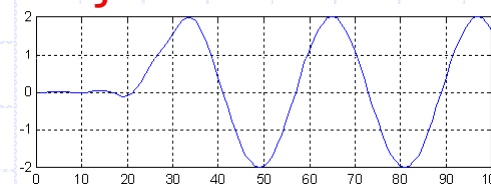
POMERAČI

- ❖ Operacija množenja i akumulacije rezultata ima tendenciju povećanja dužine rezultata
- ❖ Rešenja skaliranje (množenjem) njegovih ulaza 2^n

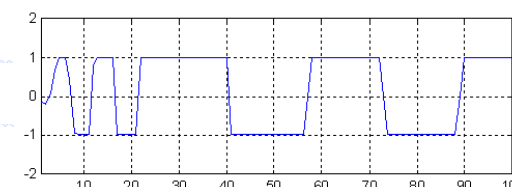
Problem:



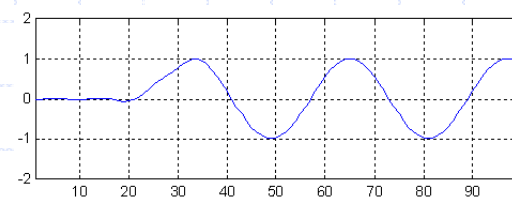
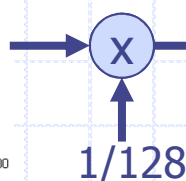
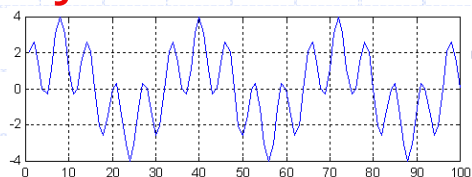
Željeno:



Dobijeno:



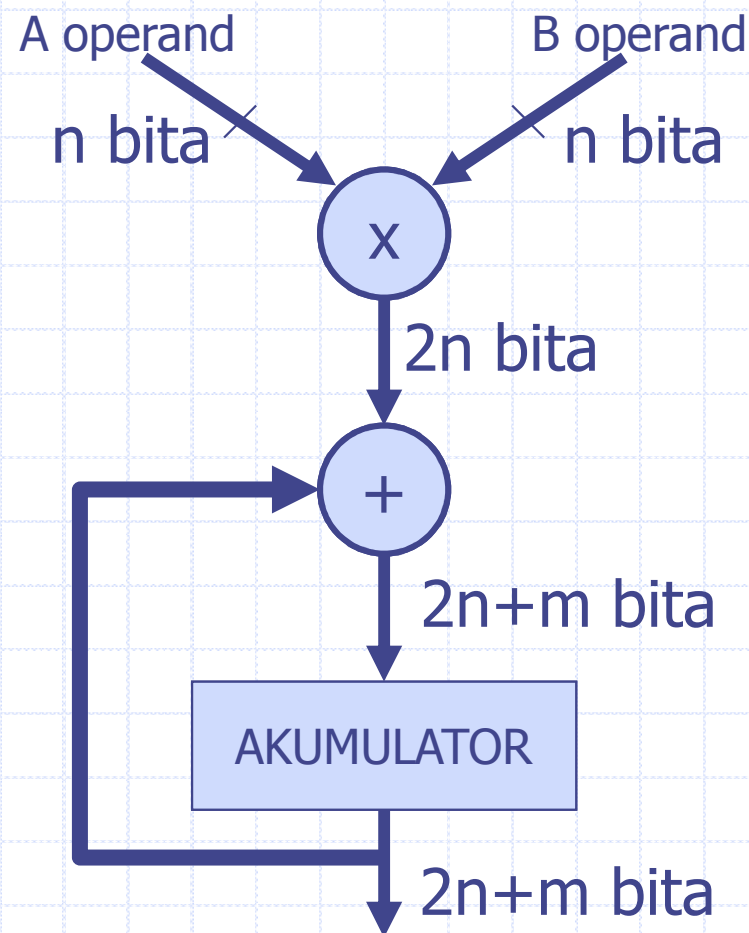
Rešenje:





AKUMULATORSKI REGISTRI

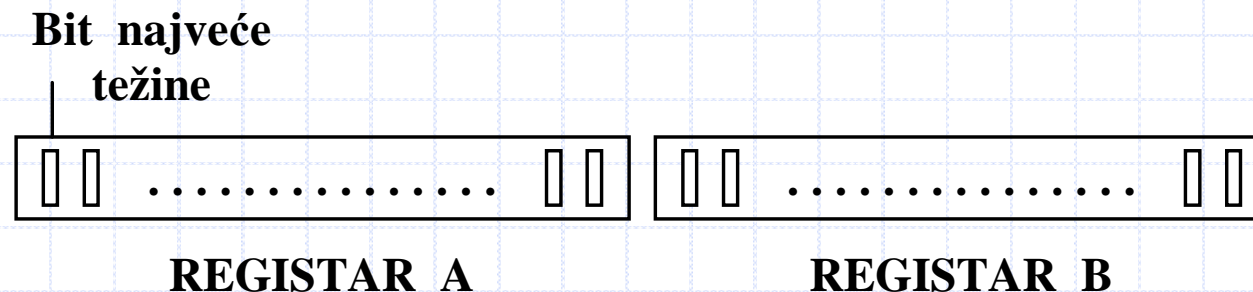
- ❖ Akumulatorski registri čuvaju krajnje i među rezultate MAC instrukcije i drugih aritmetičkih operacija
- ❖ Dužina akumulatora veća od dužine množača
- ❖ Dodatni biti – zaštitni biti
- ❖ n zaštitnih bita daje kapacitet za $2n$ akumulacija
- ❖ Ukoliko nema zaštitnih bita ulazne vrednosti moraju se skalirati





REGISTRI (Opšte namene)

- ❖ Registri služe kao privremene memorijske komponente u koje se smeštaju vrednosti podataka, operandi u toku aritmetičkih i logičkih operacija
- ❖ Registri služe kao ulazi u aritmetičko-logičku jedinicu
- ❖ Registri imaju istu dužinu reči kao i interna magistrala podataka DSP
- ❖ Kod većine DSP, registri se organizuju u parove skupove registara A i B





REGISTAR STANJA

- ❖ Služi za smeštanje informacije o rezultatu dobijenom u toku aritmetičkih operacija DSP
- ❖ Algoritmi mogu prolaziti kroz različite puteve obrade zavisno od ishoda operacije

Bit 0
Bit 1
Bit 2
Bit 3
Bit 4
Bit 5
Bit 6
Bit 7
Bit 8
Bit 9
Bit 10
Bit 11
Bit 12
Bit 13
Bit 14
Bit 15

C	→ ALJ prenos (carry)
Z	→ ALJ nula(zero)
OV	→ ALJ prekoračenje opsega(overflow)
N	→ ALJ negativna vrednost (negative)
MC	→ Množac prenos (M. cary)
MO	→ Množac prekoračenje o. (M. overflow)
U	→ Ne-normalizovana vrednost
E	→ Proširenje (extension)
RP	→ U toku izvršavanje petlje
TF	→ Testna zastavica
XP	→ Stanje spoljne nožice
res	
RT	→ Ispitivanje registra
S0	→ Izbor registra 0
S1	→ Izbor registra 1
res	



REGISTAR UPRAVLJANJA REŽIMOM RADA DSP

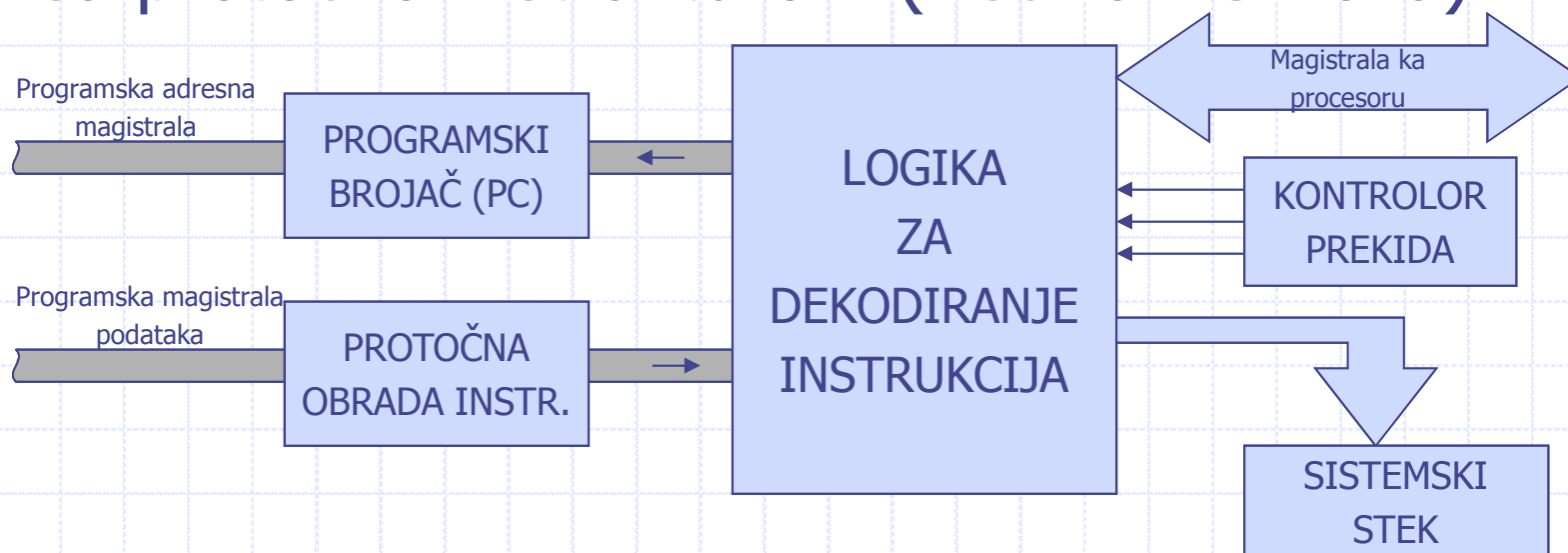
❖ Služi za određivanje šta će DSP obaviti u određenim situacijama

Bit 0	EN	→ Režim redosleda bajta (Little/Big endian)
Bit 1	LR	→ Dozvoljen ROM (ROM enable)
Bit 2	RE	→ Dozvoljen RAM (RAM enable)
Bit 3	PM	→ Režim rada procesora (Processor mode)
Bit 4	NM	→ Numerički režim rada
Bit 5	EM	→ Režim rada proširenja (Extension mode)
Bit 6	S	→ Režim rada zasićenja
Bit 7	I0	→ Maska prekida 0 (Interrupt mask)
Bit 8	I1	→ Maska prekida 1 (Interrupt mask)
Bit 9	GI	→ Globalni prekid
Bit 10	XP	→ Režim rada spoljašnje nožice
Bit 11	res	→ Rezervisano
Bit 12	HM	→ Režim održavanja stanje (Hold mode)
Bit 13	R0	→ Režim zaokruživanja 0
Bit 14	R1	→ Režim zaokruživanja 1
Bit 15	AV	→ Vidljivost adresa



JEDINICA ZA DEKODIRANJE INSTRUKCIJA I DISTRIBUCIJU KONTROLNIH SIGNALA

- ❖ U opštem slučaju rad ovog dela procesora je nevidljiv za korisnika.
- ❖ Sve instrukcije prolaze kroz različite faze u toku obrade (prihvat–dekodiranje–izvršenje).
- ❖ Veliku važnost ova jedinica ima kod arhitektura sa protočnom strukturom (Većina DSP-ova)



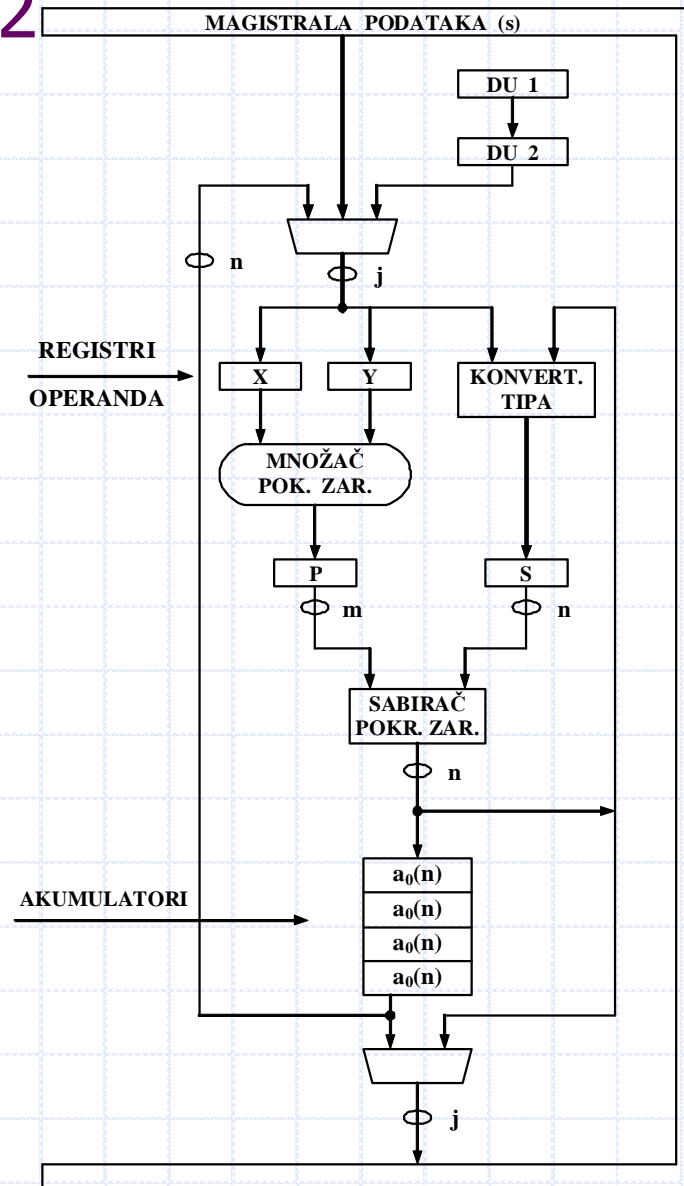


PROGRAMSKI BROJAČ (PC)

- ❖ Generiše adresu sledeće instrukcije koja se prihvata iz memorije
- ❖ Režimi rada:
 - ❖ Normalni režim rada (uvećava vrednost za +1)
 - ❖ Režim rada skoka ili obrade prekida, puni se adresom prve instrukcije prekidne rutine /podprograma
- ❖ Kod određene grupe DSP-ova adrese se određuju u jedinici za generisanje adresa.



PROCESORSKO JEZGRO (PUT TOKA PODATAKA) SA ARITMETIKOM POKRETNOG ZAREZA 1/2





PROCESORSKO JEZGRO (PUT TOKA PODATAKA) SA ARITMETIKOM POKRETNOG ZAREZA 2/2

❖ MNOŽAČI

- ❖ Rezultat množenja isti format ili se povećava broj bita mantise (max. 8-12 bita)

❖ ALJ

- ❖ Obavlja operacije: sabiranja, oduzimanja, abs, negacije, min, max itd.
- ❖ Za sabiranje u MAC instrukciji
- ❖ Izuzeci (exception): prekoračenje opsega, deljenje sa nulom.
- ❖ Procesor ukazuje na izuzetak postavljanjem odgovarajućeg bita u registar stanja ili uzrokovanjem prekida

❖ ZAOKRUŽIVANJE

- ❖ I kod procesora sa pokretnim zarezom postoji tendencija porasta dužine bita kod operacija množenja, akumulacije i ostalih aritmetičkih operacija.
- ❖ Jedno rešenje 40 do 44-bitni format



SKUP I FORMAT INSTRUKCIJA DSP-a

- ❖ Pri posmatranju skupa instrukcija od interesa je posmatrati:
 - ❖ tip instrukcija,
 - ❖ tip registara,
 - ❖ podršku skupa instrukcija premeštanja podataka paralelno sa aritmetičkim i operacijama množenja.



TIP INSTRUKCIJA 1/8

❖ ARITMETIČKE OPERACIJE I MNOŽENJE

- ❖ sabiranje, oduzimanje, uvećanje, smanjenje, negacija, zaokruž enje, apsolutna vrednost i množenje
- ❖ dizanja operanda na kvadrat
- ❖ instrukcije za podršku proširenoj aritmetičkoj preciznosti, kao i operaciju sabiranja sa prenosom (add with carry) i oduzimanja sa pozajmicom (subtract – with – borrow)

❖ LOGIČKE OPERACIJE

- ❖ I, ILI, EXCLUSIVNO ILI, NE

❖ POMERANJE

- ❖ aritmetičko i logičko

❖ ROTACIJA



TIP INSTRUKCIJA 2/8

❖ POREĐENJE

- ❖ Većina procesora definiše bit stanja koji informiše o rezultatu aritmetičke operacije
- ❖ Neki procesori imaju instrukciju poređenja COMPARE, koja u stvari obavlja oduzimanje bez modifikacije referentne vrednosti

❖ PETLJE

- ❖ HARDVERSKJE PETLJE (HARDVARE LOOPING)

❖ GRANANJE POZIV POTPROGRAMA I POVRATAK

- ❖ branch, goto, jump
- ❖ jump-to-subroutine

❖ GRANANJE

- ❖ uslovno i bezuslovno, zakašnjeno / više ciklično



TIP INSTRUKCIJA 3/8

- ❖ USLOVNO IZVRŠAVANJE INSTRUKCIJA
 - ❖ Instrukcije uslovnog izvršavanja omogućuju programeru da definiše da će se instrukcija izvršiti samo u slučaju ispunjenja uslova
- ❖ INSTRUKCIJE ZA MANIPULACIJU SA BITIMA
 - ❖ Instrukcije nad jednim bitom (bitset, bitclear, bittoggle i bittest) i
 - ❖ Instrukcije nad bit-poljem (I, ILI, NOT, EXCLUSIVE-OR nad definisanom memorijskom lokacijom)
- ❖ PODRŠKA PARALELNOM PREMEŠTANJU
 - ❖ višestruki memorijski pristupi, dešavaju se paralelno sa aritmetičkim operacijama, u jednom instrukcionom ciklusu



TIP INSTRUKCIJA 4/8

❖ ORTOGONALNOST

- ❖ Se odnosi na opseg konzistentnosti procesorskog skupa instrukcija
- ❖ Ukoliko je skup instrukcija više ortogonalan lakše ga je koristiti
- ❖ Ortogonalnost je subjektivno pitanje i nije ga lako kvantifikovati
- ❖ Dve osobine koje najviše utiču na procesorsku ortogonalnost su:
 - ❖ konzistentnost i kompletnost instrukcionih skupova
 - ❖ stepen do koga su operandi i adresni režimi uniformno raspoloživi sa različitim operacijama
- ❖ PRIMER
 - ❖ procesor sa add instrukcijom a ne sa subtract je neortogonalan
 - ❖ Procesor koji dozvoljava registarsko – indirektno adresiranje sa add instrukcijom ali ne i sa subtract je neortogonalan



TIP INSTRUKCIJA 5/8

❖ UPRAVLJANJE IZVRŠENJEM

❖ Upravljanje izvršenjem instrukcije odnosi se na pravila i mehanizme koji se koriste u procesoru za određivanje sledeće izvršive instrukcije

- ❖ hardverska petlja
- ❖ rukovanje prekidom
- ❖ stekovi i
- ❖ podrška relativnom grananju



TIP INSTRUKCIJA 6/8

❖ HARDVERSKA PETLJA

- ❖ Koristi se kod FIR i IIR filtara, konvolucije
- ❖ Hardverske petlje su specijalne hardverske upravljačke konstrukcije koje ponavljaju bilo jednu bilo grupu instrukcija izvestan broj puta
- ❖ dva tipa hardverskih petlji
 - ❖ petlja sa jednom instrukcijom
 - ❖ petlja sa više instrukcija
- ❖ Ugnježdene hardverske petlje
 - ❖ DIREKTNO UGNJEŽDENJE, hardloop u hardloop, do tri nivoa ugnježđenja
 - ❖ DELIMIČNO UGNJEŽDENJE, dozvoljeno unošenje hardloop sa jednom instrukcijom kao deo hardloop sa više instrukcija
 - ❖ SOFTVERSKI UGNJEŽDIVE, poziv unutrašnjeg hardloop zahteva da se sačuva sadržaj spoljašnjeg hardloop-a.
 - ❖ NEUGNJEŽDIVE



TIP INSTRUKCIJA 7/8

❖ PREKIDI

- ❖ Prekid je spoljnji događaj koji uzrokuje da procesor prekida izvršenje tekućeg obrađivanog programa i da skoči na izvršavanje specijalnog bloka koda koji se naziva rutinom za obradu prekida

❖ IZVORI PREKIDA

- ❖ periferije u okviru integrisanog kola
- ❖ spoljne linije prekida
- ❖ softverski prekidi – zamke ili izuzeci

❖ VEKTORI PREKIDA

- ❖ Jedna do dve reči, sadrže adresu grananja ili poziva podprograma
- ❖ Kod nekih DSP-ova vektori prekida su razdvojeni sa nekoliko reči (4 ili 8) što omogućava da se realizuju telo obrade prekida realizuje u okviru tabele vektora prekida
- ❖ Svi procesori poseduju mehanizme zabrane (disable) / dozvole (enable) prekida.
- ❖ Šema prioriteta prekida



TIP INSTRUKCIJA 8/8

❖ PREKIDI

❖ VREME ODZIVA NA PREKID

- ❖ je vreme između pojave prekida i procesorove reakcije na njega
- ❖ *definicija da je to minimalno vreme od pojave prekida na spoljnim linijama prekida do izvršenja prve reči vektora prekida, koje može biti garantovano pod nekim okolnostima*

❖ STEKOVI

- ❖ REGISTRI U SENCI (SHADOW)
- ❖ HARDVERSKI STEK
- ❖ PROGRAMSKI STEK

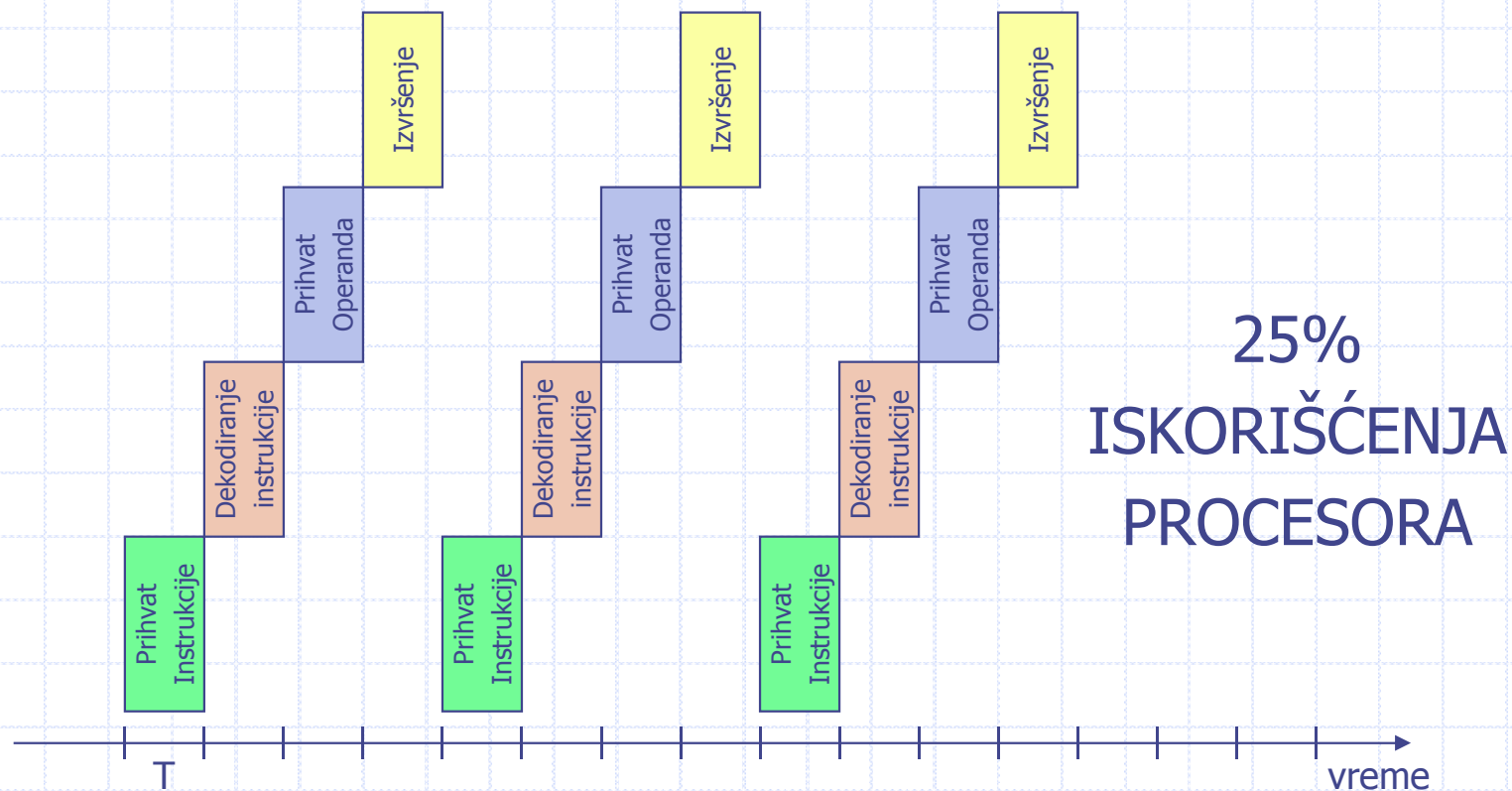
❖ PODRŠKA RELATIVNOM GRANANJU

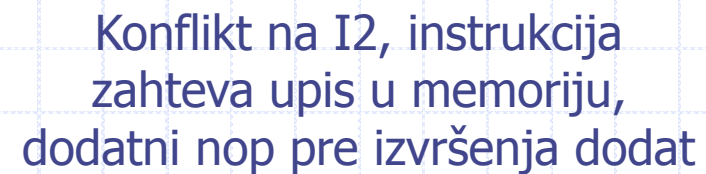
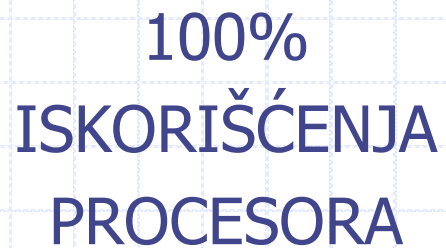
- ❖ grananje relativno u odnosu na programski brojač, čime se može postići nezavisnost programa u odnosu na poziciju



PROTOČNOST - PIPELINING

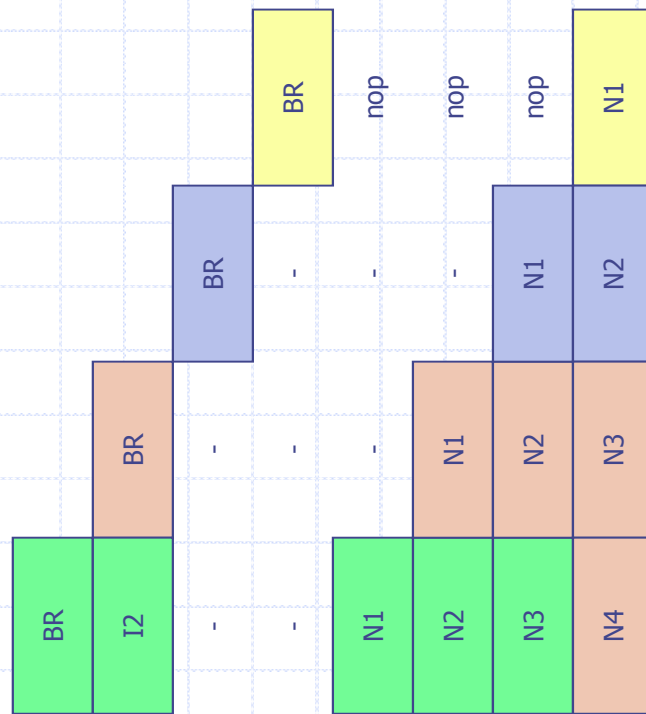
- ❖ Protočnost je tehnika koja se koristi za uvećanje performanse procesora (digitalnog sistema) deljenjem niza operacija u manje delove i izvršavanje ovih operacija paralelno, kad je to moguće



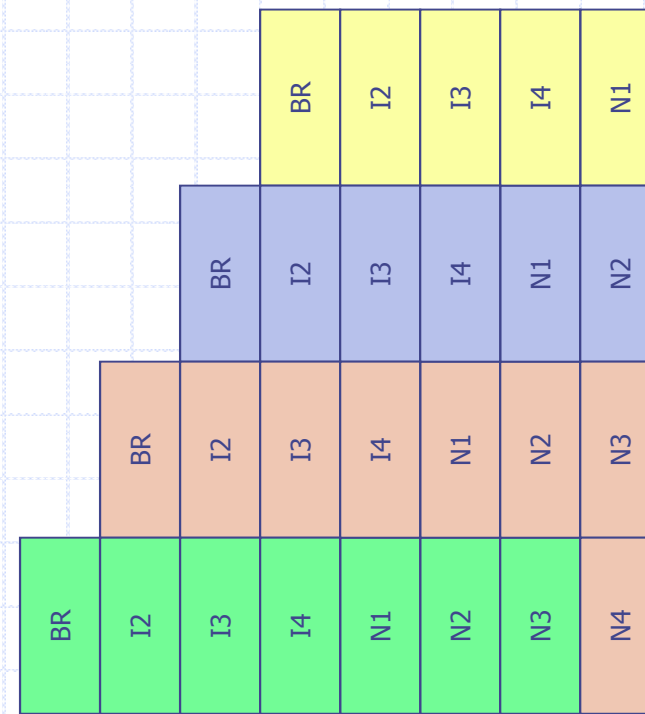




EFEKAT GRANANJA NA PROTOČNU STRUKTURU



Efekat grananja



Efekat zakašnjenog grananja



EFEKAT PREKIDA NA PROTOČNU STRUKTURU

I1	I2	I3	I4	I5	INTR	NOP	NOP	NOP	V1
I2	I3	I4	I5	INTR	-	-	-	V1	V2
I3	I4	I5	INTR	-	-	-	V2	V1	V3
I4	I5	I6	-	-	-	V1	V2	N3	V4

Efekat prekida