



Univerzite u Novom Sadu
Fakultet Tehničkih Nauka
Katedra za računarsku tehniku i međuračunarske
komunikacije



Algoritmi i arhitekture DSP I

❖ ULAZNO IZLAZNI PODSISTEM

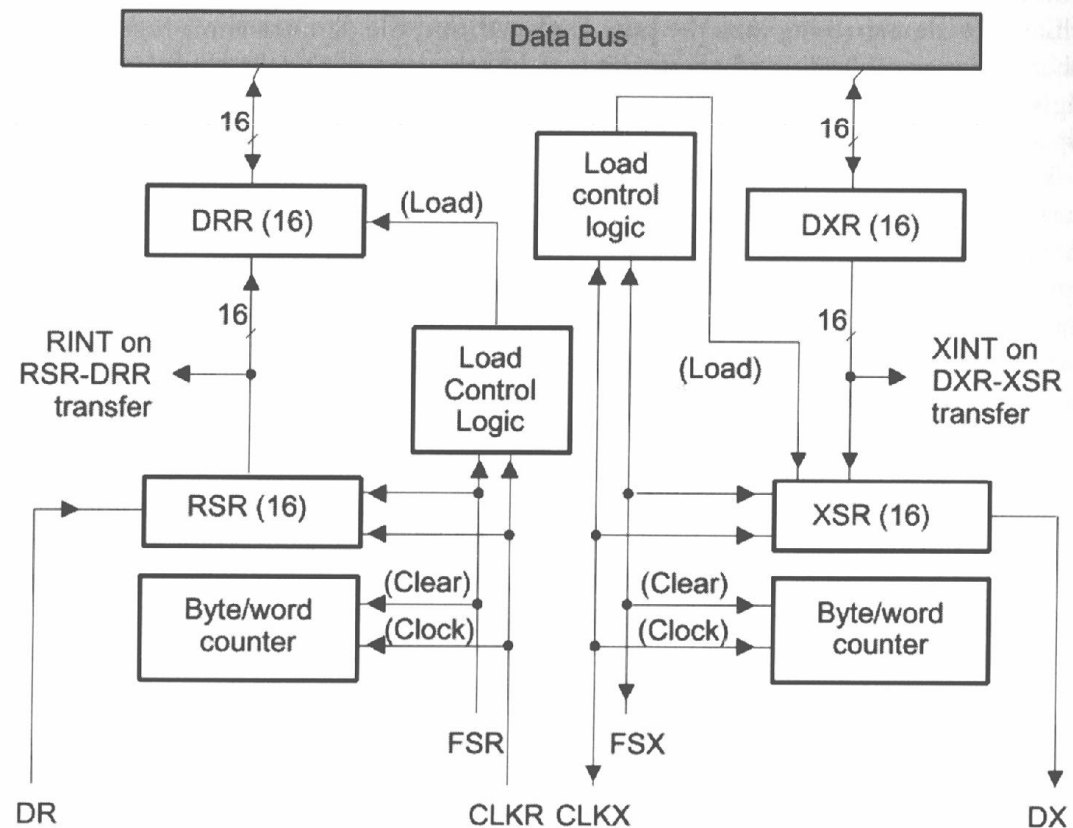


ULAZNO IZLAZNI PODSISTEM

- ❖ Sprega DSP jezgra sa okruženjem se realizuje preko jedne magistrale
- ❖ Od strane spoljnih U/I jedinica (A/D, D/A, CODEC) omogućeno je generisanje prekida
- ❖ Periferne jedinice i periferni sprežni sistem su veoma važni kod razmatranja koji DSP treba izabrati



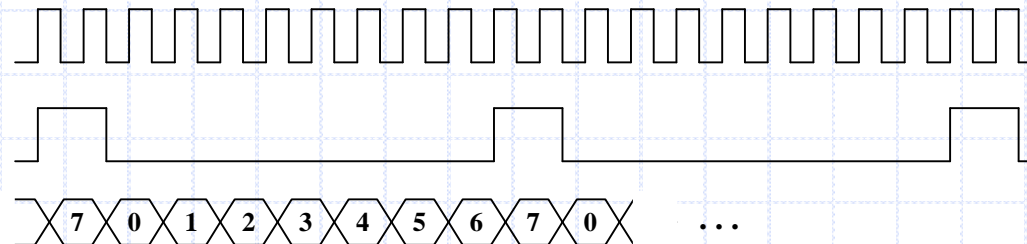
-
- The diagram illustrates the serial communication system architecture. It consists of a DSP (Digital Signal Processor) on the left and a CODEC (Coder/Decoder) on the right. The DSP is connected to a SERIJSKA SPREGA (Serial Shift Register) block, which is then connected to another SERIJSKA SPREGA block, and finally to the CODEC. The DSP sends four signals to the first SERIJSKA SPREGA block: DTx (Data Transmit), DRx (Data Receive), a clock signal (represented by a square wave), and FSYUC (Frame Synchronization/Control). The DRx signal is bidirectional, indicated by arrows at both ends. The clock signal is a square wave. The FSYUC signal is a control signal. The second SERIJSKA SPREGA block is connected to the CODEC block.





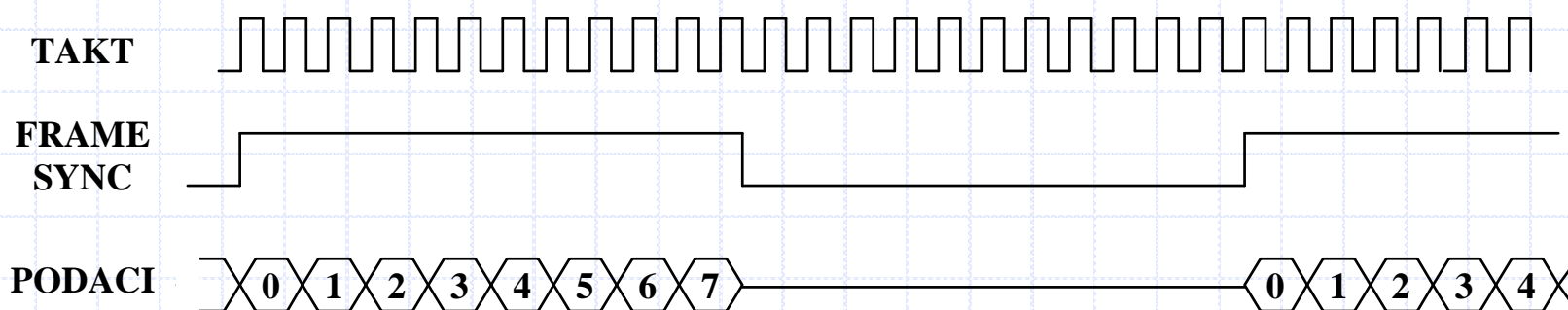
VREMENSKI DIJAGRAMI SERIJSKOG SPREŽNOG SISTEMA

- ❖ Svi serijski sprežni sistemi pretpostavljaju da predajnik menja podatke na jednoj ivici takta (rastuća ili opadajuća) a podaci su stabilni (ne menjaju se na drugoj ivici)
- ❖ Većina pretpostavlja da pozitivan napon na liniji podataka (3.3/5.0 V) označava 1, niži napon 0
- ❖ Redosled prenosa bita: LSB/MSB
- ❖ Različite dužine reči, najčešće 8 ili 16
- ❖ Signal sinhronizacije okvira (frame sync). ukazuje prijemniku poziciju prvog bita reči podatka na serijskoj liniji podataka. Na bazi dužine bita, ili reči

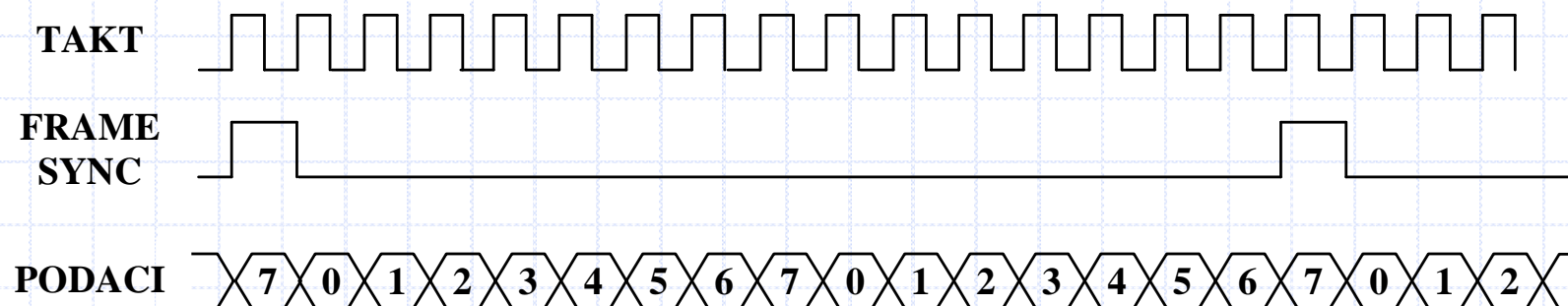




SINHRONIZACIJA NA NIVOU OKVIRA



Sinhronizacija okvira na bazi dužine reči



Dve reči po signalu sinhronizacije okvira



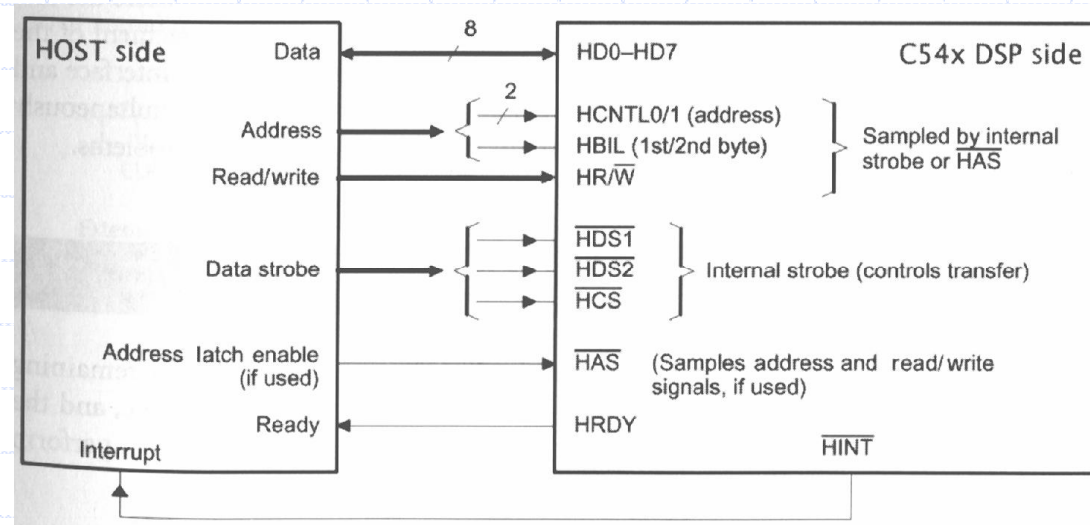
GENERISANJE SERIJSKOG TAKTA

- ❖ Serjski prolaz na DSP-u se najčešće sastoji od prijemnog i predajnog dela. Mogu biti nezavisni (takt i FSYNC) ili uvezani.
- ❖ Povezani uređaji moraju da se dogovore odakle dolazi takt
- ❖ DSP imaju kola za generisanje serijskog bit-takta u serijskom sprežnom sistemu (prijemni, predajni, spoljni, višestruki)
- ❖ Serijski generatori takta obično proizvode takt serijskih bita deljenjem glavnog takta DSP nekom vrednošću
- ❖ U opštem slučaju, serijski genetarot takta u kaskadi formira presklaler (deli brojač) i programabilni brojač (obično broji naniže)



PARALELNI SPREŽNI SISTEM

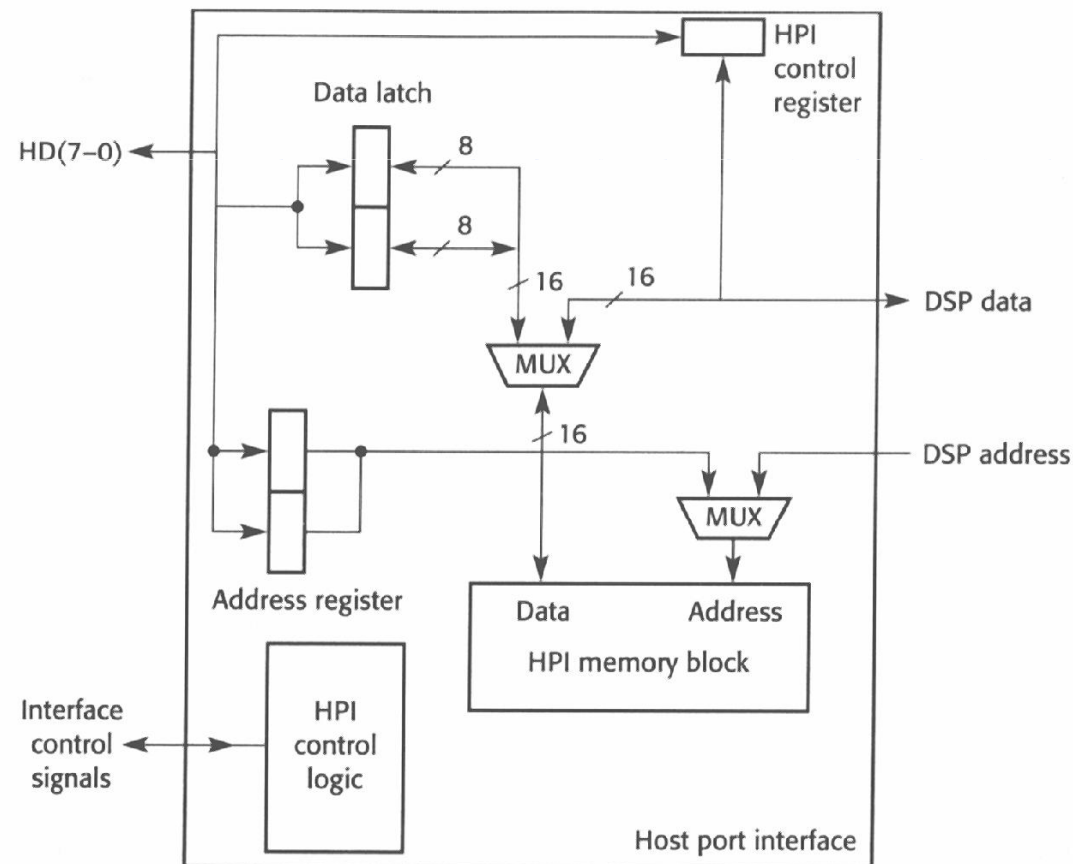
- ❖ Nasuprot serijskoj komunikacionoj sprezi kod paralelnih prolaza biti se šalju i primaju paralelno u tipičnom slučaju 8, 16 ili 32 bita istovremeno.
- ❖ Serijski prolaz nije tako brz kao paralelni, ali traži manje izvoda!





PARALELNI SPREŽNI SISTEM

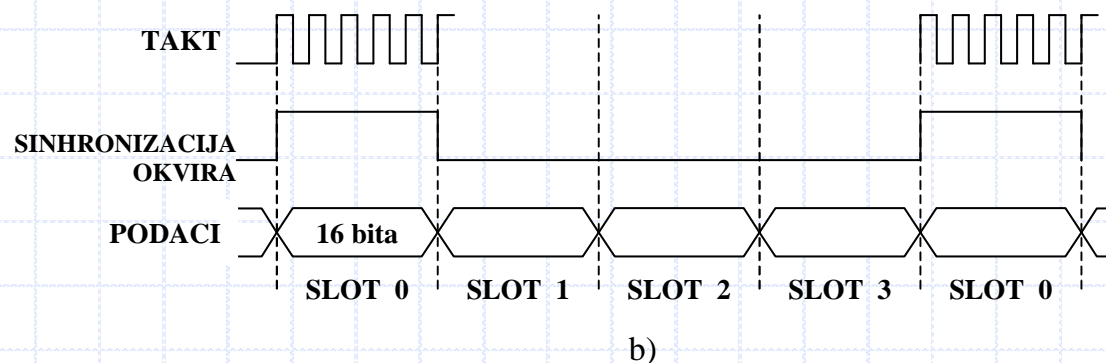
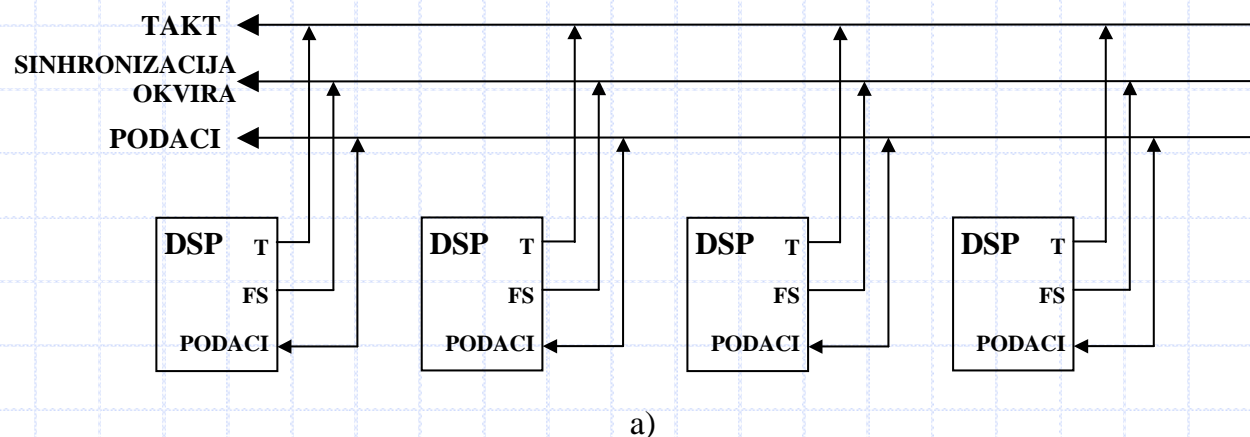
- ❖ Primer interne strukture bloka za paralelni sprežni sistem





MULTIPLEKSU SA VREMENSKIM DELJENJEM (TDM)

- ❖ Sinhroni serijski sprežni sistem se ponekad koriste za spajanje više od dva DSP procesora: u datom vremenskom odsečku jedan procesor može da salje, drugi osluškuju





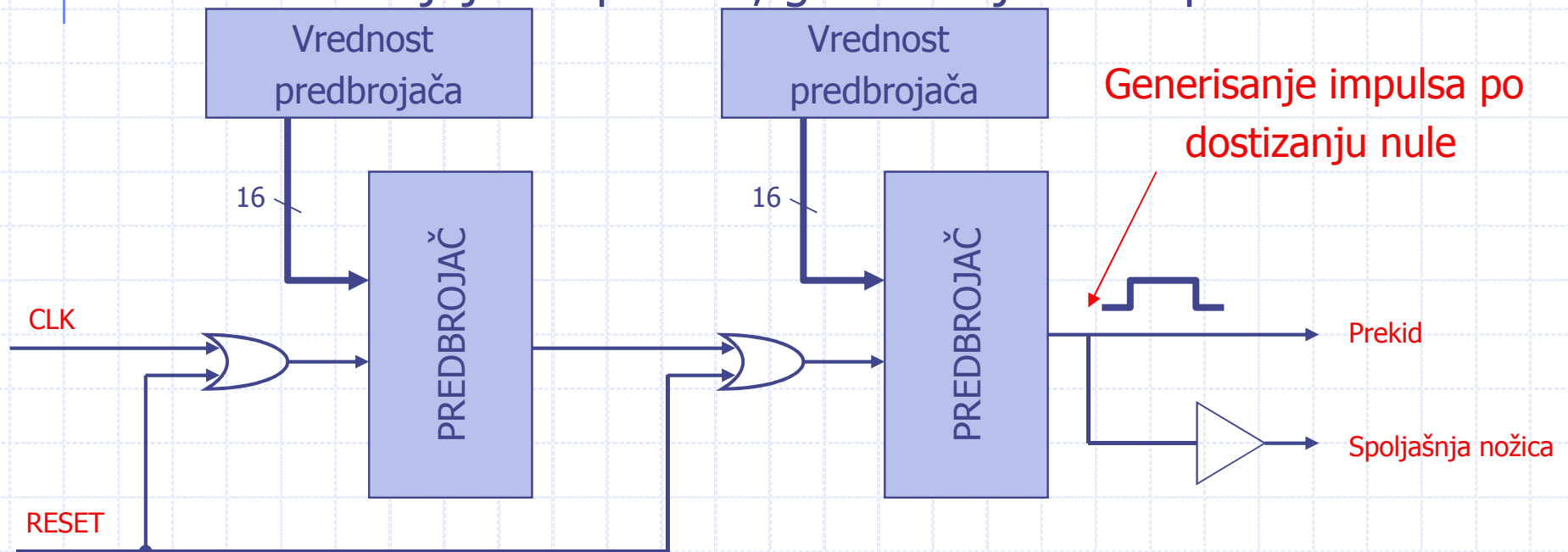
MULTIPLEKSU SA VREMENSKIM DELJENJEM (TDM)

- ❖ Komunikacija preko trožične magistrale: podaci, takt i sinhronizacija
- ❖ Jedan procesor odgovoran za generisanja signala takta i sinhronizacije (FRAME SYNC)
- ❖ FRAME SYNC: početak novog skupa vremenskih odsečaka
- ❖ Svaki procesor mora da vodi računa o broju tekućeg odsečka (kada predaje!)
- ❖ Prenošena reč može da sadrži broj odredišnog DSP-a, ili druga linija podataka radi prenosa adrese
- ❖ Kada ne predaje DSP mora da postavi svoj izvod u stanje visoke impedanse
- ❖ Najčešće DSP prima sve podatke, ili posebna podrška



KOLA ZA VREMENSKU KONTROLU

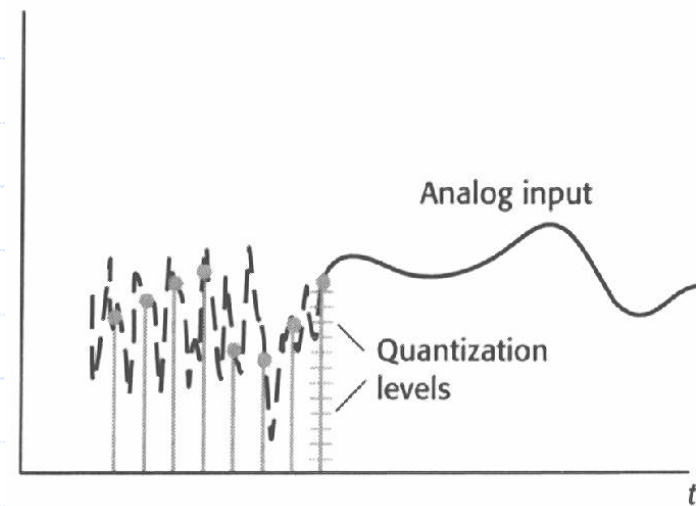
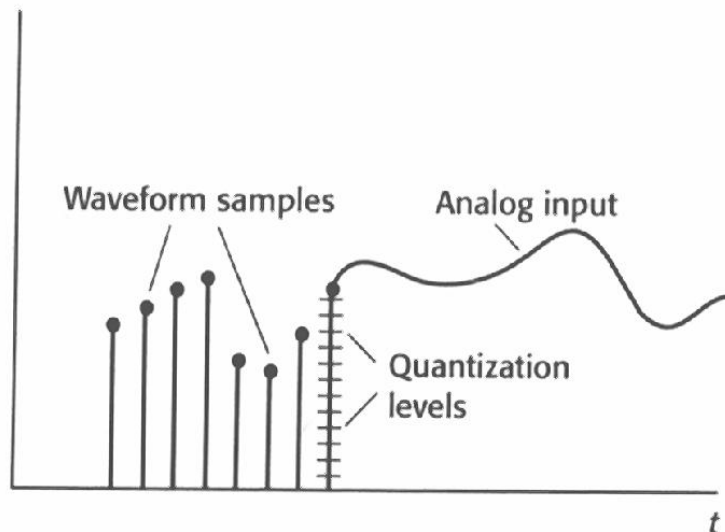
- ❖ Kola za vremensku kontrolu se koriste za brojanje događaja i generisanje odgovarajućih prekida
- ❖ Izvori periodičnih prekida
- ❖ Izlazni kvadratni impuls (kontrolisani oscilator)
- ❖ Izvor takta: glavni DPS-ov takt ili spoljni izvor
- ❖ Skaler smanjuje freq izvora, generisanje dužih perioda!





A/D i D/A KONVERTORI U KUĆIŠTU

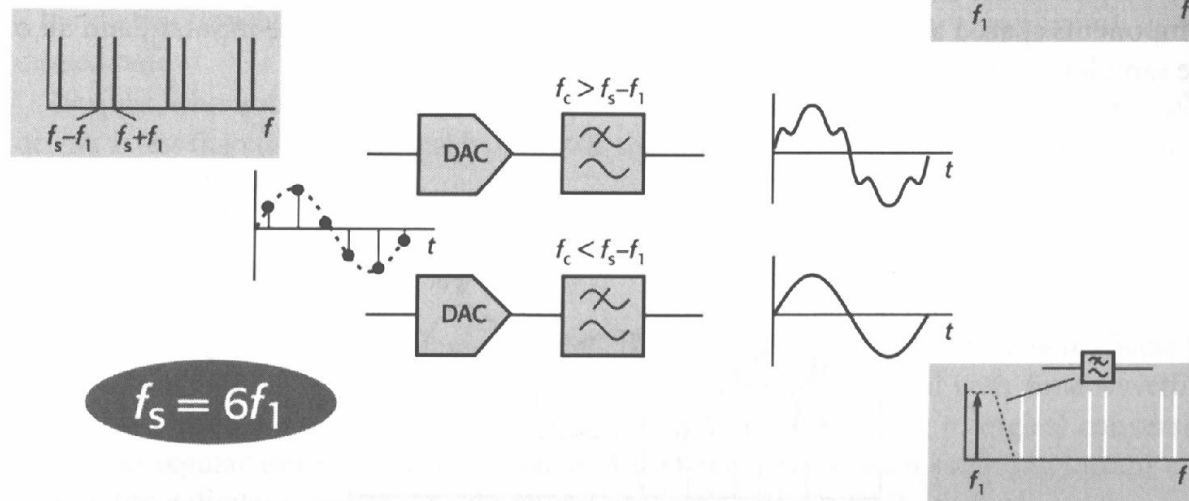
- ❖ Brzinu odabiranja određuje Šenon-Nikvistova teorema odabiranja $f_s > 2 \cdot F$
- ❖ A/D i D/A konverzija diskretizacija po vremenu i amplitudi





REKONSTRUKCIJA SIGNALA

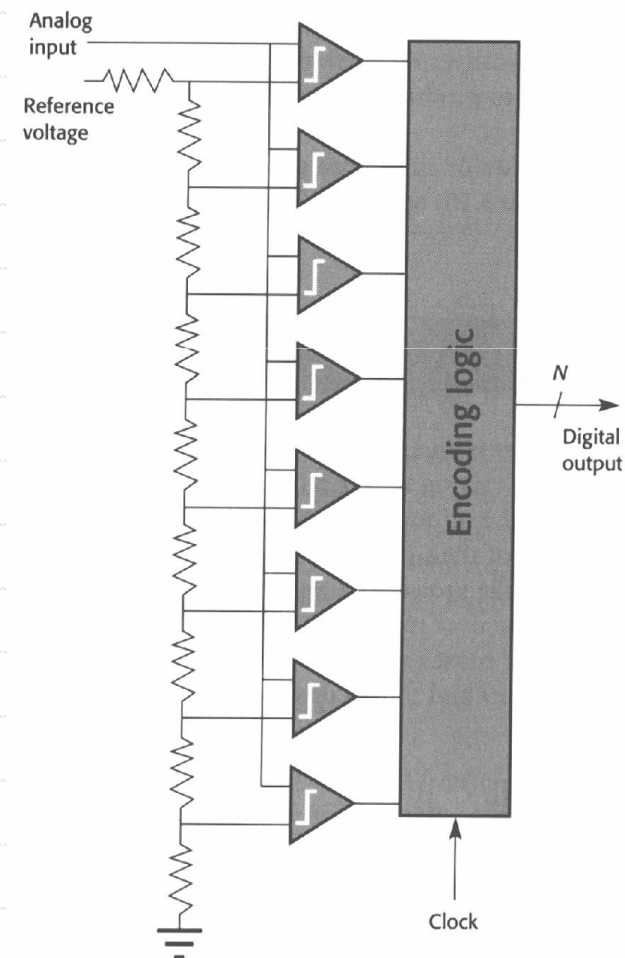
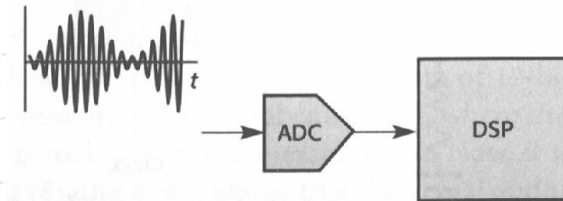
- ❖ Izlaz D/A konvertora mora biti filtriran (NF filter, granična učestanost f_s)





A/D KONVERTORI

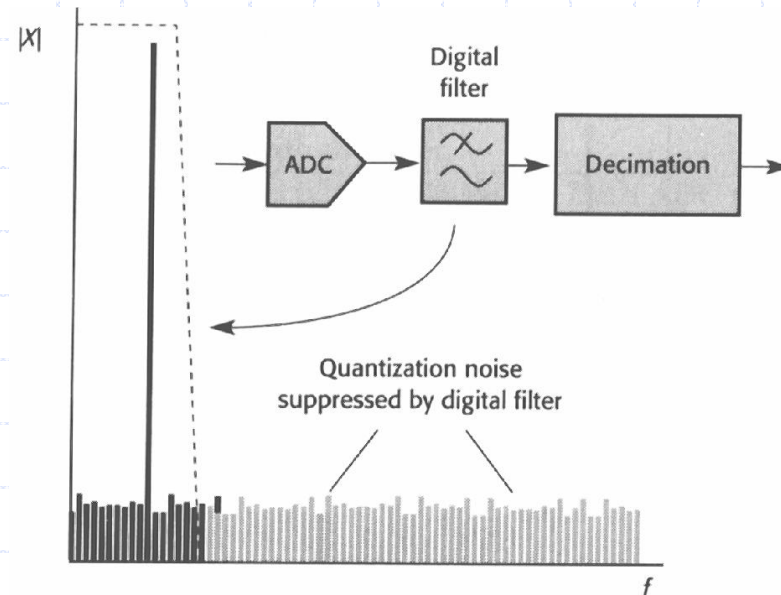
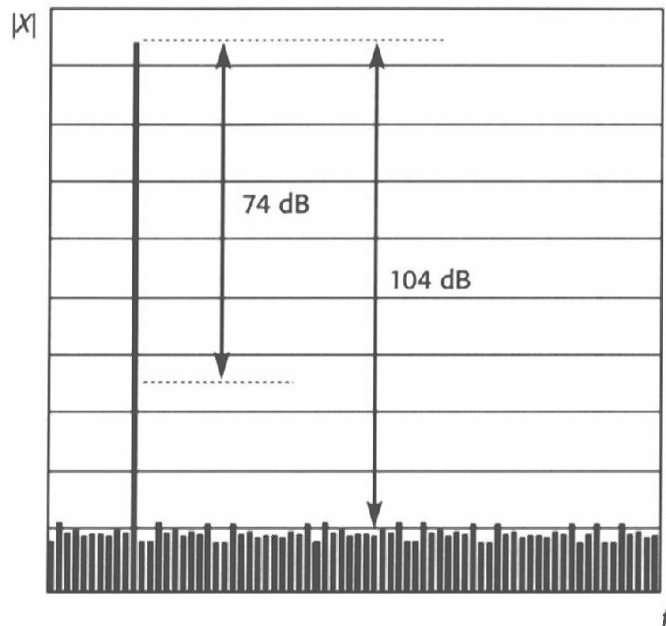
- ❖ Fleš A/D konvertori
 - ❖ Brza konverzija
 - ❖ Velika kompleksnost (za veći broj bita)
 - ❖ Zavisnost od uparenosti otporničke mreže





POVEĆANJE TAČNOSTI A/D KONVERTORA

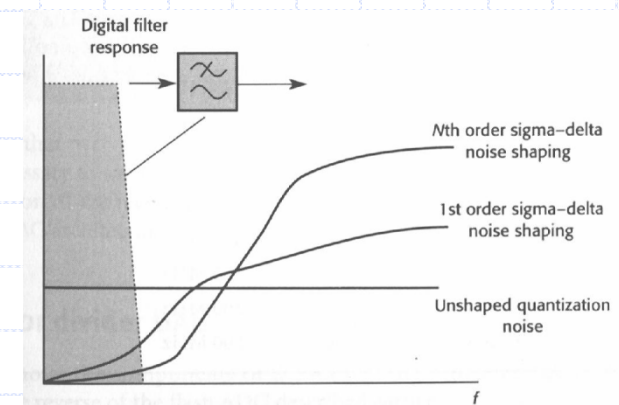
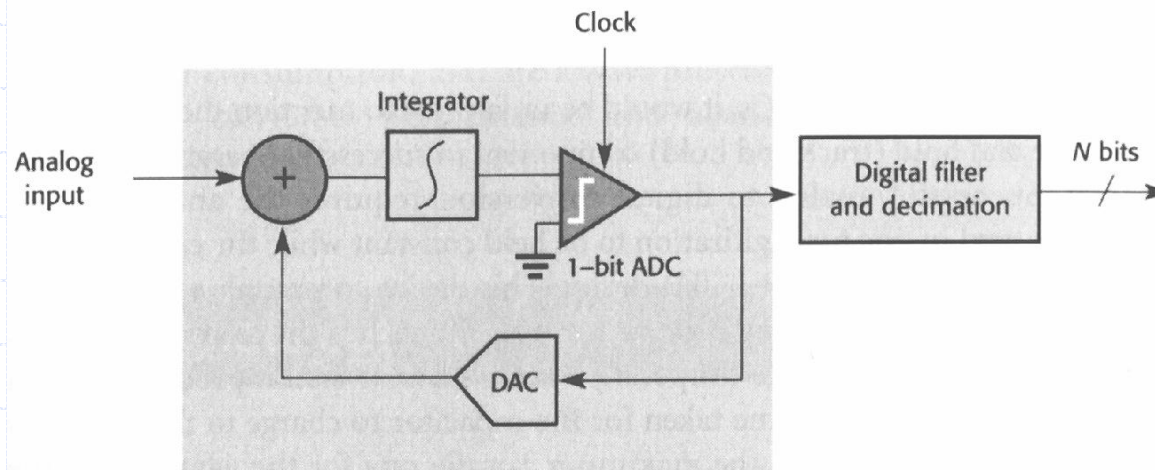
- ❖ Greška usled kvantizacije je $\text{SNR} = 1.76 + 6.02 \cdot B$
- ❖ U spektru odmerenog signala postoje i viši harmonici
- ❖ REŠENJE
 - ❖ Odmeravanje N puta većom brzinom, a potom filtriranje unutar DSP-a





SIGMA-DELTA A/D KONVERTORI

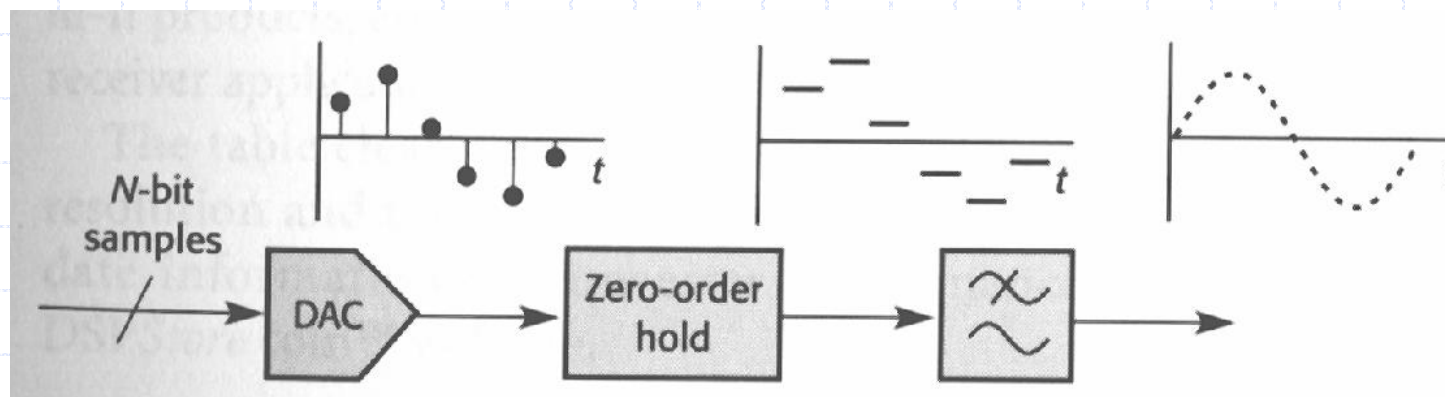
- ❖ Ovaj konvertor je u osnovi 1-bitni A/D konvertor (komparator) sa veoma velikom brzinom odmeravanja + digitalnim filtriranjem i decimacijom
- ❖ Dalja poboljšanja performanse se postižu filtriranjem koje podržava model šuma





D/A KONVERTORI

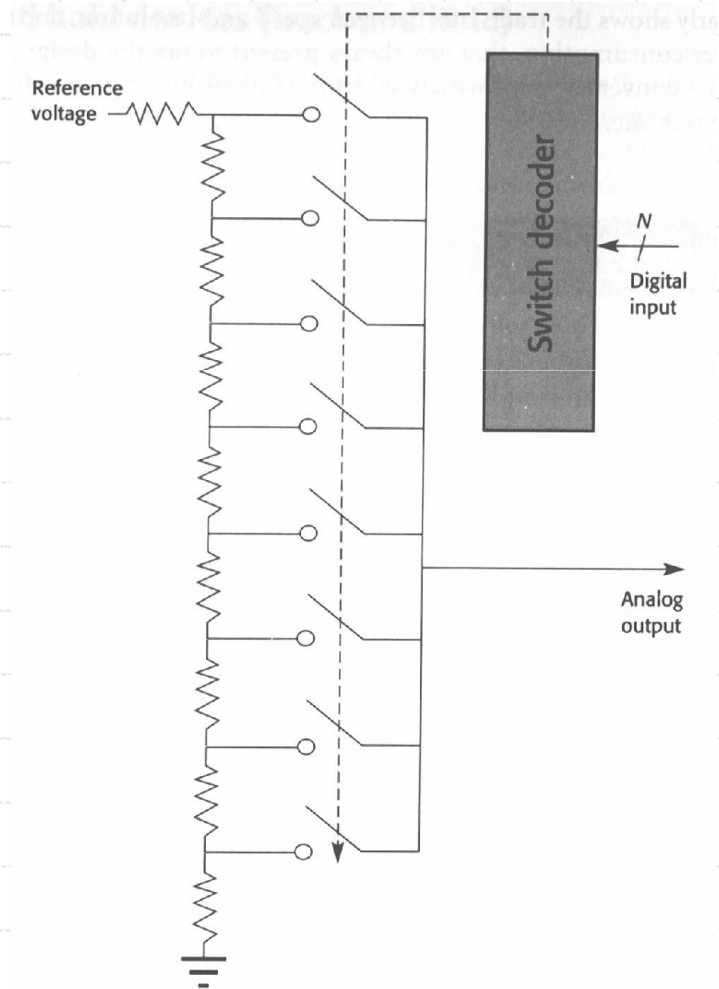
- ❖ Pored konverzije i digitalnog domena u domen diskretnih naponskih nivoa, koristi se kolo za zadržavanje nultog reda, kako bi se zadržao naponski nivo do sledećeg odmerka
- ❖ Kako bi se izgladio rekonstruisani signal postavlja se izlazni filter koji zadovoljava kriterijume teoreme odabiranja





D/A KONVERTOR KAO OTPORNIČKI RAZDELNIK

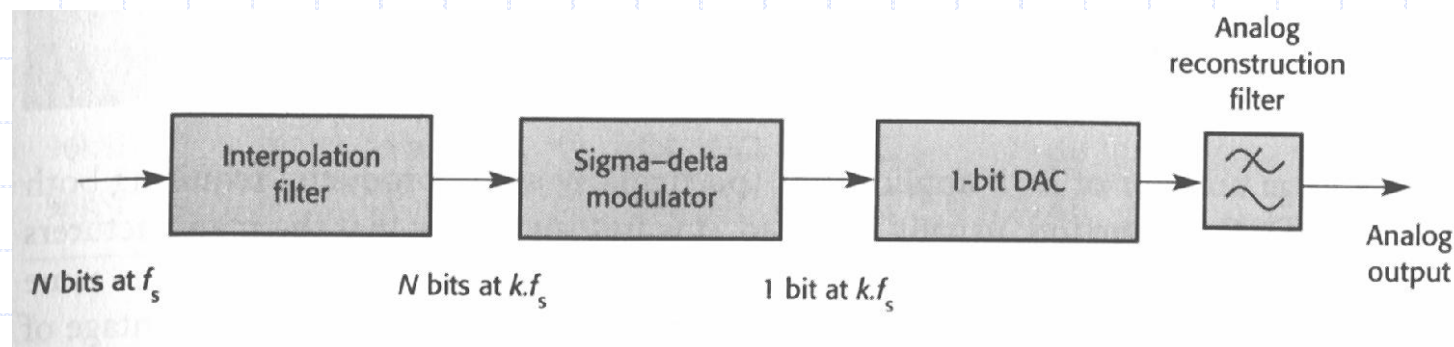
- ❖ Isti problemi kao kod Fleš A/D konvertora
 - ❖ Uparenost R
 - ❖ Veliki gabariti za velik broj bita
 - ❖ Temperaturna zavisnost





SIGMA-DELTA D/A KONVERTOR

- ❖ Prvi element u sigma-delta D/A konverziji je proces interpolacije, koji ubacuje nule između ulaznih odmeraka
- ❖ Sigma-delta modulator obavlja funkciju oblikovanja kvantizacionog šuma, tako da se u krajnjem rekonstruisanom izlaznom signalu većina kvantizacionog šuma nalazi van interesantnog (od 0 do $f_s/2$) propusnog opsega





A/D + D/A = CODEC ?

- ❖ CODEC-i su uređaji u okviru kojih su integrirani i A/D i D/A konvertori.
- ❖ Najčešće se integrišu višekanalni konvertori, audio primena 2,4 i 6 kanalni konvertori

Sprega sa DSP-om serijska
sinhronamagistrala TDM

