



Univerzite u Novom Sadu
Fakultet Tehničkih Nauka
Katedra za računarsku tehniku i međuračunarske
komunikacije



Algoritmi i arhitekture DSP I

❖ MEMORIJSKI PODSISTEM



JEDINICA ZA GENERISANJE ADRESA 1/3

- ❖ Zbog specifične – harvard arhitekture uvode se JEDINICE ZA GENERISANJE ADRESA - AG
- ❖ Kod AG instrukcija, osnova je PC:
- ❖ AG mora obavljati izvesne aritmetičke operacije
- ❖ AG mora da podrži hardversku petlju
 - ❖ Brojač ciklusa (smanjuje se kada se izvrši segment koda)
 - ❖ Registar početka segmenta- START
 - ❖ Registar kraja segmenta – STOP (ili registar dužine segmenta)
- ❖ AG mora da obezbedi skokove na adrese vektora prekida:
 - 1) PC se smesta na sistemski stek
 - 2) U PC se smesta početna reč rutine za obradu prekida
 - 3) Po završetku obrade prekida, u PC se smešta vrh steka

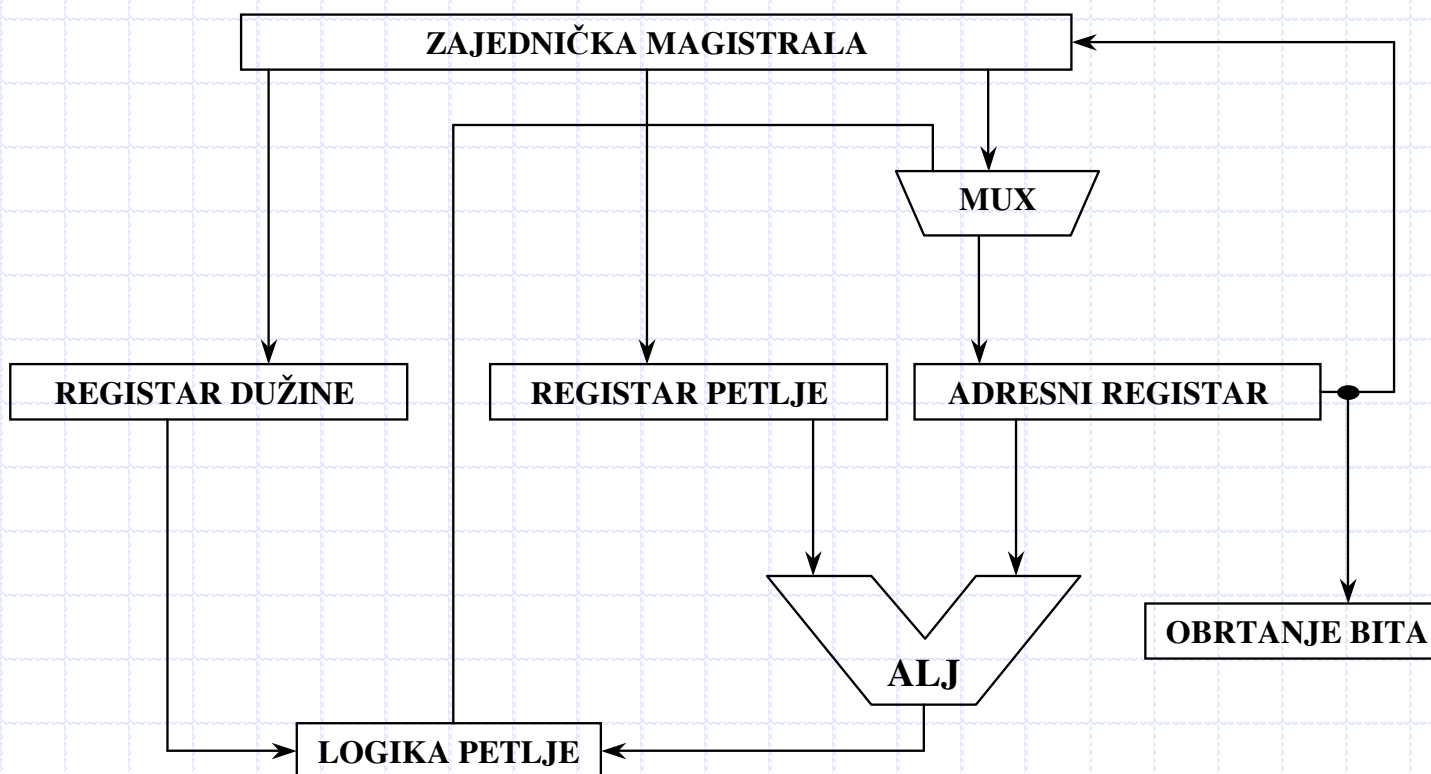


JEDINICA ZA GENERISANJE ADRESA 2/3

- ❖ Jedinica za generisanje adresa podataka:
 - ❖ Odgovorna za generisanje adrese u memoriji za podatke na osnovu adrese u adresnom delu instrukcije
 - ❖ Podržano adresiranje:
 - ❖ Kružno ili modulo adresiranje
 - ❖ Bit-obrnuto adresiranje



JEDINICA ZA GENERISANJE ADRESA 3/3





ADRESIRANJE I ADRESNI REŽIMI

- ❖ Adresiranje je operacija kojom se definišu lokacije OPERANADA u memoriji
- ❖ ADRESNI REŽIMI
 - ❖ PRETPOSTAVLJENO ADRESIRANJE (IMPLIED ADDRESSING) (podazumeva se da je operand u nekoj lokaciji, npr: namenskim registrima za tu inst.)
 - ❖ DIREKTNI PODACI (immediate data) NEPOSREDNA ADRESA. Sam operand (a ne njegova adresa) se nalazi u instrukcionoj reči.(male reči u instr.)
 - ❖ MEMORIJSKO – DIREKTNO ADRESIRANJE (MEMORY DIRECT ADDRESSING), naziva se i apsolutno adresiranje, podaci koji se adresiraju, stoje u memoriji na lokaciji čija je adresa kodirana u instrukciji.



ADRESIRANJE I ADRESNI REŽIMI

❖ ADRESNI REŽIMI

- ❖ REGISTRARSKO – DIREKTNO ADRESIRANJE (REGISTER DIRECT ADDRESSING), adresirani podaci su u registru, u adresnom delu instrukcije se definiše adresa registra u kom su podaci.
- ❖ REGISTRARSKO – INDIREKTNO ADRESIRANJE je adresiranje kod koga se adresirani podaci nalaze u memoriji, a adresa memorijske lokacije koja ih sadrži nalazi se u registru.
 - ❖ REGISTRARSKOG – INDIREKTOG ADRESIRANJA SA POST ILI PRE-INKREMENTOM
- ❖ REGISTRARSKO – INDIREKTNO ADRESIRANJE SA INDEKSACIJOM se odnosi na adresiranje u kome su vrednosti smeštene u dva adresna registra i sabiraju se radi formiranja efektivne adrese



ADRESIRANJE I ADRESNI REŽIMI

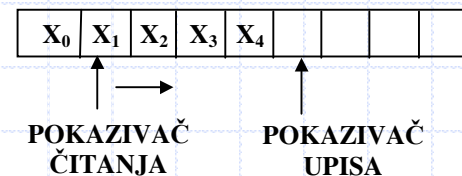
❖ ADRESNI REŽIMI

❖ REGISTARSKO – INDIREKTNO ADRESIRANJE SA MODULO ADRESNOM ARITMETIKOM

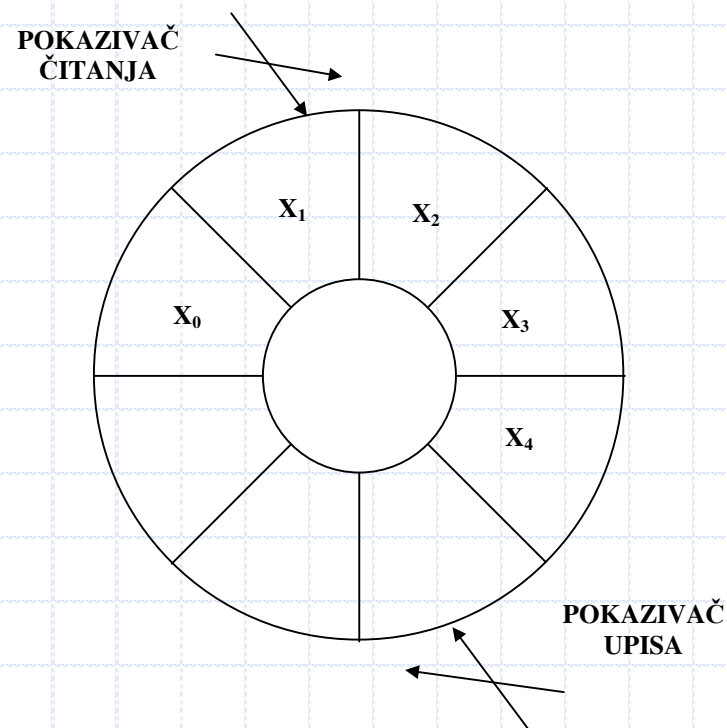
❖ Primene kružnog bafera

❖ Za rukovanje kružnim
baferom, koriste se:

- ❖ Startna adresa
- ❖ Adresa kraja/dužine
- ❖ Pokazivač upisa
- ❖ Pokazivač čitanja



a)



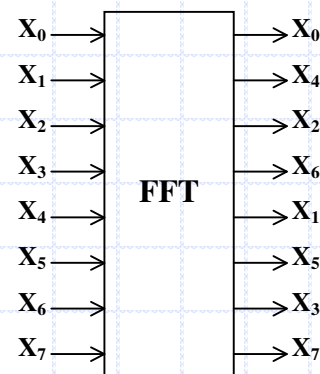


ADRESIRANJE I ADRESNI REŽIMI

❖ REGISTARSKO-INDIREKTNO ADRESIRANJE SA BIT OBRNUTIM REDOSLEDOM

❖ FFT česta primena: transformacija vremenskog u frekventni domen -> nedostatak je skremblovani ulaz/izlaz

❖ Najneobičniji adresni režim, adresiranje obrtanjem bita koristi se za računanje FFT



a)

0 ti izlazni element = X_0
4 ti izlazni element = X_4
2 gi izlazni element = X_2
6 ti izlazni element = X_6
1 vi izlazni element = X_1
5 ti izlazni element = X_5
3 ci izlazni element = X_3
7 mi izlazni element = X_7

d)

BINARNI BROJAČ			
MSB		LSB	
0	0	0	= 0
0	0	1	= 1
0	1	0	= 2
0	1	1	= 3
1	0	0	= 4
1	0	1	= 5
1	1	0	= 6
1	1	1	= 7

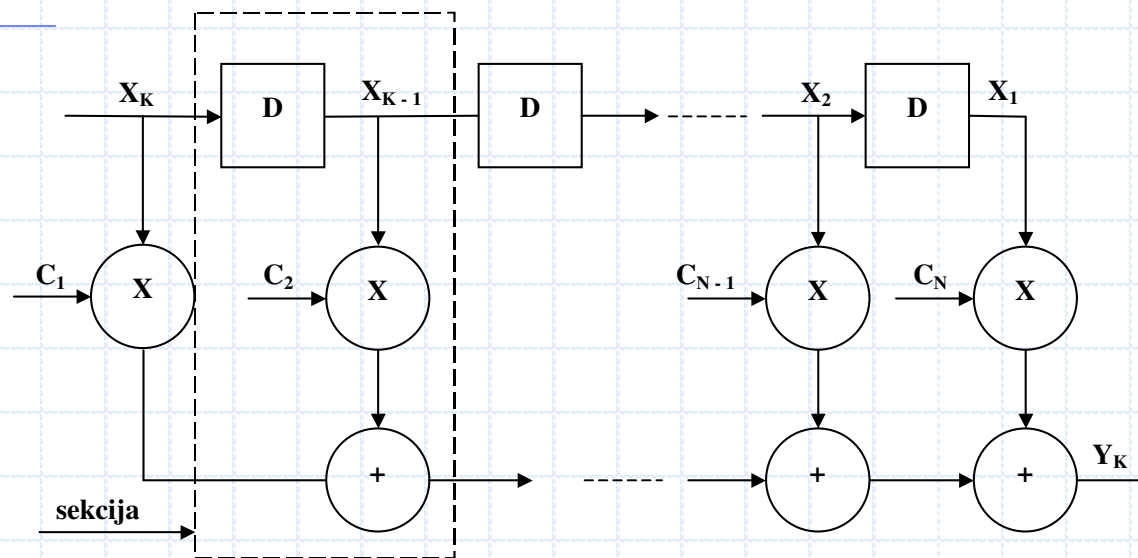
b)

Biti obrnuti			
0	0	0	= 0
1	0	0	= 4
0	1	0	= 2
1	1	0	= 6
0	0	1	= 1
1	0	1	= 5
0	1	1	= 3
1	1	1	= 7

c)



ARHITEKTURA MEMORIJA

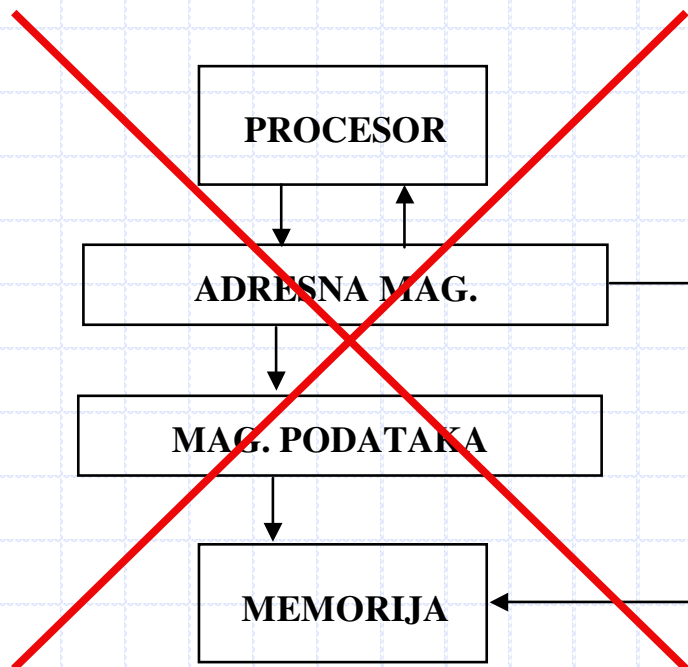


❖ Koraci kod FIR filtriranja

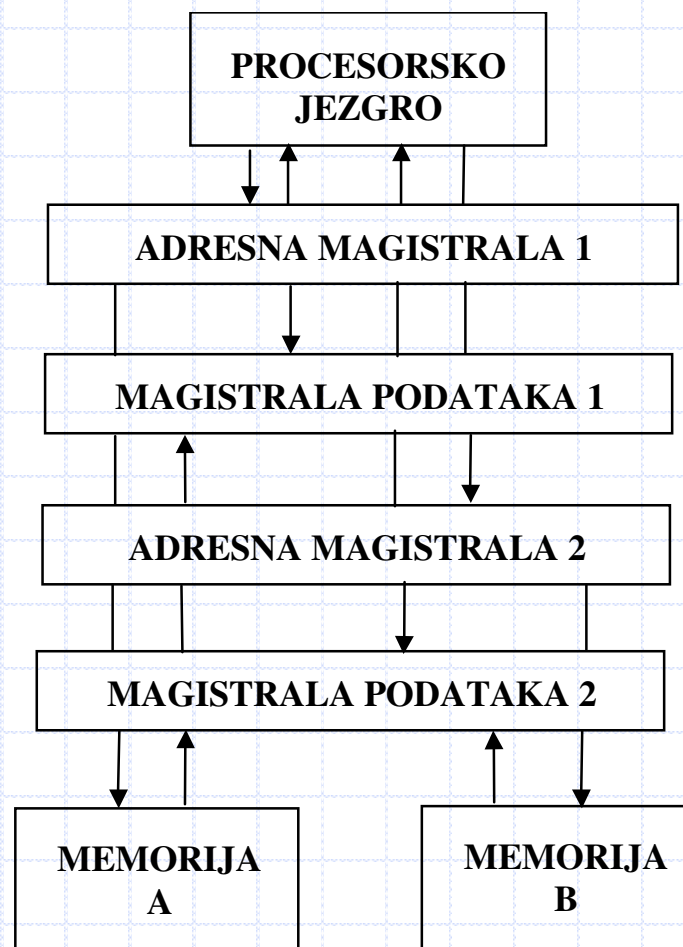
- ❖ Prihvatiti MAC instrukciju
- ❖ Očitati vrednost iz kružnog bafera
- ❖ Očitati vrednost koeficijenta
- ❖ Upisati novo pristiglu vrednost u kružni bafer



STRUKTURA MEMORIJE



Von Neumannova arhitektura



Harvard arhitektura



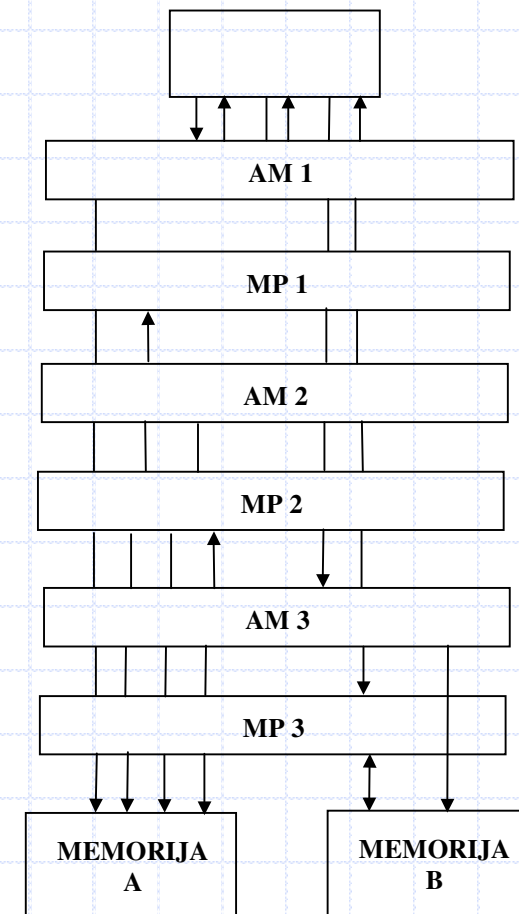
MEMORIJE SA VIŠE PRISTUPA U JEDNOM INST. CIKLUSU

- ❖ U jednom instrukcijskom ciklusu procesor može da pristupi dvema mem. lokacijama. Ultra brze memorije.
- ❖ Harvard arhitektura, dve memorije, dva pristupa u jednom inst. ciklusu - ukupno 4 podatka u jednom ciklusu.



MEMORIJE SA VIŠE FIZIČKIH PRISTUPA U JEDNOM INST. CIKLUSU

- ❖ Dvopristupne memorije (DPM)- dva istovremena pristupa
- ❖ Potrebno urediti podatke za dobijanje max performansi
- ❖ Velika cena
- ❖ Na slici: Harvard arhitektura sa dvopristupnom memorijom A i jednopristupnom memorijom B





SPECIJALIZOVANA OPERACIJA UPISA U MEMORIJU

- ❖ Specijalan mehanizam radi dozvole upisa u memoriju podataka paralelno sa čitanjem instrukcije i čitanjem podatka
- ❖ Skrivena memorija
 - ❖ se znatno razlikuju po načinu rada i kapacitetu (manje i prostije)
 - ❖ prihvatna memorija sa jednom instrukcijom ponavljanja
 - ❖ instrukcioni bafer sa ponavljanjem je prosta skrivena memorija sektora instrukcija
 - ❖ zaključavanje sadržaja skrivene memorije



STANJA ČEKANJA

❖ Nastaje u stanjima u kojima procesor ne može da izvrši svoj program zato što čeka pristup memoriji

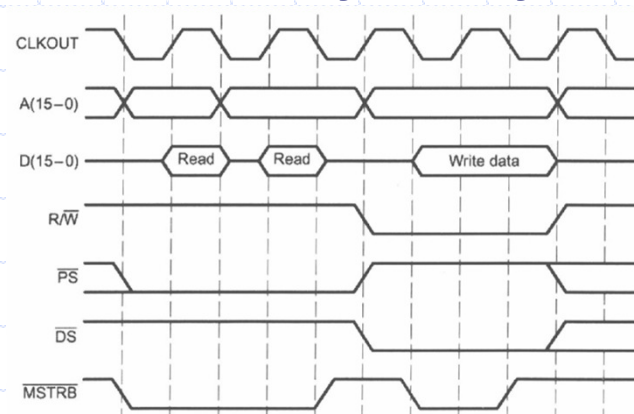
❖ Konflikt (contention),

❖ Spora memorija i

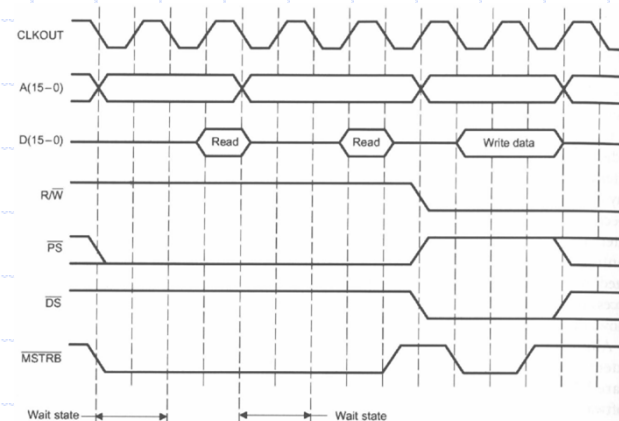
❖ Deljenje magistrale

❖ PROGRAMIRANA
STANJA ČEKANJA

Bez stanja čekanja



Ubačena dva stanja čekanja



Registar za kontrolu stanja čekanja

15	14-12	11-9	8-6	5-3	2-0
Reserved/XPA	I/O	Data	Data	Program	Program
R	R/W	R/W	R/W	R/W	R/W



ROM U DSP-u

- ❖ Digitalni signal procesori namenjeni za jeftine, namenske primene u profesionalnoj elektronici i telekomunikacijama, poseduju ROM memoriju u kućištu radi smeštanja aplikacionih programa i konstanti.
- ❖ Na kućištu, veličina ROM-a je tipično od 256 reči do 36 KW



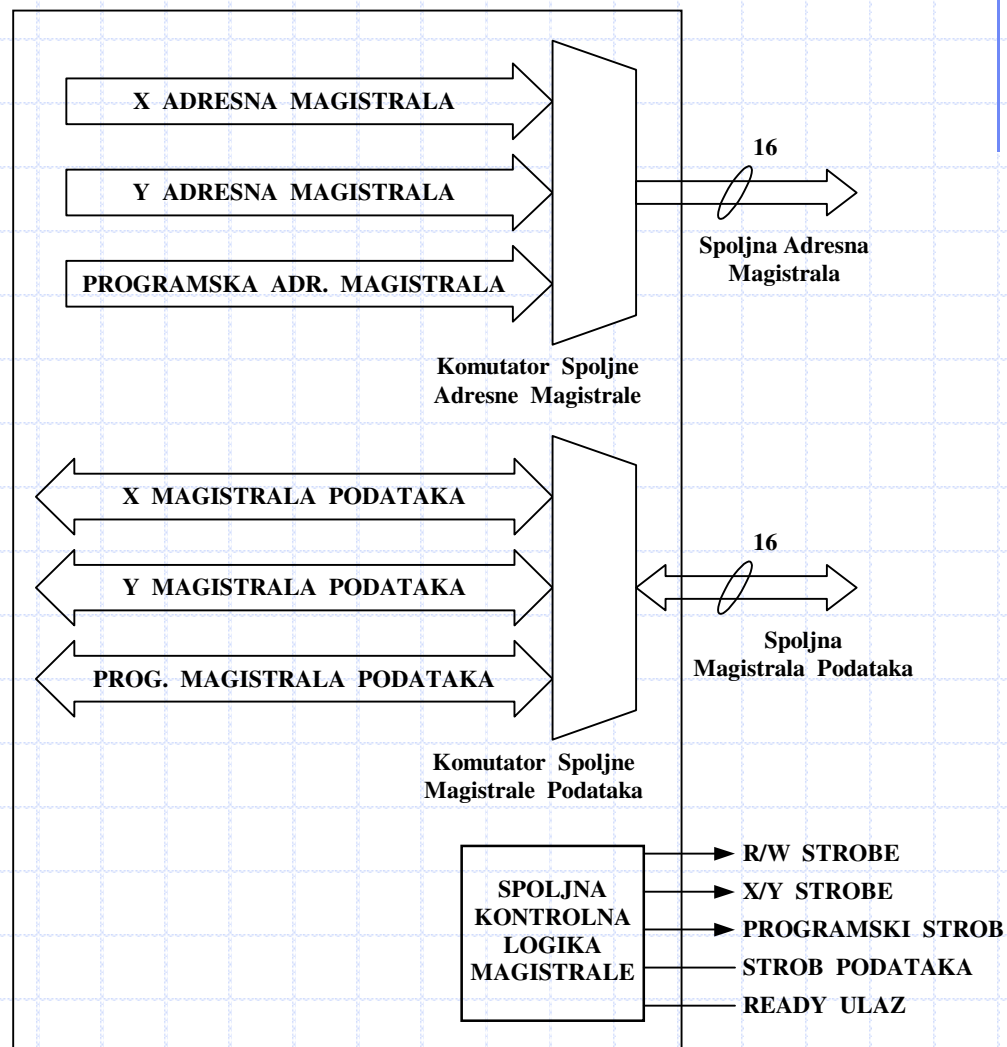
SPOLJNA SPREGA SA MEMORIJOM

Razlikuje se po:

- broju memorijskih prolaza
- složenosti
- fleksibilnosti
- zahtevima u pogledu vremena

Tipično jedan spoljni izlaz za adresnu, magistralu podataka i kontrolne linije.

Na slici: 3 nezavisna skupa magistrala na kućištu, dele jednu memorisjku spregu





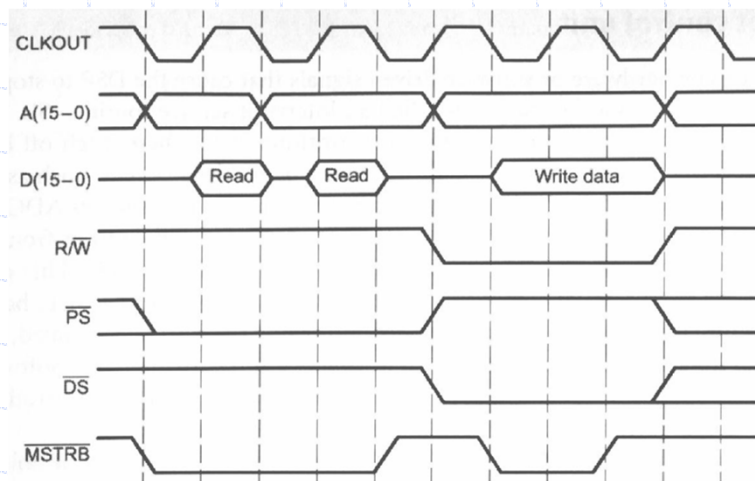
SPOLJNA SPREGA SA MEMORIJOM

- jednostavne sprege samo sa kontrolnim izvodima

- Složene sprege imaju izvod za stanja čekanja (wait pin), izvod za dodelu magistrale (bus grant) i stranični režim DRAM-a

- Za visoke performanse statička RAM van kućišta

Signal name	Description
A0–A15	Address bus
D0–D15	Data bus
MSTRB	External memory access strobe
PS	Program space select
DS	Data space select
IOSTRB	I/O access strobe
IS	I/O space select
R/W	Read/write signal
READY	Data ready to complete cycle
HOLD	Request for control of memory interface
HOLDA	Acknowledge HOLD request
IACK	Interrupt acknowledge





DIREKTNI MEMORIJSKI PRISTUP (DMA)

❖ je tehnika kojom se podaci mogu prenositi iz/u memoriju bez uključanja procesora u taj proces

❖ Konfiguracioni parametri

DMA kanala:

- ❖ Startna memorijska adresa
- ❖ Dužina podataka za prenos
- ❖ Smer prenosa i
- ❖ Odredišna ili polazna perifernu jedinicu

