

## 5η Εργαστηριακή Άσκηση

*The end*

**Εξέταση Άσκησης:** 29/5/2024

**Παράδοση αναφοράς:** Δείτε eclass.

Σε αυτή την εργαστηριακή άσκηση θα ασχοληθείτε με πιο προηγμένα θέματα και κυκλώματα στη σχεδίαση συστημάτων VLSI.

### Timing Simulation

Σε όλες τις εργαστηριακές ασκήσεις μέχρι τώρα έχετε τρέξει functional simulations. Σε αυτή την εργαστηριακή άσκηση θα κληθείτε να τρέξετε gate-level (post-synthesis) timing simulation. Δηλαδή αντιπροσωπευτικές προσομοιώσεις στις οποίες ο simulator (vcs) προσομοιώνει το netlist που έχει προκύψει από την σύνθεση λαμβάνοντας υπόψη και τις χρονικές καθυστερήσεις των πυλών/μεταβάσεων (gate delays, setup-hold violations κλπ).

Αφου ολοκληρώσετε τη βελτιστοποίηση και σύνθεση ενός κυκλώματος μπορείτε να τρέξετε τις ακόλουθες εντολές:

```
change_names -h -rules verilog
write -h -f verilog -output netlist.v
write_sdf netlist.sdf
```

Το αρχείο netlist.v περιέχει το netlist που παράχθηκε από τη σύνθεση και το [Standard Delay Format](#) αρχείο netlist.sdf περιέχει τη χρονική πληροφορία για το netlist αυτό.

Στη συνέχεια μπορείτε να κάνετε timing simulation του κυκλώματός σας παρόμοια με τον τρόπο που κάνατε functional simulation. Για να το πετύχετε αυτό πρέπει να κάνετε annotate τα delays στο netlist. Για παράδειγμα στο κύκλωμα του rca, υποθέτοντας ότι κάνατε σύνθεση, ότι το testbench ονομάζεται rca\_tb και ότι το instance του rca στο testbench ονομάζεται DUT, μπορείτε να τρέξετε το ακόλουθο:

```
vcs -full64 -sdf max:rca_tb.DUT:netlist.sdf \
    src/rca_tb.v \
    netlist.v \
    -o rca_timing
```

Παρατηρείστε το λάθος που πήρατε και διορθώστε το:

```
vcs -full64 -sdf max:rca_tb.DUT:netlist.sdf \
    src/rca_tb.v \
    netlist.v \
    /usr/local/eda/synLibs/asap7/7nm/verilog/*.v \
    -o rca_timing
```

Τρέξτε το simulation με γραφικό περιβάλλον για να παρατηρήσετε τις διαφορές σε σχέση με το functional simulation

```
./rca_timing -gui=dve
```

## **Power Analysis**

Κατά τη διάρκεια της χρονικής προσομοίωσης, μπορείτε να αποθηκεύσετε και τις τιμές των σημάτων έτσι ώστε να μετρήσετε την κατανάλωση του κυκλώματός μας. (Γιατί θέλουμε τις τιμές των σημάτων; Η σύνθεσή σας έδινε power.) Για να το πετύχετε αυτό πρέπει να τρέξετε τα ακόλουθα

```
vcs -full64 -kdb -debug_access \  
-sdf max:rca_tb.DUT:netlist.sdf \  
src/rca_tb.v \  
netlist.v \  
/usr/local/eda/synLibs/asap7/7nm/verilog/*.v \  
-o rca_timing  
  
./rca_timing -ucli -do dump.tcl
```

Όπου τα περιεχόμενα του dump.tcl είναι:

```
dump -file rca.fsdb -type FSDB  
dump -add rca_tb.DUT -fid FSDB0  
  
run  
quit
```

Προσοχή: Υπάρχουν πολλοί και καλύτεροι τρόποι να φτιάξετε το vcd/ saif/ fsdb αρχείο.

Όταν ολοκληρωθεί η προσομοίωση είμαστε έτοιμοι να τρέξετε power analysis. Δημιουργήστε το αρχείο .synopsys\_pt.setup με ίδια περιεχόμενα με το .synopsys\_dc.setup που είχατε χρησιμοποιήσει στην προηγούμενη άσκηση π.χ.:

```
ln -s .synopsys_dc.setup .synopsys_pt.setup
```

Ανοίξτε το Synopsys PrimeTime:

```
pt_shell
```

Διαβάστε το netlist που παράχθηκε από τη σύνθεση (γιατί;) και κάντε link to design (γιατί;):

```
read_verilog netlist.v  
link_design
```

Ενεργοποιήστε το power analysis

```
set power_enable_analysis true
```

Διαβάστε το switching activity αρχείο και κάντε annotate το design σας

```
read_fsdb -strip_path rca_tb/DUT rca.fsdb
```

Υπολογίστε το power

```
update_power  
report_power
```

### Ζητούμενα

**Ζητούμενο 1.1** Γράψτε τις εντολές του power analysis σε ένα tcl script και εκτελέστε το. (Παρόμοια με την προηγούμενη εργαστηριακή άσκηση)

**Ζητούμενο 1.2** Να τρέξετε post-synthesis timing simulation και να μετρήσετε την κατανάλωση σε 3 από τα κυκλώματα τα οποία έχετε υλοποιήσει μέχρι τώρα. Τουλάχιστον 2 από αυτά πρέπει να περιέχουν ακολουθιακά στοιχεία.

**Ζητούμενο 1.3** Υλοποιήστε έναν single cycle FP32 multiplier και το αντίστοιχο testbench. Ποια είναι η μέγιστη συχνότητα στην οποία μπορεί θεωρητικά να λειτουργήσει; Σε αυτή τη συχνότητα ποιο είναι το area, power και energy του κυκλώματός σας;

**Ζητούμενο 1.4** Τροποποιήστε κατάλληλα (αίροντας το single cycle constraint) το κύκλωμα του 1.3 ώστε να πετύχετε μεγαλύτερη επίδοση. Ποια είναι η μέγιστη συχνότητα στην οποία μπορεί θεωρητικά να λειτουργήσει; Σε αυτή τη συχνότητα ποιο είναι το area, power και energy του κυκλώματός σας;