Άσκηση 1

$F = x'zw + y'w' + xzw' + yz' + x'w'z'$

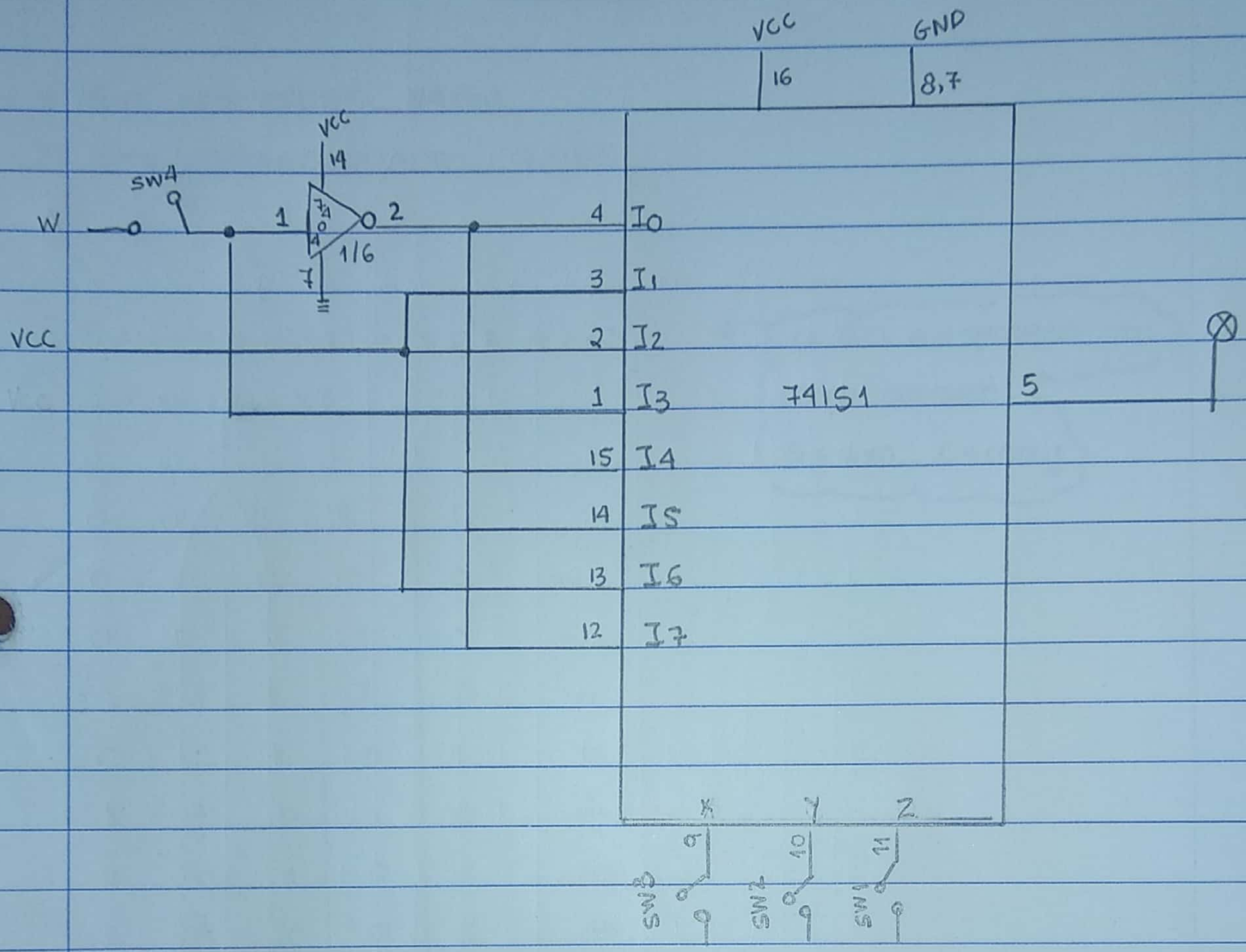
w	x	y	z	wx'z	w'y'	w'xz	yz'	w'x'z'	F	
0	0	0	0	0	1	0	0	1	1	m_0
0	0	0	1	0	1	0	0	0	1	m_1
0	0	1	0	0	0	0	1	1	1	m_2
0	0	1	1	0	0	0	0	0	0	m_3
0	1	0	0	0	1	0	0	0	1	m_4
0	1	0	1	0	1	1	0	0	1	m_5
0	1	1	0	0	0	0	1	0	1	m_6
0	1	1	1	0	0	1	0	0	1	m_7
1	0	0	0	0	0	0	0	0	0	m_8
1	0	0	1	1	0	0	0	0	1	m_9
1	0	1	0	0	0	0	1	0	1	m_{10}
1	0	1	1	1	0	0	0	0	1	m_{11}
1	1	0	0	0	0	0	0	0	0	m_{12}
1	1	0	1	0	0	0	0	0	0	m_{13}
1	1	1	0	0	0	0	1	0	1	m_{14}
1	1	1	1	0	0	0	0	0	0	m_{15}

άρα $F(w,x,y,z) = \Sigma(0,1,2,4,5,6,7,9,10,11,14)$

βρίσκω που ανάβει η F κι την εκφράζω με ελαχιστόρους

	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7
w'	0	1	2	3	4	5	6	7
w	8	9	10	11	12	13	14	15
	w'	1	1	w	w'	w'	1	w'

φτιάχνω τον πίνακα του πολυπλέκτη. θα έχει 2^{n-1} εισόδους.
το πάνω κυκλωμένο → w', το κάτω κυκλωμένο → w
κι τα δύο κυκλωμένα → 1, κανένα κυκλωμένο → 0


VCC
GND
16
8,7
VCC
14
SW4
W
1
2
1/6
7
4
I_0
3
I_1
VCC
2
I_2
1
I_3
74151
5
15
I_4
14
I_5
13
I_6
12
I_7
X
Y
Z
9
10
11
SW3
SW2
SW1

Άσκηση 2

a) δύο πολυπλέκτες 74151

b) ένας αποκωδικοποιητή 74155

$S = x'y'z + x'yz' + xy'z' + xyz$

$C = xy + yz + xz$

οι δυο συναρτήσεις του πλήρη αθροιστή.
$S = sum$, $C = carry$

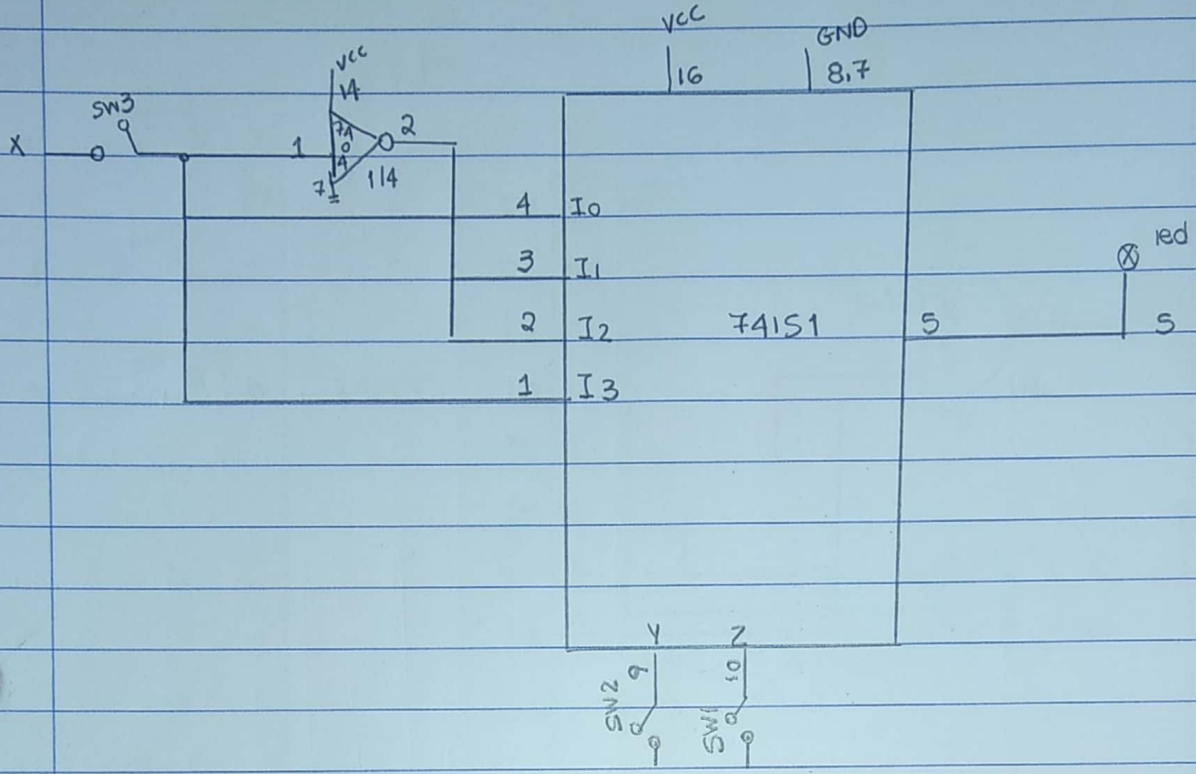
x	y	z	S	C	
0	0	0	0	0	m_0
0	0	1	1	0	m_1
0	1	0	1	0	m_2
0	1	1	0	1	m_3
1	0	0	1	0	m_4
1	0	1	0	1	m_5
1	1	0	0	1	m_6
1	1	1	1	1	m_7

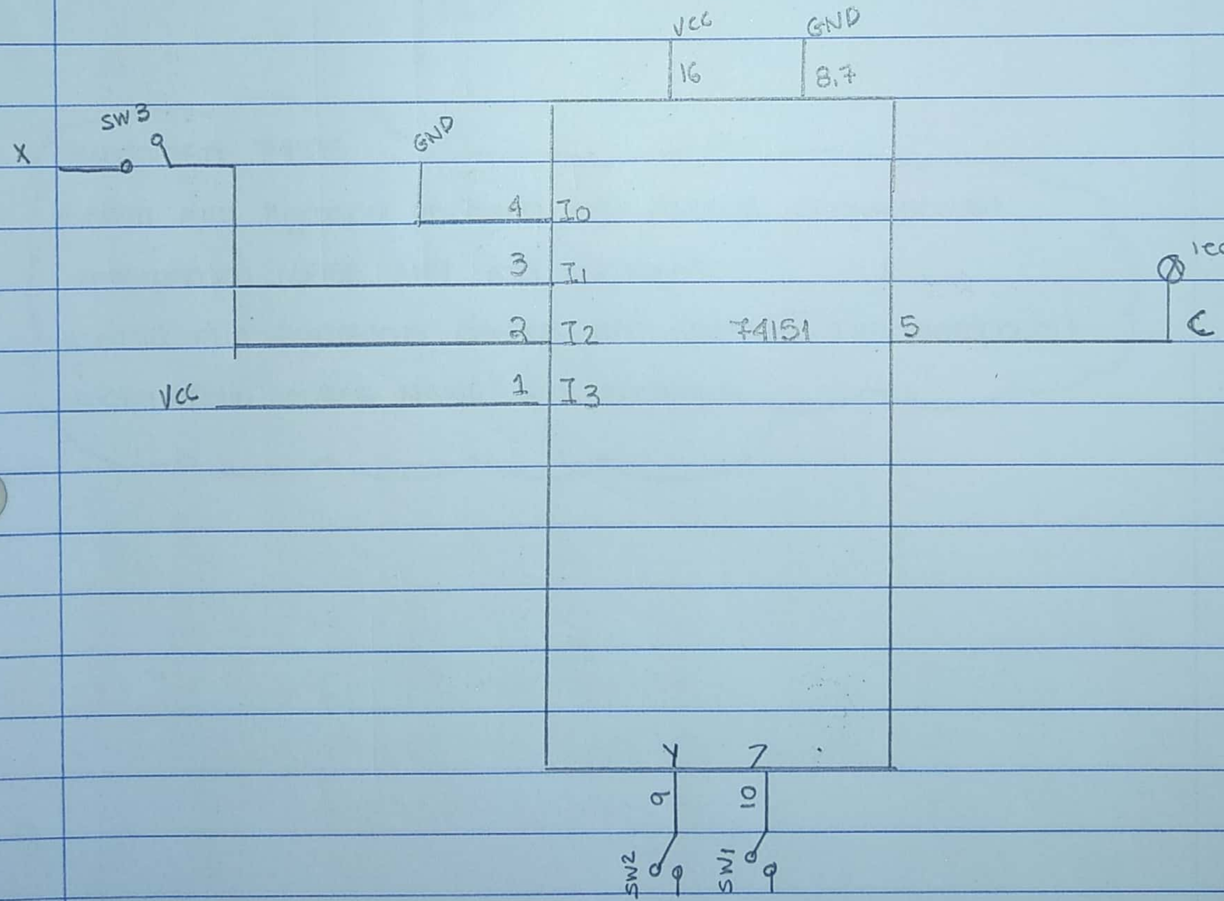
$S(x,y,z) = \Sigma(1,2,4,7)$

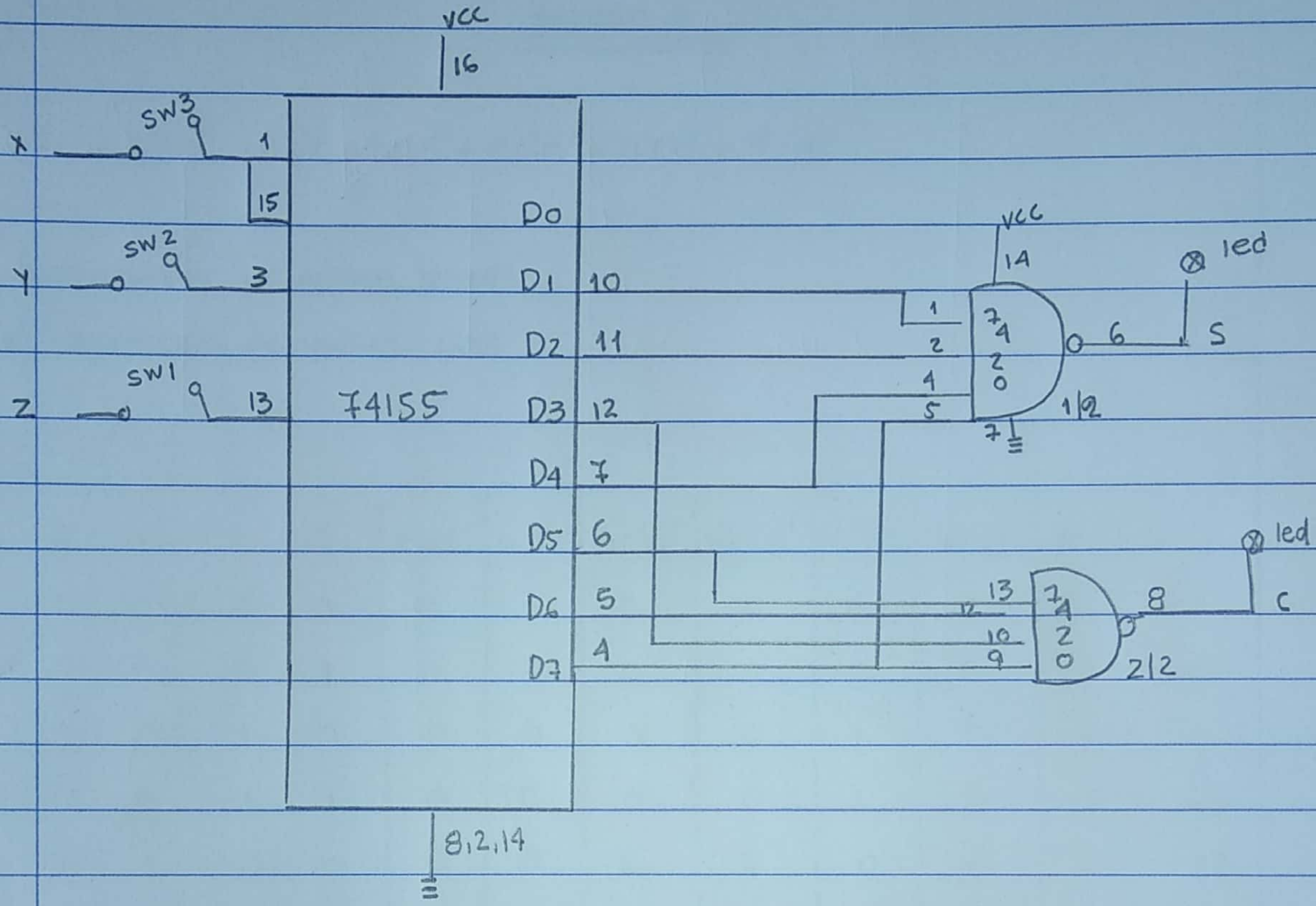
$C(x,y,z) = \Sigma(3,5,6,7)$

	I_0	I_1	I_2	I_3
x'	0	1	2	3
x	4	5	6	7
	x	x'	x'	x

	I_0	I_1	I_2	I_3
x'	0	1	2	3
x	4	5	6	7
	0	x	x	1


VCC
GND
16
8,7
X
SW3
VCC
14
1
2
7
114
4
3
2
1
I0
I1
I2
I3
74151
5
led
S
Y
Z
SW2
9
SW1
10


VCC
GND
16
8,7
X
SW3
GND
4
3
2
1
I0
I1
I2
I3
VCC
74151
5
led
C
Y
Z
9
10
SW2
SW1



Υλοποίηση 74155

- όταν έχω λιγότερα μηδενικά απο άσσους (μεγιστόρους) χρησιμοποιώ πύλες AND στο κύκλωμα
- όταν έχω λιγότερους άσσους απο μηδενικά (ελαχιστόρους) χρησιμοποιώ πύλες NAND στο κύκλωμα

Άσκηση 3

$F_{11} = ab'd' + ab'c + bc'd' + a'c'd' + a'cb' + a'cd'$

a) υλοποίηση με πύλες NAND

b) υλοποίηση με πύλες NOR

a	b	c	d	ab'd'	ab'c	bc'd'	a'c'd'	a'b'c	a'cd'	F	
0	0	0	0	0	0	0	1	0	0	1	m_0
0	0	0	1	0	0	0	0	0	0	0	m_1
0	0	1	0	0	0	0	0	1	1	1	m_2
0	0	1	1	0	0	0	0	1	0	1	m_3
0	1	0	0	0	0	1	1	0	0	1	m_4
0	1	0	1	0	0	0	0	0	0	0	m_5
0	1	1	0	0	0	0	0	0	1	1	m_6
0	1	1	1	0	0	0	0	0	0	0	m_7
1	0	0	0	1	0	0	0	0	0	1	m_8
1	0	0	1	1	0	0	0	0	0	1	m_9
1	0	1	0	0	1	0	0	0	0	1	m_{10}
1	0	1	1	0	1	0	0	0	0	1	m_{11}
1	1	0	0	0	0	1	0	0	0	1	m_{12}
1	1	0	1	0	0	0	0	0	0	0	m_{13}
1	1	1	0	0	0	0	0	0	0	0	m_{14}
1	1	1	1	0	0	0	0	0	0	0	m_{15}

άρα $F_{11}(a,b,c,d) = \Sigma(0,2,3,4,6,8,9,10,11,12)$

όταν θέλω να υλοποιήσω με NAND χρησιμοποιώ ελαχιστόρους

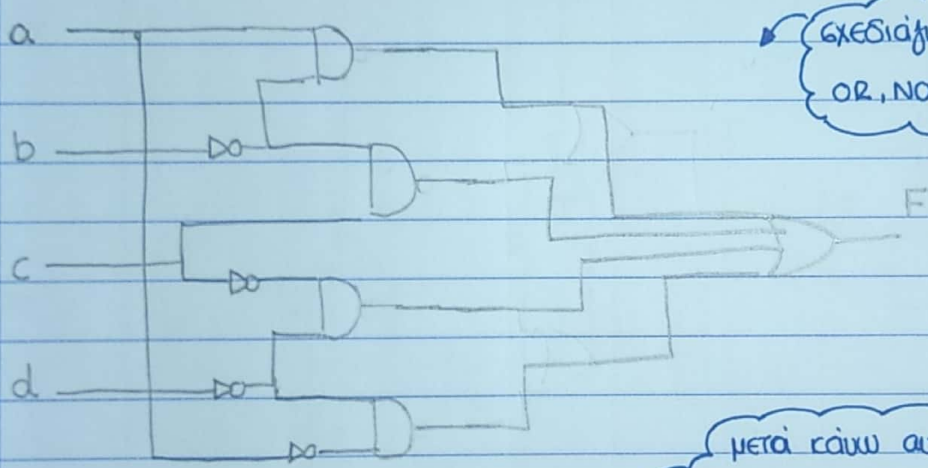
karnaugh με ελαχιστόρους

ab \ cd	00	01	11	10
00	1 (0)	0 (1)	1 (3)	1 (2)
01	1 (4)	0 (5)	0 (7)	1 (6)
11	1 (12)	0 (13)	0 (15)	0 (14)
10	1 (8)	1 (9)	1 (11)	1 (10)

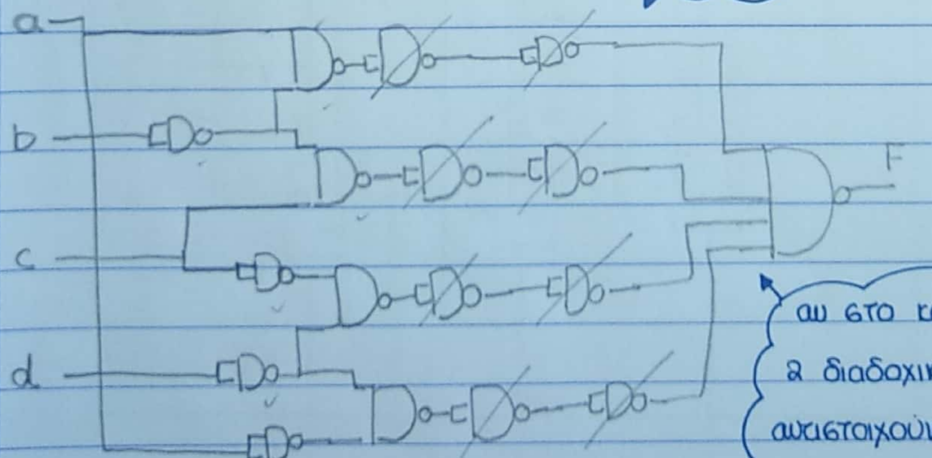
$F(a,b,c,d) = c'd' + ab' + b'c + a'd'$

απλοποιημένη συνάρτηση

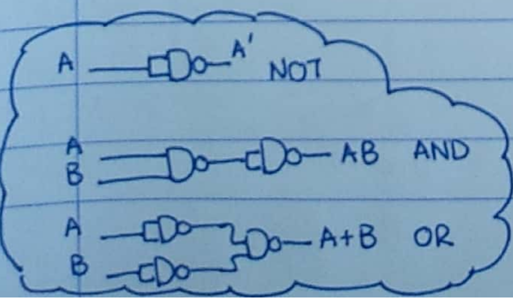
σχεδιάζω με AND, OR, NOT

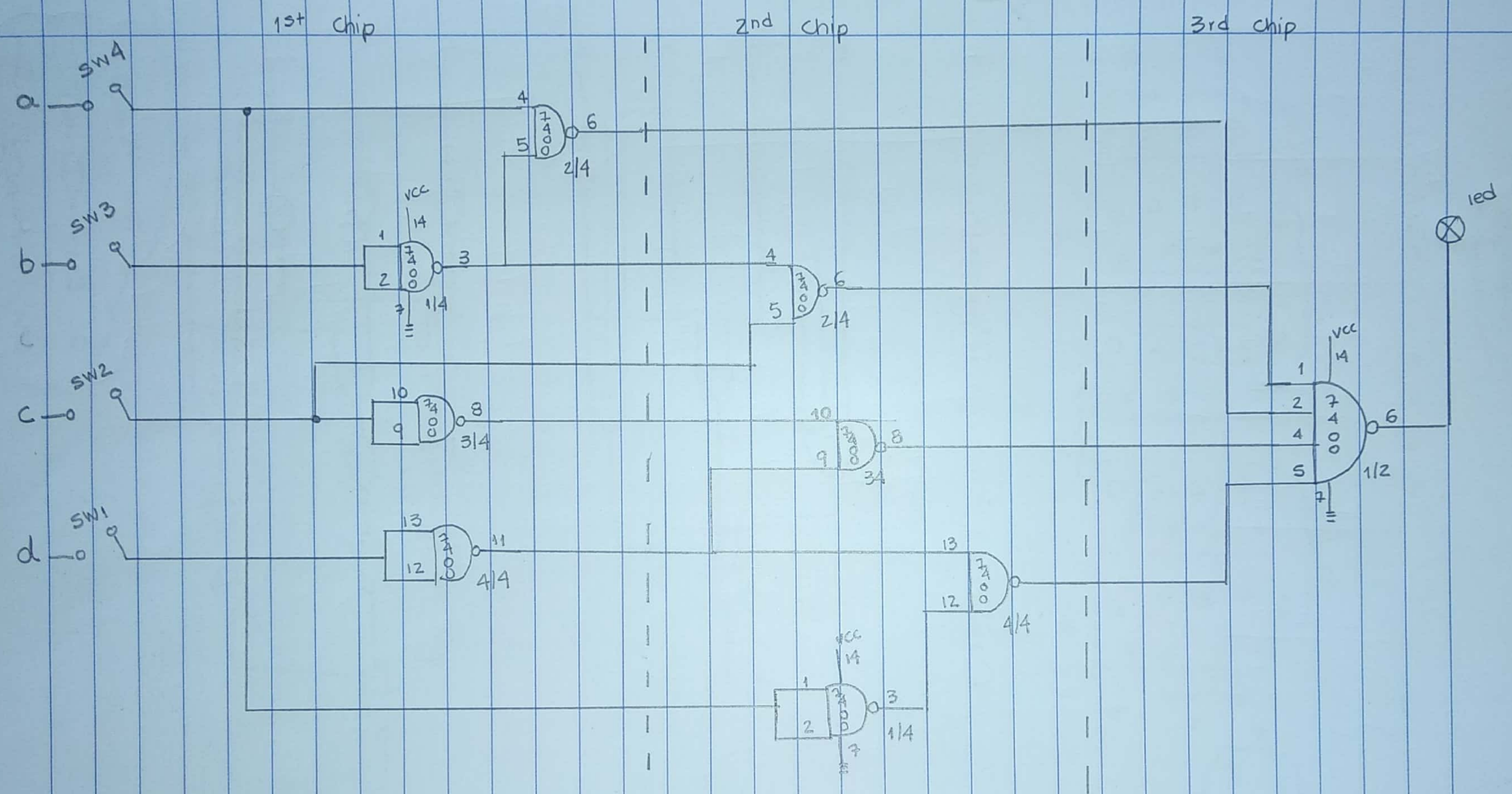


μετά κάνω αντικατάσταση κάθε πύλης με το ισοδύναμο κύκλωμα



αν στο κύκλωμα υπάρχουν 2 διαδοχικές πύλες που αντιστοιχούν σε πύλες NOT τότε διαγράφονται




1st Chip
2nd Chip
3rd Chip
SW4
SW3
SW2
SW1
a
b
c
d
7400
Vcc
led
1/4
2/4
3/4
4/4
1/2

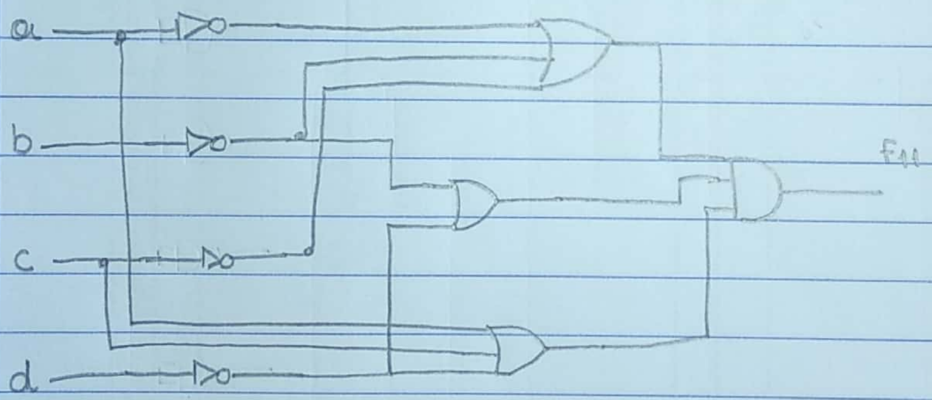
όταν θέλω να υλοποιήσω με NOR χρησιμοποιώ μεγιστόρους

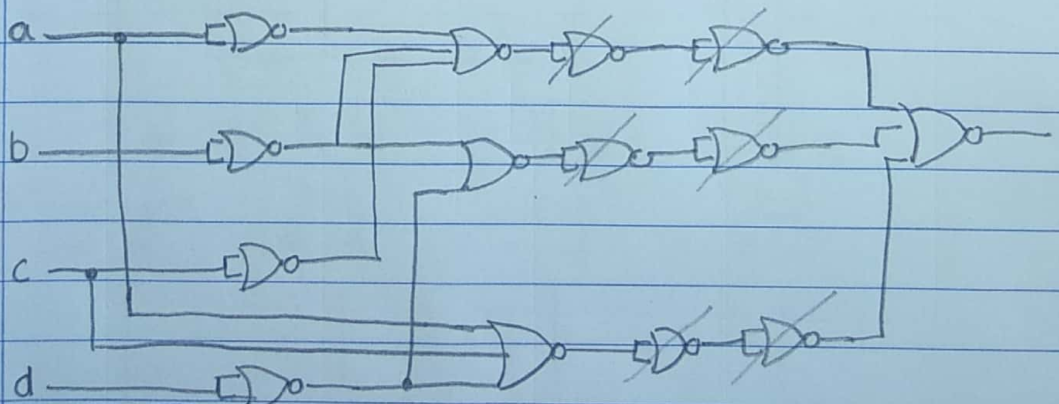
$F_{11}(a,b,c,d) = \Pi(1,5,7,13,14,15)$

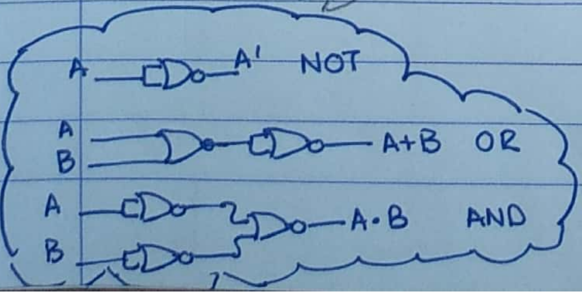
karnaugh με μεγιστόρους

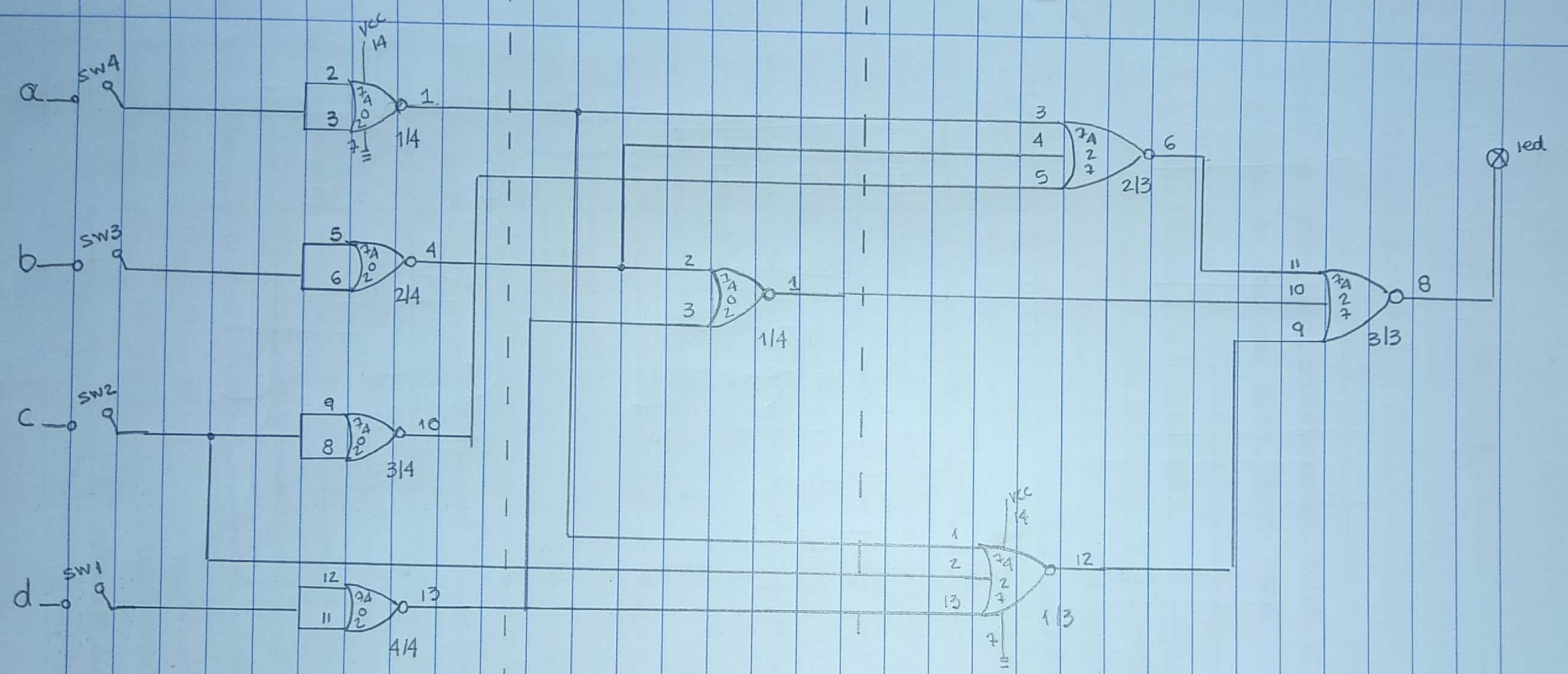
		c		c'		
	ab \ cd	00	01	11	10	
a	00	0 (0)	1 (1)	0 (3)	0 (2)	b
a	01	0 (4)	1 (5)	1 (7)	0 (6)	b'
a'	11	0 (12)	1 (13)	1 (15)	1 (14)	b'
a'	10	0 (8)	0 (9)	0 (11)	0 (10)	b
		d	d'	d'	d	

$F_{11}(a,b,c,d) = (b'+d')\cdot(a+c+d')\cdot(a'+b'+c')$








a
SW4
b
SW3
c
SW2
d
SW1
Vcc
14
7402
1/4
2/4
3/4
4/4
7427
2/3
3/3
1/3
red

Άσκηση 4

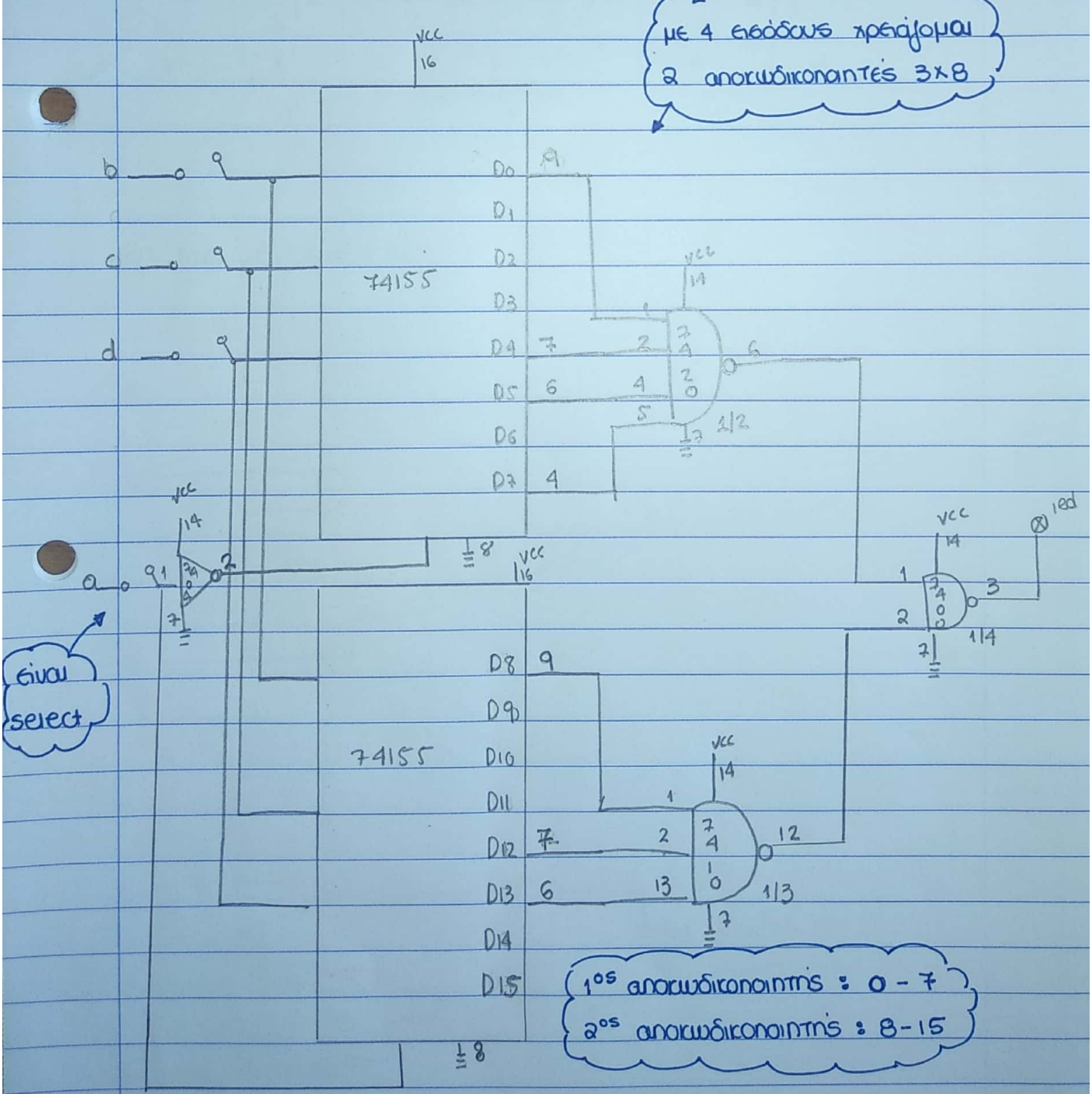
$F_{12} = \Pi(1,2,3,6,9,10,11,14)$

a) υλοποιήστε με χρήση chip αποκωδικοποιητή 74155 κ' λογικών πυλών

b) υλοποιήστε μόνο με chip που έχουν πύλες NAND

a) $F_{12}(a,b,c,d) = \Pi(1,2,3,6,9,10,11,14)$

$F_{12}(a,b,c,d) = \Sigma(0,4,5,7,8,12,13)$

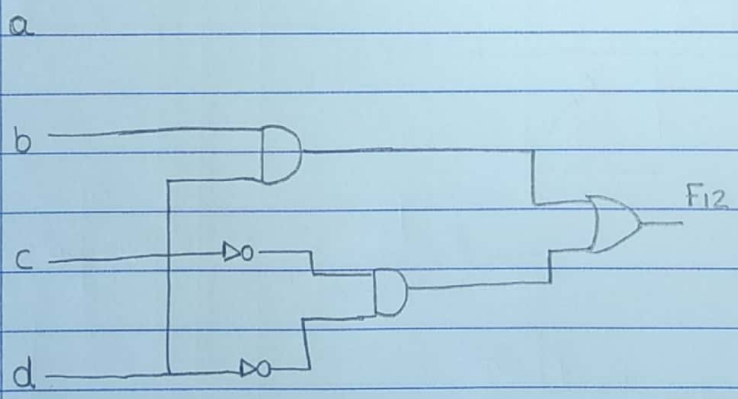


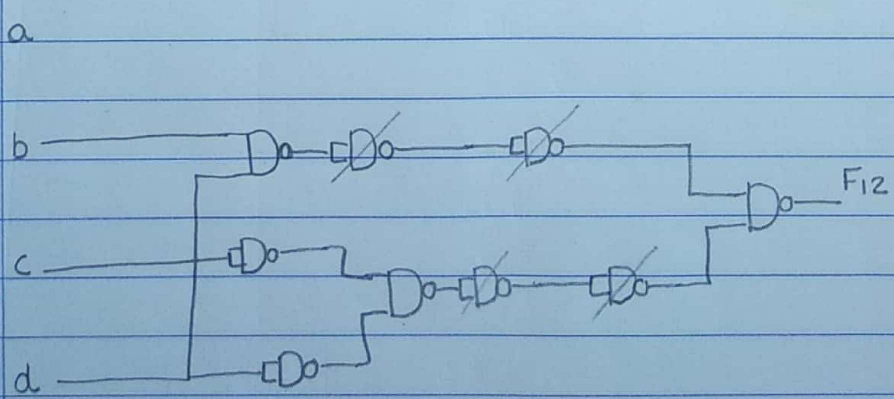
b) $F_{12}(a,b,c,d) = \Pi(1,2,3,6,9,10,11,14)$

$F_{12}(a,b,c,d) = \Sigma(0,4,5,7,8,12,13,15)$

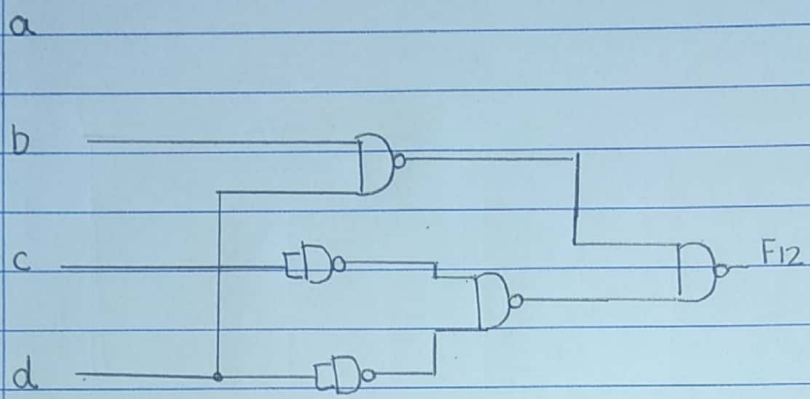
ab \ cd	00 ($c'd'$)	01 ($c'd$)	11 (cd)	10 (cd')	
00 (a')	1 (0)	0 (1)	0 (3)	0 (2)	b'
01 (a')	1 (4)	1 (5)	1 (7)	0 (6)	b
11 (a)	1 (12)	1 (13)	1 (15)	0 (14)	b
10 (a)	1 (8)	0 (9)	0 (11)	0 (10)	b'
	d'	d	d	d'	

$F_{12}(a,b,c,d) = c'd' + bd$

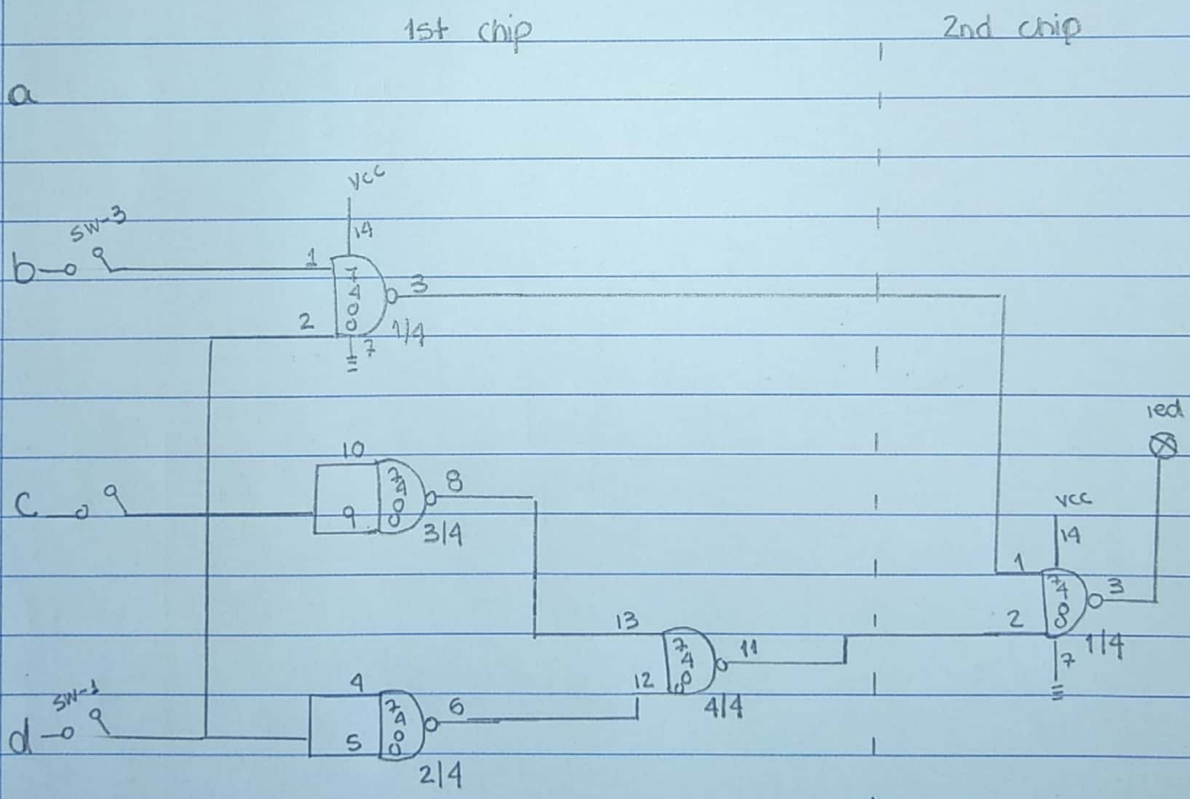




apa



a
b
c
d
F12



1st chip
2nd chip
a
b
c
d
SW-3
SW-1
vcc
14
1
2
3
7
7400
1|4
10
9
8
3|4
4
5
6
2|4
13
12
11
4|4
led
vcc
14
1
2
3
7
7408
1|4