

Название:

Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования

«Московский государственный технический университет

имени Н.Э. Баумана

(национальный исследовательский университет)»

(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ. (ИУ7)**

Исследование дешифраторов

ОТЧЕТ

по лабораторной работе № 2

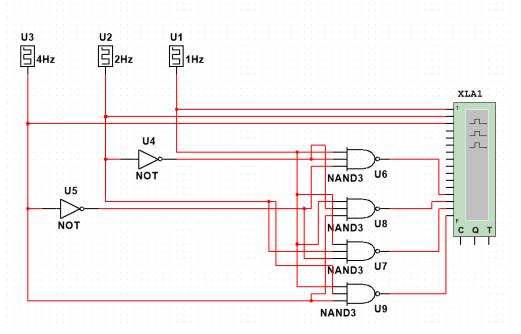
Дисциплина: <u>Арх</u>	<u>читектура ЭВМ</u>		
Студент	ИУ7-43Б		А. Н. Паламарчук
	(Группа)	(Подпись, дата)	(И.О. Фамилия)
Преподаватель			А. Ю. Попов
		(Подпись, дата)	(И.О. Фамилия)

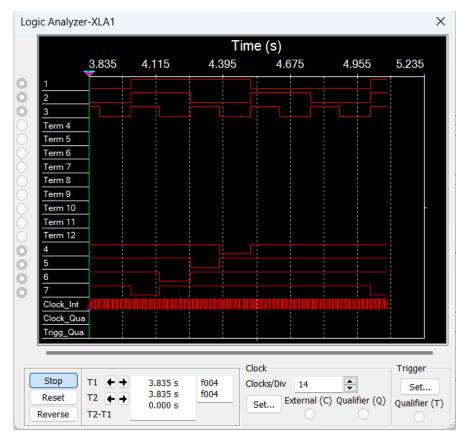
Москва 2024

Цель работы

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

1) Исследование линейного двухвходового дешифратора с инверсными выходами





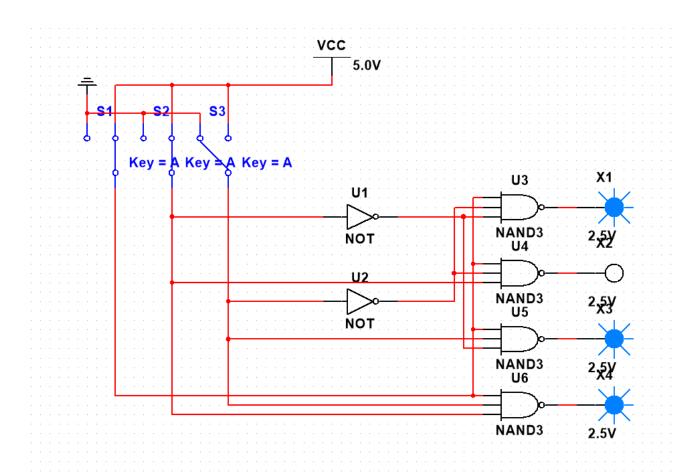
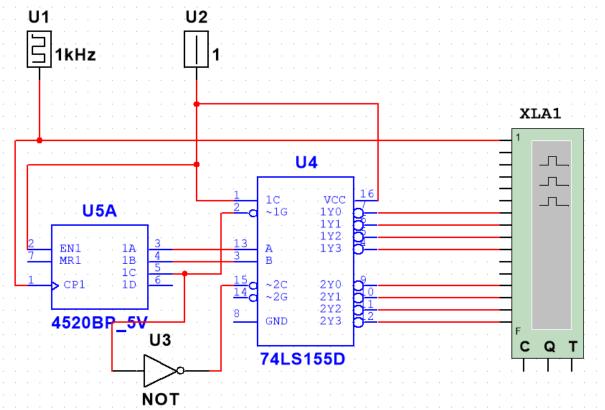


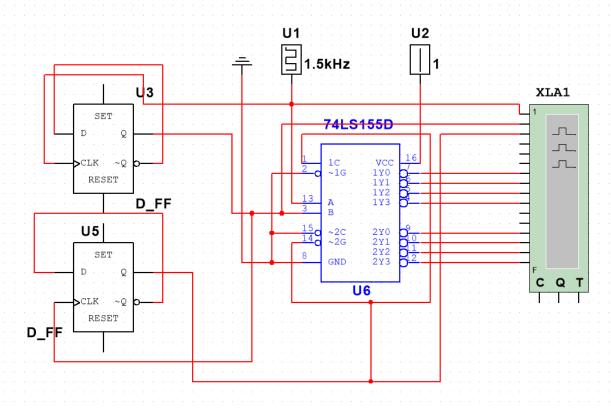
Таблица истинности

\mathbf{E}	A1	A2	F 1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

2) Исследование дешифраторов ИС К155ИД4 (74LS155)







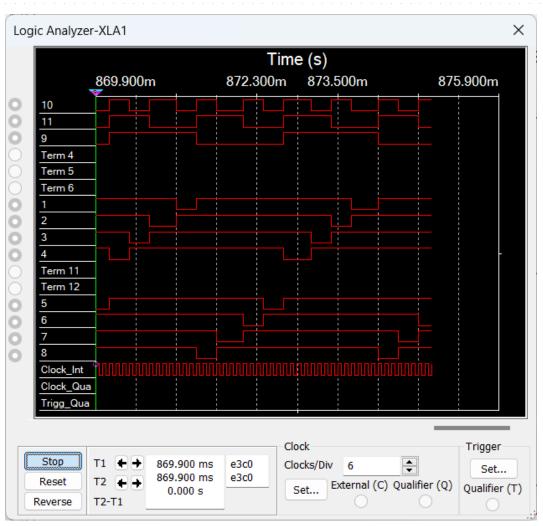
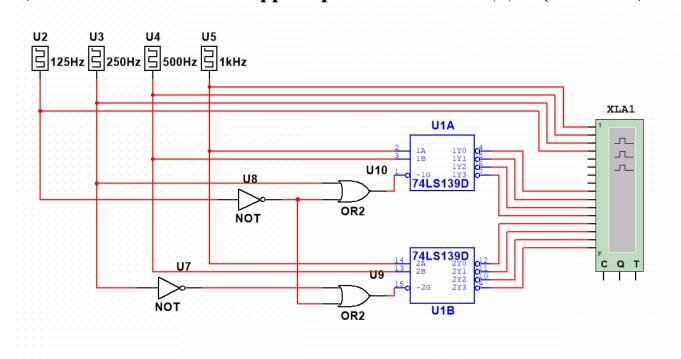
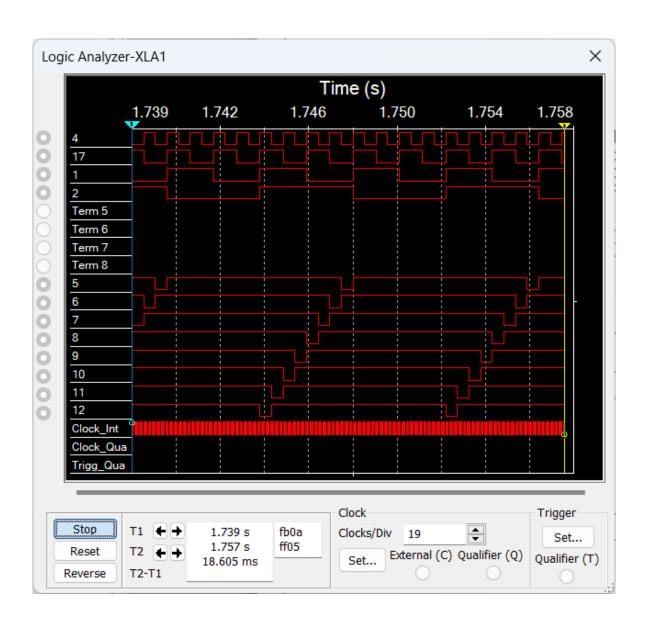


Таблица истинности

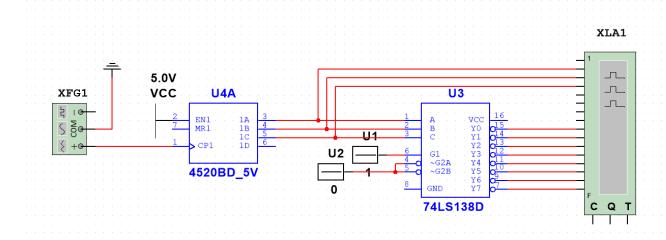
A1	A2	A3	F1	F2	F3	F4	F5	F6	F7	F8
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

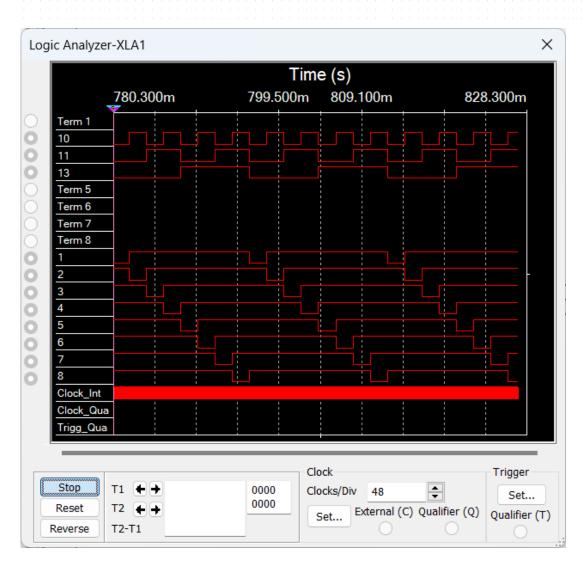
3) Исследование дешифраторов ИС КР531ИД14 (74LS139)





4) Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)





Вывод

При выполнении этой лабораторной работы я изучил принципы построения и методы синтеза дешифраторов, при этом экспериментально изучив дешифраторы.

Контрольные вопросы

- 1. Что называется дешифратором? Дешифратор комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходами.
- преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.
- 2. Какой дешифратор называется полным (неполным)? Дешифратор, имеющий 2n выходов, называется полным, при меньшем числе выходов неполным.
- 3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора DC n-N определяется таблицей истинности (табл. 1).

Таблица истинности дешифратора DC n-N

Таблица 1

	Входы								Вых	оды		
EN	A _{n-1}	A _{n-2}	A _{n-3}	• • •	A_1	A_0	F_0	\mathbf{F}_{1}	F ₂		F _{N-2}	F _{N-1}

0	×	×	×	 ×	×	0	0	0	 0	0
1	0	0	0	 0	0	1	0	0	 0	0
1	0	0	0	 0	1	0	1	0	 0	0
1	0	0	0	 1	0	0	0	1	 0	0
•				 •	•	•			 •	•
•	*	٠	*	 •	7.47	3.40				25. 4 5
				 •						•
1	1	1	1	 1	0	0	0	0	 1	0
1	1	1	1	 0	1	0	0	0	 0	1

Как следует из табл. 1, аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

$$F_{0} = EN \cdot \overline{A}_{n-1} \cdot \overline{A}_{n-2} \cdot \dots \cdot \overline{A}_{i} \cdot \overline{A}_{1} \cdot \overline{A}_{0},$$

$$F_{1} = EN \cdot \overline{A}_{n-1} \cdot \overline{A}_{n-2} \cdot \dots \cdot \overline{A}_{i} \cdot \overline{A}_{1} \cdot A_{0},$$

$$F_{2} = EN \cdot \overline{A}_{n-1} \cdot \overline{A}_{n-2} \cdot \dots \cdot \overline{A}_{i} \cdot A_{1} \cdot \overline{A}_{0},$$

$$\vdots$$

$$\vdots$$

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_{i} \cdot A_{1} \cdot \overline{A}_{0},$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_{i} \cdot A_{1} \cdot A_{0},$$

$$(1)$$

где A_i $(i=\overline{0,n-1})$ - входные сигналы (переменные) дешифратора, F_j $(j=\overline{1,N-1})$ - выходные сигналы (функции) дешифратора, EN- сигнал разрешения (стробирования) работы дешифратора.

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой $2\,n$ конъюнкторов или логических элементов ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с n+1 входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором — все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений,

вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1-N1, причем n1 << n, следовательно и N1 << N.

- 1. Число каскадов равно = n n1. Если K целое число, то во всех каскадах используются полные дешифраторы DC n1 N1. Если правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1 N1.
- 2. Количество простых дешифраторов DC n1-N1 в выходном каскаде равно N N1, в предвыходном N N2 1, в пред предвыходном N N3 1 и т.д.; во входном каскаде N N1. Если N N1 правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
- 3. В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1 младших разрядов адреса на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
- 4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов пред предвыходного каскада с входами разрешения простых дешифраторов предвыходного каскада и т.д.