


Ostfalia Hochschule für angewandte Wissenschaften Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011	Vorname.....
		SS 2020 01.07.2020	Matr.Nr.:.....
			Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**
Zeit: 60 Minuten

Punkte:

1 (10)	2 (22)	3 (14)	4 (14)	Punktsumme (max. 60)	Prozente	Note

Tabelle HEX-Ziffern – Binärcode

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

Aufgabe 1 (10 Punkte) – Kurzfragen

Σ	
----------	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Beim I2C-Bus gibt es nur einen Master.		
Das Dirty-Bit eines Cache-Eintrags zeigt an, dass der Eintrag von mehreren Prozessen genutzt wird.		
Die Datenübertragung beim SPI-Bus ist vergleichsweise schnell, weil über die Busleitungen keine Protokollinformationen übertragen werden.		
Je mehr Stufen eine Pipeline hat, desto geringer ist die erzielbare Beschleunigung.		
Statisches RAM speichert die Informationen auch im ausgeschalteten (stromlosen) Zustand		
Bei virtuellem Speicher besitzt jeder Prozess einen separaten Adressbereich.		
Ein Watchdog-Timer setzt den Prozessor im Fehlerfall zurück.		
Busleitungen, die von Open-Collector-Ausgängen getrieben werden, arbeiten mit negativer Logik.		
Die Bits im Statusregisters eines Prozessors werden durch Rechenoperationen der ALU beeinflusst.		
Als „superskalar“ bezeichnet man einen Mikroprozessor, bei dem mehr als 1 Befehl/Takt abgeschlossen werden kann.		

Aufgabe 2 (22 Punkte) – Timer

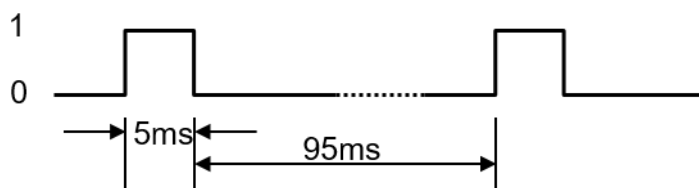
Gegeben sei ein mit 12,5 MHz getakteter Mikroprozessor, der über eine 16-Bit-Timereinheit verfügt. Der Timer verfügt über ein Zählerstandsregister TCNT und ein ladbares Vergleichsregister OCR. Bei Erreichen des Werts in OCR wird das Überlauf-Bit OVF gesetzt und TCNT auf 0 zurückgesetzt.

- a) (1 P) Berechnen Sie die Periodendauer des Mikrocontrollers!

- b) (1 P) Wie groß ist die Periodendauer des Timers ohne Vorteiler?

- c) (2 P) Skizzieren Sie in nachfolgendem Diagramm den Verlauf des Zählerstandes über der Zeit für 2 Perioden!

Der Mikroprozessor soll nun dazu dienen, einen Synchronimpuls für ein analoges Videosignal zu erzeugen. Das zu erzeugende Synchronsignal soll den folgenden Verlauf haben:



- d) (4 P) Wählen Sie den/die Vorteilerwert(e) so, dass Sie die vorgegebenen Zeiten möglichst genau einhalten! (Mögliche Vorteilerwerte: (1), 2, 4, 8, 16, 32, 64, 128, 256)

- e) (4 P) Welche(n) Vergleichswert(e) für OCR ergibt/ergeben sich?
- f) (2 P) Wie genau werden die Zeitvorgaben prozentual eingehalten?
- g) (4 P) Skizzieren Sie den Verlauf des Zählerstands für die Erzeugung des Synchronsignals bis zur Zeit $t = 105\text{ms}$ unter Angabe von Zahlenwerten für die „Eckpunkte“!
- h) (4 P) Stellen Sie den Ablaufplan/Pseudocode zur Realisierung des Synchronsignals mithilfe des 16-Bit-Timers dar. (Das Synchronsignal wird an einem digitalen Port ausgegeben.) Achten Sie insbesondere auf die Steuerung des Timers! Die Portausgabe können Sie als „PB=0“ (Portbit auf ,0‘ setzen) bzw. „PB=1“ (Portbit auf ,1‘ setzen) darstellen.

Aufgabe 3 (14 Punkte) – Rechnerarchitektur/Speicherhierarchien

Σ	
----------	--

- a) (4 P) Welcher Grundgedanke liegt der Schaffung von Speicherhierarchien zugrunde?
- b) (2 P) Worin besteht der Unterschied zwischen vollassoziativem, mehrfach-assoziativen und direkten Cachespeichern bezogen auf den Hardwareaufwand?
- c) (4 P) Ein Mikrorechnersystem mit einem Adressraum von 16 MByte verfügt über einen 4-fach-assoziativen Cachespeicher mit 8 Sätzen und einer Block(Satz)-Größe von 16 Byte . Aus welchen Adressbits wird der Cache-Satz bestimmt und welche Adressbits dienen als Tag?
- d) (4 P) Was versteht man unter einem Write-Through bzw. einem Write-Back-Cache? Worin liegen die Vor- und Nachteile beider Varianten?

Aufgabe 4 (14 Punkte) – Adressierdekodierung/Bussysteme

Σ	
----------	--

Ein **16-Bit**-Mikrorechner verfügt über einen Adressraum von **256kByte**, der mit folgenden Bausteinen belegt ist:

- ROM-Baustein **ROM** mit **16kByte** Größe bei Adresse **0x0000**
- RAM-Baustein **RAM** mit **128kByte** Größe
- I/O-Baustein **I/O** mit **16** Registern bei Adresse **0x3FFF0**

a) (1 P) Wie viele Adressleitungen umfasst der Adressbus des Mikrorechners?

$$\log_2 (256 \cdot 1024 \text{ Adressen}) = 18 \text{ Adressbits}$$

b) (1 P) Wie viele Adresseingänge besitzt der **ROM**-Baustein?

$$\log_2 (16 \cdot 1024 \text{ Adressen}) = 14 \text{ Adressbits}$$

c) (4 P) Platzieren Sie den RAM-Baustein so im noch verfügbaren Adressbereich, dass die Dekodierung möglichst einfach ist!

Welchen Adressbereich belegt dann der **RAM**-Baustein?

Wie lautet dann die CS-Logik für den **RAM**-Baustein?

$$16 \cdot 1024 - 1 = 16383$$

$$128 \cdot 1024 = 131072$$

	01	11			
00	00 11	1111	1111	1111	1111
00	01 00	0000	0000	0000	0000
10	00 11	1111	1111	1111	1111
10	01 00	0000	0000	0000	0000

CS =

d) (2 P) Bestimmen die CS-Logik für den **I/O**-Baustein

$$0x3FFF0 \Rightarrow 0b \overset{11}{11} \overset{1111}{1111} \overset{1111}{1111} \overset{1110}{1110} \overset{1111}{1111}$$

$$0x3FFFF \Rightarrow 0b \overset{11}{11} \overset{1111}{1111} \overset{1111}{1111} \overset{1111}{1111} \overset{1111}{1111}$$

$$CS = a_{17} a_{16} \dots a_5 a_4$$

e) (3 P) Skizzieren Sie eine Anordnung zur SPI-Kommunikation bestehend aus einem Master und 2 Slaves!

f) (3 P) Erläutern Sie den zeitlichen Ablauf **einer** SPI-Kommunikation anhand eines Timing-Diagramms!