


<b>Ostfalia</b> Hochschule für angewandte Wissenschaften  Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011 BPO 2008	Vorname.....
			Matr.Nr.:.....
		SS 2016 27.06.2016	Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**  
Zeit: 60 Minuten

**Punkte:**

1 (10)	2 (12)	3 (22)	4 (16)	Punktsumme (max. 60)	Prozente	Note

**Tabelle HEX-Ziffern – Binärcode**

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

### Aufgabe 1 (10 Punkte) – Kurzfragen

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
In einem „8-Bit-Mikroprozessor“ besitzen sämtliche Register eine Breite von 8 Bit.		
Der Befehlszähler (PC) eines Mikroprozessors dient zum Zählen der abgearbeiteten Befehle.		
Ein semi-synchroner Systembus synchronisiert nur bei jeder zweiten Taktflanke.		
Ein synchroner Systembus passt sich an die individuelle Geschwindigkeit der Systemkomponenten an.		
Beim SPI-Bus handelt es sich um einen synchronen seriellen Bus, bei dem die Teilnehmer über Adressen angesprochen werden.		
RISC-Prozessoren sind dadurch gekennzeichnet, dass alle Befehle die gleiche Länge haben.		
Eine Pipeline mit k Stufen führt immer zu einer Beschleunigung der Programmausführung um den Faktor k.		
Als „superskalar“ bezeichnet man einen Mikroprozessor, bei dem mehr als 1 Befehl/Takt abgeschlossen werden kann.		
Ein Cache wird wegen der notwendigen Geschwindigkeitsanforderungen immer in Hardware verwaltet.		
In statischen Speicherchips bleibt die Information auch nach dem Abschalten, d.h. ohne Energiezufuhr, erhalten.		

## Aufgabe 2 (12 Punkte) – Cache

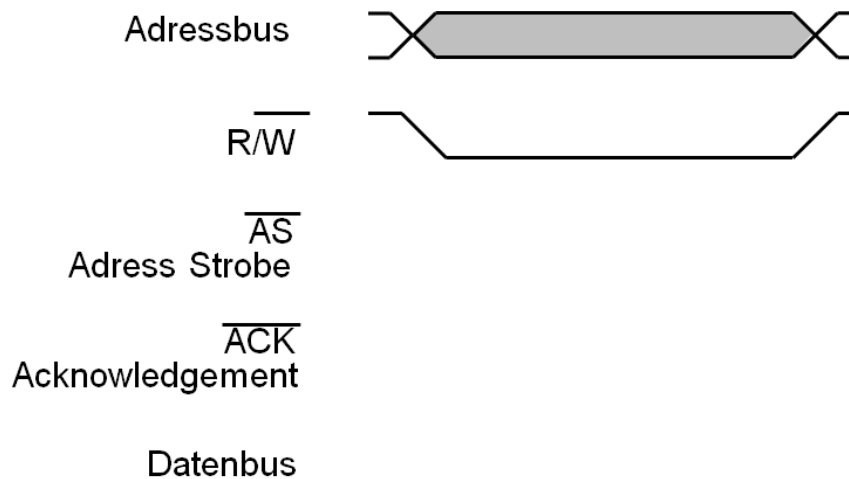
Ein Mikrorechner verfügt über einen Hauptspeicher von **1 MByte** Größe. Er besitzt einen **4-fach-assoziativen** Cache mit **512 Blöcken** zu je **16 Byte**.

- a) (1 P) Wie viele Bits werden zur Adressierung des Hauptspeichers benötigt?
  
  
  
  
  
  
  
  
  
  
- b) (1 P) Wie viele Sätze umfasst der Cache?
  
  
  
  
  
  
  
  
  
  
- c) (1 P) Wie viele Platzierungsmöglichkeiten für eine (Arbeits-)Speicherzelle gibt es im Cache?
  
  
  
  
  
  
  
  
  
  
- d) (2 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?
  
  
  
  
  
  
  
  
  
  
- e) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?
  
  
  
  
  
  
  
  
  
  
- f) (2 P) Durch welche Maßnahme könnte die Anzahl der Cache-Hits gegenüber der o.a. Lösung erhöht werden? Welcher Aufwand würde sich mit der von Ihnen vorgeschlagenen Maßnahme erhöhen?
  
  
  
  
  
  
  
  
  
  
- g) (1 P) Warum arbeitet ein Rechner mit Write-Back-Cache i.d.R. effizienter als ein Rechner mit Write-Through-Cache?
  
  
  
  
  
  
  
  
  
  
- h) (2 P) Welches Merkmal eines Cache steht für das zugrundeliegende Prinzip „räumliche Lokalität“ einer Speicherhierarchie?

### Aufgabe 3 (22 Punkte) – Systembus/Adressierung

Systembus:

- a) (4 P) Ergänzen Sie in der u.a. Skizze den Verlauf der 3 Signale „Adress Strobe“, „Acknowledgement“ und „Datenbus“ für einen **Asynchronen** Systembus! Geben Sie bei Signalwechseln die damit verbundene Information mit an! Handelt es sich um einen Lese- oder einen Schreibzugriff?



- b) (2 P) Warum können für die Steuerleitungen (wie z.B. „Adress Strobe“ oder „Acknowledgement“) keine Standard-Logikgatter mit Gegentaktausgangsstufe verwendet werden?
- c) (4 P) Welche Gatterausgangsstufen werden für die Steuerleitungen i.d.R. verwendet? Geben Sie die Bezeichnung an und skizzieren Sie eine typische Anordnung für diese Verschaltung! Warum ist der aktive Pegel bei den Steuerleitungen logisch ‚0‘?

Adressierung:

Ein Mikrorechner verfüge über einen Adressraum von **64kByte**. Der Rechner besitzt bereits zwei RAM-Bausteine von **8kByte** Größe und soll mit **einem weiteren** RAM-Baustein gleicher Größe erweitert werden.

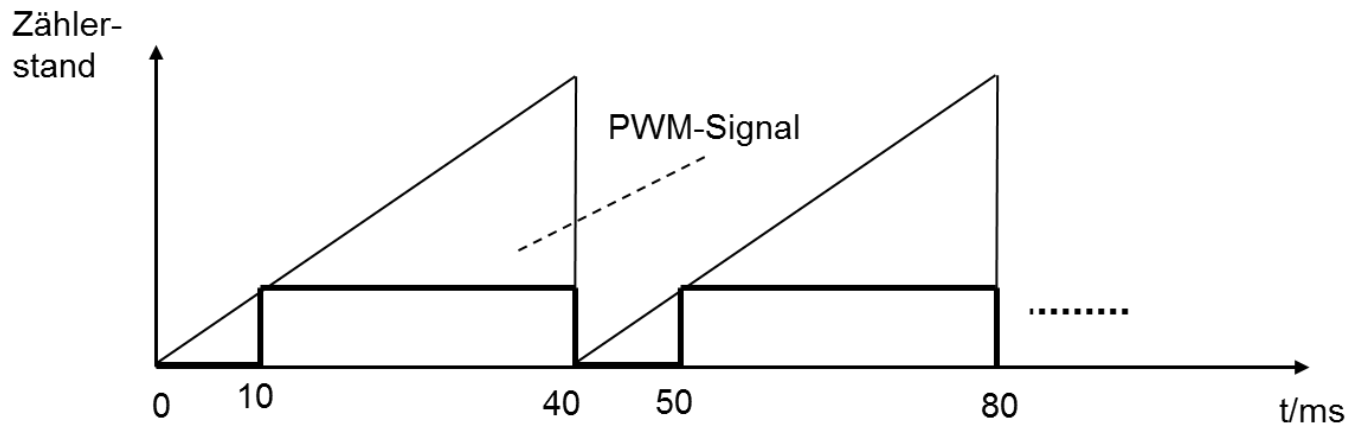
Die CS-Logik der beiden vorhandenen RAM-Bausteine sieht wie folgt aus:

- RAM 0:  $CS = \overline{a_{15}} \overline{a_{14}} \overline{a_{13}}$
- RAM 1:  $CS = \overline{a_{15}} (\overline{a_{14}} a_{13} a_{12} + a_{14} \overline{a_{13}} \overline{a_{12}})$

- d) (1 P) Wie viele Adresseingänge besitzen die RAM-Bausteine?
- e) (1 P) Welche Adressleitungen des Systembus werden zur internen Adressierung der RAM-Bausteine verwendet?
- f) (4 P) Bestimmen Sie die von den beiden vorhandenen RAM-Bausteinen belegten Adressbereiche!
- g) (6 P) Weisen Sie dem neuen RAM-Baustein einen freien Adressbereich ausreichender Größe zu und bestimmen Sie die CS-Decodierung!  
(Falls Sie unter Teilaufgabe f) zu keinem Ergebnis gekommen sind, nehmen Sie die Anfangsadresse 0x2000 an – die erreichbare Punktzahl reduziert sich dann auf 3P!)

#### Aufgabe 4 (16 Punkte) – PWM-Signal-Erzeugung

Gegeben sei ein mit **12 MHz** getakteter Mikrocontroller. Dieser soll zur Antriebssteuerung mittels eines PWM-Signals eingesetzt werden. Da der Mikrocontroller über keinen PWM-fähigen Timer verfügt, soll das Signal mit einer Software-Timersteuerung erzeugt werden und die Ausgabe des PWM-Signals soll auf einem digitalen I/O-Pin erfolgen. Zur Verfügung steht ein **16-Bit-Timer** mit einem **Vergleichsregister OCR**. Die möglichen **Vorteiler** des Timers sind **1 – 2 – 4 – 16 – 64 – 256 – 1024**. das PWM-Signal soll den in der Skizze gezeigten Verlauf besitzen.



- (1 P) Berechnen Sie die Periodendauer des Mikrocontrollers!
- (1 P) Berechnen Sie die Periodendauer (Überlauf) des 16-Bit-Timers mit Vorteiler 1!
- (1 P) Bestimmen Sie die Frequenz des PWM-Signals!
- (1 P) Bestimmen Sie die relative Einschaltdauer (Pegel = ,1') des PWM-Signals („Duty-Cycle“)!

- e) (4 P) Wählen Sie die jeweils passenden Vorteilerwerte für die aktive und die inaktive Phase, welche die höchstmögliche Auflösung gewährleisten!
- f) (4 P) Auf welchen Wert müssen Sie passend zu den unter e) bestimmten Vorteilerwerten das Vergleichsregister OCR in den beiden Phasen setzen?
- g) (2 P) Welche prozentuale Abweichung von der gewünschten Dauer der aktiven Phase ergibt sich durch die Wahl des Vorteiler und Vergleichswerts für diese Phase unter e) und f)?
- h) (2 P) Welche Dauer und Frequenz hat das resultierende PWM-Signal tatsächlich?