Ostfalia Hochschule für angewandte Wissenschaften

Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystemund Servicetechnologien

Made	ulprüfun	^
IVIOUL	aipi ui ui i	L

Mikroprozessortechnik BPO 2011

> SS 2019 24.06.2019

Name:
Vorname
Matr.Nr.:
Unterschrift

Zugelassene Hilfsmittel: Einfacher Taschenrechner

Zeit: 60 Minuten

Punkte:

1 (10)	2 (8)	3 (20)	4 (22)	Punktsumme (max. 60)	Prozente	Note

Tabelle HEX-Ziffern - Binärcode

1 4501		· =::::::::::::::::::::::::::::::::::::			40										
F	E	D	С	В	А	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

Aufgabe 1 (10 Punkte) - Kurzfragen

Σ	
---	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Bei dynamischen Speicherbausteine wird die Information in Form von Ladungen gespeichert.		
Ein asynchroner Systembus erfordert einen höheren Verwaltungsaufwand als ein synchroner Systembus.		
Beim I2C-Bus werden Adressen und Daten über die gleiche Busleitung übertragen.		
Der Cache dient zur Speicherung geheimer Informationen.		
Beim SPI-Bus erfolgt die Adressierung der Slaves über einen separaten Adressbus.		
Ein 16-Bit-Mikrocontroller kann maximal 65536 Speicherstellen adressieren.		
Bei einem Mikroprozessor mit Harvard-Architektur liegen die Befehle in einem separaten Befehlsspeicher.		
Bei der Datenübertragung über die serielle USART-Schnittstelle kann erst ein neues Datum empfangen werden, wenn das vorherige Datum programmtechnisch ausgelesen wurde.		
Bei einem superskalaren Prozessor muss es mindestens 2 Rechenwerke geben.		
Tri-State-Ausgänge sind in jedem Fall kurzschlussfest.		

_	
>	

Aufgabe 2 (8 Punkte) - Cache

Ein Mikrorechner verfügt über einen Hauptspeicher von **512 MByte** Größe. Der Rechner soll mit einem Cache mit **256 Blöcken** zu je **64 Byte** und **4-facher-Assoziativität** ausgestattet werden.

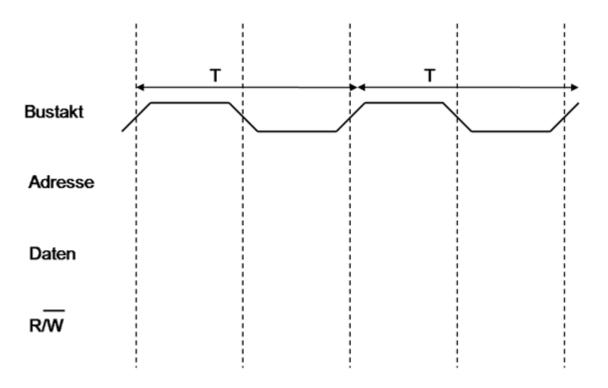
- a) (1 P) Wie viele Sätze umfasst der Cache?
 b) (1 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?
 c) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?
 d) (2 P) Welches Merkmal eines Cache steht für das zugrundeliegende Prinzip "räumliche Lokalität" einer Speicherhierarchie?
- e) (2 P) Wie könnte man die zeitliche Lokalität des Caches (bei gleichbleibender Cachegröße) verbessern?

Aufgabe 3 (20 Punkte) - Systembus/Adressierdekodierung

Ein 8-Bit-Mikrorechner verfügt über einen Adressraum von 64kByte. Der Rechner verfügt über einen ROM-Baustein ROM von 4kByte Größe, der an Adresse 0x0000 beginnt. An Adresse 0x8000 liegt ein RAM-Baustein von 16kByte Größe. Zusätzlich soll der Rechner mit einem Schnittstellenbaustein I/O mit jeweils 16 Registern ausgerüstet werden.

a)	(1 P) Wie viele Adressleitungen umfasst der Adressbus des Mikrorechners?
b)	(1 P) Wie viele Adresseingänge besitzt der ROM -Baustein?
c)	(2 P) Welchen Adressbereich belegt der RAM -Baustein? Wie lautet die CS-Logik für den RAM -Baustein?
d)	(1 P) Wieviel Adresseingänge besitzt der I/O -Baustein?
e)	(1 P) Der I/O-Baustein soll so platziert werden, dass er die 16 höchsten Adressen des Adressbereichs belegt. Welche Anfangsadresse ergibt sich dann für den Baustein?
f)	(3 P) Bestimmen die CS-Logik für den I/O -Baustein für den unter e) gewählten Adressbereich!
g)	(3 P) Wie müsste die CS-Logik für den I/O -Baustein lauten, wenn er stattdessen auf die Anfangsadresse 0xFF88 gelegt wird?

h) (3 P) Stellen Sie in dem folgenden Zeitdiagramm den zeitlichen Verlauf der Signale auf einem **synchronen** Systembus für einen Lesevorgang dar! Machen Sie deutlich zu welchen Zeitpunkten die Signale jeweils gültig sein müssen!



- i) (1 P) Warum dürfen bei Logikgattern mit Gegentaktausgangsstufe die Ausgänge nicht zu einem Bus verschaltet werden? Begründen Sie Ihre Antwort!
- j) (4 P) Skizzieren Sie die Busanschaltung, mit der Speicherbausteine an den Datenbus angeschaltet werden? Wie bezeichnet man die dabei genutzten Ausgangsstufen?

Aufgabe 4 (22 Punkte) - PWM-Signal-Erzeugung

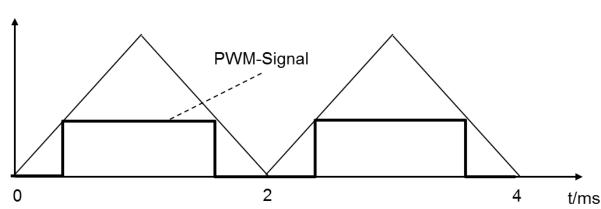
Gegeben sei ein mit **16 MHz** getakteter Mikrocontroller. Dieser soll zur Motorsteuerung mittels eines PWM-Signals eingesetzt werden. Da der Mikrocontroller über keinen PWM-fähigen Timer verfügt, soll das Signal mit einer Software-Timersteuerung erzeugt werden.

Die Ausgabe des PWM-Signals soll auf dem digitalen I/O-Pin PC2 erfolgen.

Zur Verfügung steht ein 8-Bit-Timer mit dem Vergleichsregister OCR und dem Überlauf-Flag OVF. Die möglichen Vorteiler des Timers sind 1 – 2 – 4 – 8 – 16 – 32 – 64 – 128 – 256 – 512 – 1024.

Das nachfolgend dargestellte PWM-Signal soll die folgende Gestalt mit einem **Tastverhältnis** von **60:40** haben!

Zählerstand



- a) (1 P) Berechnen Sie die Periodendauer des Mikrocontrollers!
- b) (1 P) Berechnen Sie die Periodendauer (Überlauf) des 8-Bit-Timers mit Vorteiler 1!
- c) (2 P) Bestimmen Sie anhand des o.a. Timingdiagramms die Frequenz und die Taktdauer des PWM-Signals!
- d) (2 P) Bestimmen Sie die Dauer der aktiven (,1') sowie der inaktiven (,0') Phase des PWM-Signals!
- e) (4 P) Wählen Sie für die beiden Phasen anhand der unter d) berechneten Dauern passende Vorteilerwerte für den Timer aus!

f)	(4 P) Auf welchen Wert müssen Sie das Vergleichsregister in den beiden Phasen setzen?
g)	(4 P) Geben Sie in Pseudocode an, wie eine Funktion zur Erzeugung des PWM-Signals auszusehen hätte! (Wichtig sind vor allem die Befehle zur Timersteuerung!)
h)	(4 P) Bei Überlauf eines Timers besteht die Möglichkeit, einen Interrupt auslösen zu lassen, um periodisch bestimmte Aktionen durchführen zu lassen. Erläutern Sie den prinzipiellen Ablauf eines Interrupts und dessen Behandlung!