


Ostfalia Hochschule für angewandte Wissenschaften Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011	Vorname.....
		WS 2016/17 18.01.2017	Matr.Nr.:.....
			Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**
Zeit: 60 Minuten

Punkte:

1 (10)	2 (10)	3 (30)	4 (14)	Punktsumme (100% = 60)	Prozente	Note

Tabelle HEX-Ziffern – Binärcode

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

Aufgabe 1 (10 Punkte) – Kurzfragen

Σ	
----------	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Bei der Harvard-Architektur sind Code- und Datenspeicher getrennt.		
Der Cache soll die Geschwindigkeitsdifferenz zwischen CPU und Speicher „entschärfen“.		
Das Present-Bit eines Cacheblocks zeigt an, dass der Block momentan im Speicher steht und nicht auf die Festplatte ausgelagert ist.		
Die Adressen der Busteilnehmer beim SPI-Bus werden dynamisch vergeben.		
Beim I2C-Bus wird immer gleichzeitig Daten in beiden Richtungen zwischen Master und Slave übertragen.		
Als Latenz bezeichnet man bei einer Pipeline die Zeit, die der Durchlauf eines Befehls durch die gesamte Pipeline benötigt.		
Je mehr Stufen eine Pipeline hat desto geringer ist die erzielbare Beschleunigung.		
Superskalare Prozessoren haben mindestens 2 Integerrechenwerke.		
Die Verwaltung virtuellen Speichers erfolgt in Software durch das Betriebssystem.		
Dynamisches RAM speichert die Informationen in Form von Ladungen.		

Aufgabe 2 (10 Punkte) – Cache

Σ	
----------	--

Ein Mikrorechner verfügt über einen Hauptspeicher von **16 MByte** Größe. Er besitzt einen **8-fach-assoziativen** Cache mit **1024 Blöcken** zu je **32 Byte**.

- a) (1 P) Wie viele Bits werden zur Adressierung des Hauptspeichers benötigt?

- b) (1 P) Wie viele Sätze umfasst der Cache?

- c) (2 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?

- d) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?

- e) (2 P) Welches Merkmal eines Cache steht für das zugrundeliegende Prinzip „zeitliche Lokalität“ einer Speicherhierarchie?

- f) (2 P) Welche Konsequenz für die Leistung des Cache hätte eine Halbierung der Anzahl der Cache-Blöcke von 1024 auf 512?

Aufgabe 3 (30 Punkte) – Rechtecksignalgenerator

Σ	
----------	--

Gegeben sei ein mit **16 MHz** getakteter Mikrocontroller. Dieser soll für den Test eines Steuergeräts dazu eingesetzt werden, ein Rechtecksignal fester Frequenz zu erzeugen. Das Rechtecksignal soll eine Frequenz von $f = 100/3\text{Hz}$ besitzen und das Tastverhältnis (,ON=1' : ,OFF=0') soll **2:1** betragen. Das Signal soll softwaregesteuert erzeugt werden, wobei die Zeitsteuerung bzw. das Delay über einen **16-Bit-Timer** realisiert werden soll. Der 16-Bit-Timer verfügt über ein **Vergleichsregister OCR16** und besitzt die möglichen **Vorteiler 1 – 2 – 4 – 8 – 16 – 32 – 64 – 128 – 256 – 512 – 1024**. Die **Ausgabe** des Signals soll auf dem **Digital-I/O-Pin PIND1** erfolgen.

- a) (1 P) Berechnen Sie die Periodendauer des Rechtecksignals!
- b) (2 P) Berechnen Sie die Dauer der beiden Signalphasen (,ON=1' / ,OFF=0')!
- c) (2 P) Skizzieren Sie den Signalverlauf des Rechtecksignals in untenstehendem Diagramm!



- d) (1 P) Berechnen Sie die Periodendauer (Überlauf) des 16-Bit-Timers mit Vorteiler 1!

- e) (4 P) Wählen Sie einen passenden Vorteiler für die aktive Phase („ON=1“), welcher die höchstmögliche Auflösung gewährleisten! Mit welchem Wert muss das Vergleichsregister OCR16 geladen werden?
- f) (4 P) Wählen Sie einen passenden Vorteiler für die inaktive Phase („OFF=0“), welcher die höchstmögliche Auflösung gewährleisten! Mit welchem Wert muss das Vergleichsregister OCR16 geladen werden?
- g) (2 P) Ergänzen Sie das o.a. Diagramm des Rechtecksignals um den Verlauf des Zählerstands in den beiden Phasen!
- h) (4 P) Skizzieren Sie den Ablauf der Softwaresteuerung zur Signalgenerierung in Form von C-Code / Pseudocode oder eines Aktivitätsdiagramms / Ablaufplans!

verfügt ebenfalls über Vergleichsregister **OCR8** sowie die möglichen Vorteile **1 – 2 – 4 – 16 – 64 – 256 – 1024**.

- i) (6 P) Welche Werte für die Vorteiler ergeben sich bei Nutzung des 8-Bit-Timers?
Welches Problem tritt auf und wie kann es gelöst werden?
- j) (4 P) Skizzieren Sie den Ablauf der Softwaresteuerung zur Signalgenerierung in Form von C-Code / Pseudocode oder eines Aktivitätsdiagramms / Ablaufplans bei Verwendung des 8-Bit-Timers!

Aufgabe 4 (14 Punkte) – Adressierdekodierung

Σ	
----------	--

Ein Mikrorechner verfüge über einen Adressraum von **256kByte**. Der Rechner besitzt einen RAM-Baustein **RAM0** von **32kByte** Größe an der Adresse **0x00000**. Er soll mit einem weiteren **RAM**-Baustein **RAM1** von **16kByte** sowie einem Schnittstellen-Baustein **I/O** mit **16 Registern** erweitert werden.

- a) (1 P) Wie viele Adresseingänge besitzt der RAM0-Baustein?
- b) (1 P) Welchen Adressbereich belegt der RAM0-Baustein?
- c) (2 P) Wie lautet die CS-Logik für den RAM0-Baustein?
- d) (1 P) Wieviel Adresseingänge besitzt der RAM1-Baustein?
- e) (4 P) Bestimmen die CS-Logik für den RAM1-Baustein so, dass dieser im Adressbereich 0x10000-0x13FFF platziert wird!
- f) (1 P) Der I/O-Baustein soll an die Anfangsadresse 0x14808 gelegt werden. Welchen Adressbereich belegt der I/O-Baustein dann?
- g) (4 P) Wie lautet die CS-Logik für den I/O-Baustein für den unter Aufgabenteil i) gegebenen Adressbereich?