


<b>Ostfalia</b> Hochschule für angewandte Wissenschaften  Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011	Vorname.....
		SS 2018 22.06.2018	Matr.Nr.:.....
			Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**  
Zeit: 60 Minuten

Punkte:

1 (10)	2 (20)	3 (14)	4 (16)	Punktsumme (max. 60)	Prozente	Note

**Tabelle HEX-Ziffern – Binärcode**

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000



### Aufgabe 1 (10 Punkte) – Kurzfragen

Σ	
---	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Dynamische Speicherbausteine bestehen im Wesentlichen aus einem Kondensator.	mehrere C	
Ein synchroner Systembus passt sich automatisch dem Takt der Busteilnehmer an.		X
Der I2C-Bus ist ein sog. Multi-Master-Bus.	X	
Ein Subtraktionsbefehl dauert in einem Mikrocontroller immer länger in der Ausführung als ein Additionsbefehl.		X
Beim SPI-Bus werden immer gleichzeitig Daten in beiden Richtungen zwischen Master und Slave übertragen.	X	
Ein 8-Bit-Mikrocontroller kann maximal 256 Speicherstellen adressieren.		X
Das Tag eines Cacheeintrags kennzeichnet die Adresse im RAM, von welcher der Cache-Eintrag stammt.	X	
Ein Watchdog-Timer überwacht die korrekte Ausführung von Befehlen durch die CPU.		X
Die Auslösung eines Interrupts erfolgt durch eine Hardwareschaltung in der CPU.	X	
Logikbausteine mit Open-Collector-Ausgang können wahlweise mit einem Pull-Up- oder Pull-Down-Widerstand betrieben werden.		X

$\Sigma$	
----------	--

## Aufgabe 2 (20 Punkte) – Speicherhierarchien und Cache

- a) (4 P) Erläutern Sie die Grundidee und den Aufbau einer typischen Speicherhierarchie anhand einer Skizze!

Ein Mikrorechner verfügt über einen Hauptspeicher von **2 GByte** Größe.

**1. Fall:** Der Rechner soll mit einem Cache mit **1024 Blöcken** zu je **128 Byte** und **4-facher-Assoziativität** ausgestattet werden.

- b) (1 P) Wie viele Sätze umfasst der Cache?
- c) (1 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?
- d) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?

**2. Fall:** Der Rechner soll mit einem Cache mit **2048 Blöcken** zu je **64 Byte** und **8-facher-Assoziativität** ausgestattet werden.

e) (1 P) Wie viele Sätze umfasst der Cache?

f) (1 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?

g) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?

h) (4 P) Vergleichen Sie die beiden o.a. Fälle der Cache-Konfiguration! Welche Vor- und Nachteile haben die beiden Konfigurationen hinsichtlich der Ziele, die beim Einsatz eines Cache verfolgt werden?

i) (4 P) Welche Speichertechnologie liegt Cache-Speicher zugrunde? Begründen Sie diese Wahl! Warum wird nicht der gesamte Arbeitsspeicher mit dieser Speichertechnologie aufgebaut?

### Aufgabe 3 (14 Punkte) – Adressierdekodierung

$\Sigma$	
----------	--

Ein **8-Bit**-Mikrorechner verfügt über einen Adressraum von **128kByte**. Der Rechner verfügt über 2 Speicher-Bausteine **RAM1/2** von jeweils **8kByte** Größe. Der erste RAM-Baustein liegt an der Adresse **0x00000**. Der Rechner soll zusätzlich mit 2 I/O-Bausteinen **I/O1/2** mit jeweils 32 Registern ausgerüstet werden.

- a) (1 P) Wie viele Adressleitungen umfasst der Adressbus des Mikrorechners?
- b) (1 P) Wie viele Adresseingänge besitzen die **RAM**-Bausteine?
- c) (3 P) Wie lautet die CS-Logik für den **RAM2**-Baustein, wenn dieser im Adressbereich direkt im Anschluss an den **RAM1**-Baustein platziert wird?
- d) (1 P) Wieviel Adresseingänge besitzen die **I/O**-Bausteine?
- e) (4 P) Bestimmen die CS-Logik für den **I/O1**-Baustein so, dass dieser im Adressbereich 0x06020-0x0603F platziert wird!
- f) (1 P) Der **I/O2**-Baustein soll an die Anfangsadresse 0x06050 gelegt werden. Welchen Adressbereich belegt der I/O-Baustein dann?
- g) (3 P) Wie lautet die CS-Logik für den **I/O2**-Baustein für den unter Aufgabenteil f) gegebenen Adressbereich?

#### Aufgabe 4 (16 Punkte) – Serielle Kommunikation

$\Sigma$	
----------	--

Gegeben sei ein mit **12 MHz** getakteter Mikrocontroller. Dieser soll über eine serielle Verbindung mit einem anderen Mikrocontroller kommunizieren. Da die verfügbaren seriellen Schnittstellen bereits belegt sind, soll die Kommunikation über einen einfachen digitalen I/O-Port mit einer Ablaufsteuerung in Software erfolgen. Die Datenrate der Verbindung soll **6 kBit/s** betragen.

Das Bit-Timing soll mithilfe eines **8-Bit-Timers** erzeugt werden. Der Timer verfügt über ein **Zählerstandsregister TCNT** und ein ladbares **Vergleichsregister TCR**. Bei Erreichen des Werts in **TCR** wird das **Überlauf-Bit OVF** im **Statusregister TSR** gesetzt und **TCNT** auf 0 zurückgesetzt. Der Timer verfügt über die **Vorteiler** 1 – 2 – 4 – 8 – 16 – 32 – 64 – 128 – 256.

- a) (1 P) Berechnen Sie die Periodendauer des seriellen Datensignals!
- b) (1 P) Berechnen Sie die Periodendauer des Prozessors!
- c) (1 P) Berechnen Sie die Periodendauer des 8-Bit-Timers ohne Vorteiler!
- d) (4 P) Wählen Sie einen Vorteiler für den Timer, so dass dieser für die Realisierung des Bus-Timings genutzt werden kann, dabei aber eine möglichst hohe Auflösung behält! Welchen Wert muss das Vergleichsregister TCR erhalten?
- e) (3 P) Skizzieren Sie in nachfolgendem Diagramm den Verlauf des Zählerstandes über der Zeit für 2 Perioden und markieren die wesentlichen Punkte mit Werten!



- f) (6 P) Skizzieren Sie wie eine Funktion **Write2Serial(uint8\_t OutByte)** zur Ausgabe eines Bytes auf den I/O-Pin unter Nutzung des Timers mit den o.g. Einstellungen aussehen muss! Die Funktion soll auch die korrekte Initialisierung des Timers vornehmen.  
(Darstellung als Pseudocode oder Ablaufdiagramm.)  
Hinweis 1: Für die Lösung benötigen Sie unter anderem das OVF-Bit im TSR!  
Hinweis 2: Die korrekte Lösung in Pseudocode umfasst nur ca. 8-12 Zeilen!