


Ostfalia Hochschule für angewandte Wissenschaften Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011	Vorname.....
		SS 2017 23.06.2017	Matr.Nr.:.....
			Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**
Zeit: 60 Minuten

Punkte:

1 (10)	2 (18)	3 (18)	4 (14)	Punktsumme (max. 60)	Prozente	Note

Tabelle HEX-Ziffern – Binärcode

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

Aufgabe 1 (10 Punkte) – Kurzfragen

Σ	
---	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Je weniger Stufen eine Pipeline hat desto geringer ist die erzielbare Beschleunigung.		
In statischen Speicherchips bleibt die Information auch nach dem Abschalten, d.h. ohne Energiezufuhr, erhalten.		
Beim I2C-Bus werden die Teilnehmer über eine Adresse angesprochen.		
Bei einem asynchronen Systembus wird die Gültigkeit von Signalen durch Handshake-Signale angezeigt.		
Beim SPI-Bus werden immer gleichzeitig Daten in beiden Richtungen zwischen Master und Slave übertragen.		
Die Verwaltung virtuellen Speichers erfolgt stets in Hardware.		
Das Tag eines Cacheeintrags zeigt an, dass der Eintrag gültig ist.		
Die Bezeichnung „8-Bit-Mikrocontroller“ leitet sich von der Bitbreite der Datenregister ab.		
Statische Speicherchips besitzen bei gleicher Chipfläche eine höhere Speicherkapazität, weil sie mehr Bauteile besitzen.		
Ausgänge von Logikbausteinen mit Open-Collector-Ausgang benötigen einen Pull-Up-Widerstand.		

Σ	
----------	--

Aufgabe 2 (18 Punkte) – Speicherhierarchien und Cache

- a) (4 P) Skizzieren Sie die typische Speicherhierarchie eines PC-artigen Rechners!
Wie verhalten sich Geschwindigkeit und Größe des Speichers auf den verschiedenen Ebenen?
- b) (2 P) Welche 2 Grundgedanken liegen einer Speicherhierarchie zugrunde?
- c) (4 P) Durch welche Maßnahme werden die beiden unter b) zu nennenden Grundgedanken in Speicherhierarchien umgesetzt? Erläutern Sie die Funktionsweise einer Speicherhierarchie!

Ein Mikrorechner verfügt über einen Hauptspeicher von **512 MByte** Größe. Er besitzt einen **4-fach-assoziativen** Cache mit **1024 Blöcken** zu je **64 Byte**.

- d) (1 P) Wie viele Bits werden zur Adressierung des Hauptspeichers benötigt?

- e) (1 P) Wie viele Sätze umfasst der Cache?

- f) (2 P) Wie viele Bits werden zur Bestimmung des Cache-Satzes benötigt?

- g) (2 P) Aus wie vielen Bits besteht das Tag der Cache-Einträge?

- h) (2 P) Nennen Sie eine Möglichkeit, um die Anzahl der Cache-Hits zu steigern!

Σ	
----------	--

Aufgabe 3 (18 Punkte) – Rechtecksignalgenerator

- a) (6 P) Erläutern Sie die Funktionsweise/Betriebsarten eines **Timer/Counter**-Bausteins anhand einer **Strukturskizze** sowie eines **beispielhaften Zeitverlaufs**!

Ein mit **8 MHz** getakteter Mikrocontroller verfügt über einen 8-Bit-Timer sowie einen 16-Bit-Timer. Die Timer verfügen über je ein Zählerstandsregister sowie ein Vergleichsregister **OCR** und können über die **Vorteiler 1-2-4-8-16-32-64-128-256-512-1024** angesteuert werden. Es soll ein Rechtecksignal mit einer Frequenz von **f=25Hz** und einem Tastverhältnis von **3:1 (ON:OFF)** erzeugt werden.

- b) (1 P) Berechnen Sie die Periodendauer des Rechtecksignals!

- c) (2 P) Berechnen Sie die Dauer der beiden Signalphasen!

- d) (2 P) Skizzieren Sie den Signalverlauf des Rechtecksignals in untenstehendem Diagramm!



- e) (1 P) Berechnen Sie die Periodendauer (Überlauf) des 16-Bit-Timers mit Vorteiler 1!
- f) (2 P) Wählen Sie einen passenden Vorteiler für die aktive Phase („ON=1“), welcher die höchstmögliche Auflösung gewährleisten! Mit welchem Wert muss das Vergleichsregister OCR geladen werden?
- g) (2 P) Wählen Sie einen passenden Vorteiler für die inaktive Phase („OFF=0“), welcher die höchstmögliche Auflösung gewährleisten! Mit welchem Wert muss das Vergleichsregister OCR geladen werden?
- h) (2 P) Ergänzen Sie das Diagramm aus d) um den Verlauf des Zählerstands in den beiden Phasen!

Σ	
----------	--

- a) (1 P) Wie viele Adresseingänge besitzt der **RAM**-Baustein?
- b) (1 P) Welchen Adressbereich belegt der **RAM**-Baustein?
- c) (2 P) Wie lautet die CS-Logik für den **RAM**-Baustein?
- d) (1 P) Wieviel Adresseingänge besitzt der **ROM**-Baustein?
- e) (4 P) Bestimmen die CS-Logik für den **ROM**-Baustein so, dass dieser im Adressbereich 0x28000-0x2FFFF platziert wird!
- f) (1 P) Der I/O-Baustein soll an die Anfangsadresse 0x20007 gelegt werden. Welchen Adressbereich belegt der I/O-Baustein dann?
- g) (4 P) Wie lautet die CS-Logik für den I/O-Baustein für den unter Aufgabenteil f) gegebenen Adressbereich?