


Ostfalia Hochschule für angewandte Wissenschaften Fakultät Fahrzeugtechnik Prof. Dr.-Ing. V. von Holt Institut für Fahrzeugsystem- und Servicetechnologien		Modulprüfung	Name:.....
		Mikroprozessortechnik BPO 2011 / BPO 2019	Vorname.....
		SS 2021 30.06.2021	Matr.Nr.:.....
			Unterschrift.....

Zugelassene Hilfsmittel: **Einfacher Taschenrechner**
Zeit: 60 Minuten

Punkte:

1 (10)	2 (18)	3 (16)	4 (16)	Punktsumme (max. 60)	Prozente	Note

Tabelle HEX-Ziffern – Binärcode

F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
1111	1110	1101	1100	1011	1010	1001	1000	0111	0110	0101	0100	0011	0010	0001	0000

Aufgabe 1 (10 Punkte) – Kurzfragen

Σ	
----------	--

Kreuzen Sie an, ob die folgenden Aussagen richtig oder falsch sind. **Falsche** Antworten führen zu einem **Punktabzug**. (Die Aufgabe ergibt aber keine negative Gesamtpunktzahl.)

Aussage	richtig	falsch
Bei der Harvard-Architektur liegen Daten und Befehle im selben Speicher.		
Bei RISC-Prozessoren haben alle Maschinenbefehle die gleiche Länge.		
Der SPI-Bus überträgt sowohl Daten wie Adressen über die MISO-MOSI-Leitungen.		
Bei Prozessoren mit virtuellem Speicher hat jeder Prozess seinen eigenen Adressraum.		
Statisches RAM ist teurer als dynamisches RAM, weil es mehr Chipfläche für die gleiche Speicherkapazität benötigt.		
Bei dynamischen Speicherchips wird die Adresse gemultiplext, damit dem Chip mehr Zeit für die Datenbereitstellung bleibt.		
Bei der seriellen Datenübertragung können immer nur einzelne Bits fehlerhaft übertragen werden, da es nur eine Leitung gibt.		
Die Auslösung eines Interrupts erfolgt durch eine Hardwareschaltung in der CPU.		
Ein synchroner Systembus passt sich automatisch dem Takt der Busteilnehmer an.		
Logikbausteine mit Open-Collector-Ausgang können wahlweise mit einem Pull-Up- oder Pull-Down-Widerstand betrieben werden.		

Cache: Ein Mikrorechner verfügt über einen Hauptspeicher von **16 MByte** Größe. Er verfügt über einen Cache mit einer Gesamtgröße von **32kByte**. Die Cacheblöcke sind jeweils **32Byte** groß.

- e) (1 P) Wie viele Bits werden zur Adressierung des Hauptspeichers benötigt?

- f) (4 P) Wie viele Sätze ergeben sich, wenn der Cache 4-fach-assoziativ organisiert wird?
Wie viele Bits werden zur Auswahl des Satzes benötigt?

- g) (2 P) Unter der Annahme, dass der Cache 8-fach-assoziativ organisiert wäre, aus wie vielen Bits besteht dann das Tag?

- h) (2 P) Welche Konsequenz für die Leistung des Cache hat die unterschiedliche Assoziativität in den Teilaufgaben e) und f) ?

Aufgabe 3 (16 Punkte) – Adressierdekodierung/Bussysteme

Σ	
----------	--

Ein Mikrorechner verfügt über einen Adressraum von **128kByte**, der mit folgenden Bausteinen belegt ist:

- ROM-Baustein **ROM** mit **8kByte** Größe bei Adresse **0x0000**
- RAM-Baustein **RAM** mit **32kByte** Größe bei Adresse **0x4000**
- I/O-Baustein **I/O** mit **8** Registern

a) (1 P) Wie viele Adressleitungen umfasst der Adressbus des Mikrorechners?

b) (1 P) Wie viele Adresseingänge besitzt der **ROM**-Baustein?

c) (4 P) Bestimmen Sie die CS-Logik für den **RAM**-Baustein!

d) (4 P) Platzieren Sie den **I/O**-Baustein an das obere Ende des Speicherbereichs!
Welchen Adressbereich belegt der **I/O**-Baustein dann?
Wie lautet dann die CS-Logik für den **I/O**-Baustein?

- e) (3 P) Skizzieren Sie eine Anordnung zur I²C-Kommunikation bestehend aus einem Master und 2 Slaves!

- f) (3 P) In der u.a. Skizze ist der prinzipielle Verlauf einer I²C-Kommunikation dargestellt.

Unter der Annahme, dass der Master etwas vom Slave lesen möchte:

- Ergänzen Sie die beiden offenen Felder um die darin übertragenen Informationen!
- Markieren Sie durch Schraffieren jene Felder, die vom Slave gesendet werden!
- Wie macht der Master den Start (S) bzw. das Ende (P) der Kommunikation deutlich?

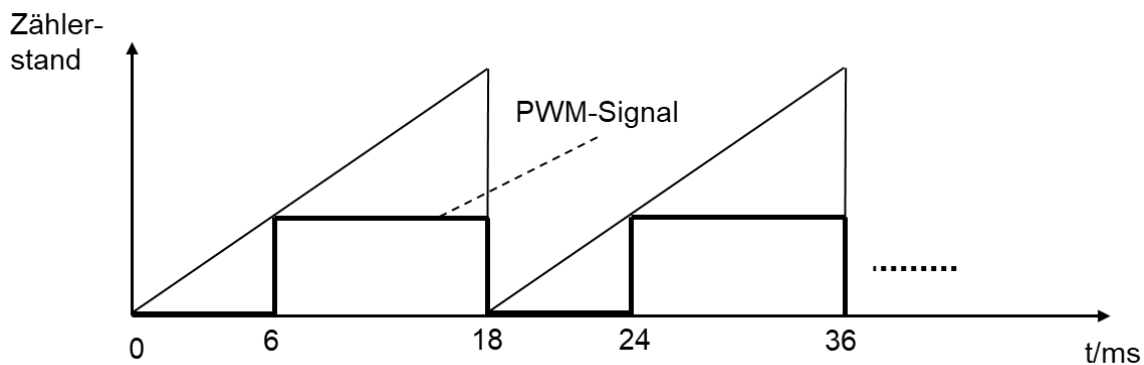
S			ACK	DATA	ACK	P
---	--	--	-----	------	-----	---

Aufgabe 4 (16 Punkte) – Timer

Σ	
----------	--

Gegeben sei ein mit **12,5 MHz** getakteter Mikrocontroller. Zur Ansteuerung eines Motors soll dieser softwaregesteuert ein PWM-Signal erzeugen und auf dem digitalen I/O-Pin **PD** ausgegeben. Das PWM_Signal soll den in der u.a. Skizze dargestellten Verlauf besitzen.

Zur Verfügung steht ein **16-Bit-Timer** mit einem **Vergleichsregister OCR**. Bei Erreichen des Werts in **OCR** wird das Überlauf-Bit **OVF** gesetzt und das Zählerstandsregister **TCNT** auf 0 zurückgesetzt. Die möglichen **Vorteiler** des Timers sind **1 – 2 – 4 – 8 – 16 – 32 – 64 – 128 – 256 – 512 – 1024**.



- (1 P) Berechnen Sie die Periodendauer des Mikrocontrollers!
- (1 P) Berechnen Sie die Periodendauer (Überlauf) des 16-Bit-Timers mit Vorteiler 1!
- (1 P) Bestimmen Sie die Frequenz des PWM-Signals!
- (1 P) Bestimmen Sie die relative Einschaltdauer (Pegel = ,1') des PWM-Signals („Duty-Cycle“)!

- e) (4 P) Wählen Sie die jeweils passenden Vorteilerwerte für die aktive und die inaktive Phase, welche die höchstmögliche Auflösung gewährleisten!
- f) (4 P) Auf welchen Wert müssen Sie passend zu den unter e) bestimmten Vorteilerwerten das Vergleichsregister in den beiden Phasen setzen?
- g) (4 P) Stellen Sie den Ablaufplan/Pseudocode zur Realisierung des PWM-Signals dar. Achten Sie insbesondere auf die Steuerung des Timers! Die Portausgabe können Sie als „PD=0“ (Portbit auf ,0‘ setzen) bzw. „PD=1“ (Portbit auf ,1‘ setzen) darstellen.