

## 第 27 章 FLASH 存储控制器（FMC）

### 27.1 介绍

FLASH 存储控制器（FMC）是一个存储加速单元，其提供：

- 在设备和双行之间的一个接口，bank 0 由程序 flash 组成，bank 1 由 FlexNVM 组成。
- 缓存可以加速 FLASH，和 FlexNVM 数据传输。

#### 27.1.1 概述

FLASH 存储控制器管理设备和双行之间的一个接口，64 位不易失性存储器。FMC 接收状态信息详细记录了存储器的配置，使用该信息可确保一个正确的接口。下表显示了支持 8 位，16 位和 32 位读/写操作。

Flash 存储器类型	读	写
编程 Flash 存储器	X	—1
用作数据闪存的FlexNVM	X	—1
用作EEPROM的FlexNVM和 FlexRAM	X	X

另外，对 bank 0 和 bank 1 来说，FMC 位加速设备和 Flash 存储器之间的接口提供了 3 个分开的机制。一个 64 位预缓冲可以预先得到下一个 64 位 flash 存储器的位置，两个 4 路，8 位设置的缓存和一个单入口的 64 位缓冲可以存储预先访问的 flash 存储器或者快速访问时间的 FlexMemory 数据。

#### 27.1.2 特征

FMC 特征包括：

- 设备和双行 flash 存储器和 FlexMemory 之间的一个接口：
  - 8 位，16 位，32 位对程序 flash 存储器和作为数据闪存的 FlexNVM 读操作。
  - 8 位，16 位，32 位对 FlexNVM 和作为 EEPROM 的 FlexRAM 读操作和写操作。
  - 对于 0 行和 1 行:读连续的 32 位空间返回第二次读数据且没有等待状态。存储器通过 32 位总线访问返回 64 位。
  - 为设置没有访问，只读访问，只写访问提供保护的交叉主访问，或位每个交叉主访问的读写访问。
- 加速从程序 flash 存储器和 FlexMemory 到设备的数据传输：
  - 每个主机和行的指令/数据访问的带有控制的 64 位预缓冲
  - 带有每行替换算法和每行锁定控制的 32 个 64 位条目的 4 路，8 集，64 位行大小的缓存。
  - 可以使能每行的单条目的缓存
  - 每个缓存的无效控制。

27.2 操作模式

FMC 只在设备访问 flash 存储器或者 FlexMemory 时操作。  
就设备电源模式而言：  
FMC 只在运行和等待模式操作，包括 VLPR 和 VLPW 模式。  
对于任何模式，在 FMC 禁止时，FlexMemory 或者 flash 存储器不能被访问。

27.3 外部信号描述

FMC 没有外部信号

27.4 存储器映射和寄存器描述

编程模型包括 FMC 控制寄存器和编程可见的缓存（数据和标签/有效条目）。  
注意  
当 flash 控制器空闲时只能编程寄存器（比如：从 RAM 执行）。在 flash 访问的过程中改变配置设置可以导致非确定性的行为。  
注意  
在 FMC4KB 地址空间内访问为实现的寄存器可以导致没有定义行为。  
注意  
当任何 flash 缓存的部分被编程时系统软件的需要保持存储器的连续性。例如：所有重新编程的 flash 数据缓冲连续保持无效性。相应地，缓存编程可见写必须发生在一个编程或者擦除事件之后，在存储器图像访问之前。  
存储器图像可见写必须 32 位长，必须在特权模式下执行。  
缓存是一个 4 路，8 集的缓存。0-3 路，0-7 集。在下表详细描述了标签/有效性数据条目。

表 27-3 程序可见缓存寄存器

缓存存储	偏移	32 位读内容	命名	命名例子
Tag	100h	13' h0, tag[18:6], 5' h0, 有效	在 TAGVDWxSy, x 表示 way, y 表示 set	TAGVDW2S7 is the 13-bit tag and 1-bit valid for cache entry way 2, set 7.
Data	200h	数据字的大写或小写	在 DATAWxSyU 和 DATAWxSyL, x 表示 way, y 表示 set, U 和 L 分别表示高字和低字。	DATAW1S3U represents bits[63:32] of data entry way 1, set 3, and DATAW1S3L represents bits [31:0] of data entry way 1, set 3.

FMC 存储映射

Absolute address	Register name	Width (in bits)	Access	Reset value	Section/ page
4001_F000	Flash Access Protection Register (FMC_PFAPR)	32	R/W	00F8_003Fh	27.4.1/ 601

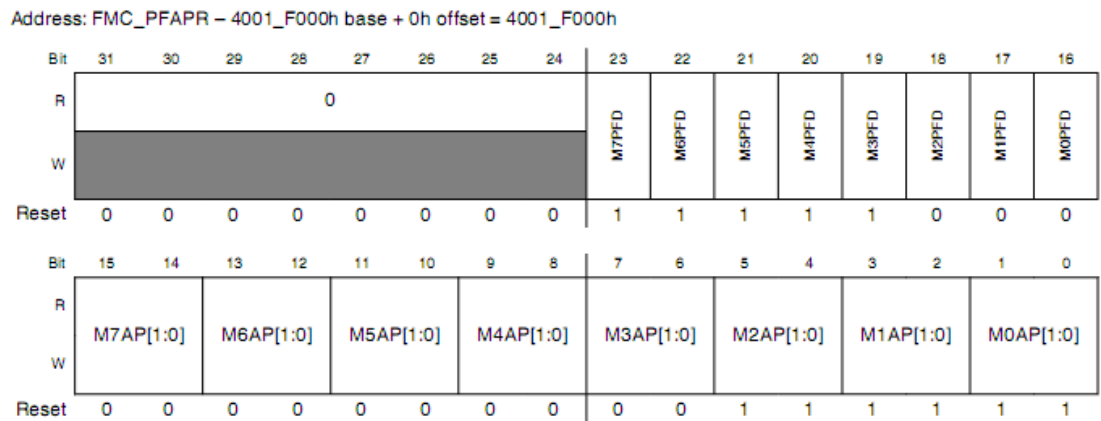
4001_F004	Flash Bank 0 Control Register (FMC_PFB0CR)	32	R/W	3002_001Fh	<a href="#">27.4.2/604</a>
4001_F008	Flash Bank 1 Control Register (FMC_PFB1CR)	32	R/W	3002_001Fh	<a href="#">27.4.3/607</a>
4001_F100	Cache Directory Storage (FMC_TAGVDW0S0)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F104	Cache Directory Storage (FMC_TAGVDW0S1)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F108	Cache Directory Storage (FMC_TAGVDW0S2)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F10C	Cache Directory Storage (FMC_TAGVDW0S3)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F110	Cache Directory Storage (FMC_TAGVDW0S4)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F114	Cache Directory Storage (FMC_TAGVDW0S5)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F118	Cache Directory Storage (FMC_TAGVDW0S6)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F11C	Cache Directory Storage (FMC_TAGVDW0S7)	32	R/W	0000_0000h	<a href="#">27.4.4/609</a>
4001_F120	Cache Directory Storage (FMC_TAGVDW1S0)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F124	Cache Directory Storage (FMC_TAGVDW1S1)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F128	Cache Directory Storage (FMC_TAGVDW1S2)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F12C	Cache Directory Storage (FMC_TAGVDW1S3)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F130	Cache Directory Storage (FMC_TAGVDW1S4)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F134	Cache Directory Storage (FMC_TAGVDW1S5)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F138	Cache Directory Storage (FMC_TAGVDW1S6)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F13C	Cache Directory Storage (FMC_TAGVDW1S7)	32	R/W	0000_0000h	<a href="#">27.4.5/610</a>
4001_F140	Cache Directory Storage (FMC_TAGVDW2S0)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F144	Cache Directory Storage (FMC_TAGVDW2S1)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F148	Cache Directory Storage (FMC_TAGVDW2S2)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F14C	Cache Directory Storage (FMC_TAGVDW2S3)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F150	Cache Directory Storage (FMC_TAGVDW2S4)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F154	Cache Directory Storage (FMC_TAGVDW2S5)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>
4001_F158	Cache Directory Storage (FMC_TAGVDW2S6)	32	R/W	0000_0000h	<a href="#">27.4.6/611</a>

4001_F15C	Cache Directory Storage (FMC_TAGVDW2S7)	32	R/W	0000_0000h	<a href="#">27.4.6/ 611</a>
4001_F160	Cache Directory Storage (FMC_TAGVDW3S0)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F164	Cache Directory Storage (FMC_TAGVDW3S1)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F168	Cache Directory Storage (FMC_TAGVDW3S2)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F16C	Cache Directory Storage (FMC_TAGVDW3S3)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F170	Cache Directory Storage (FMC_TAGVDW3S4)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F174	Cache Directory Storage (FMC_TAGVDW3S5)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F178	Cache Directory Storage (FMC_TAGVDW3S6)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F17C	Cache Directory Storage (FMC_TAGVDW3S7)	32	R/W	0000_0000h	<a href="#">27.4.7/ 612</a>
4001_F200	Cache Data Storage (upper word) (FMC_DATAW0S0U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F204	Cache Data Storage (lower word) (FMC_DATAW0S0L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F208	Cache Data Storage (upper word) (FMC_DATAW0S1U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F20C	Cache Data Storage (lower word) (FMC_DATAW0S1L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F210	Cache Data Storage (upper word) (FMC_DATAW0S2U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F214	Cache Data Storage (lower word) (FMC_DATAW0S2L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F218	Cache Data Storage (upper word) (FMC_DATAW0S3U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F21C	Cache Data Storage (lower word) (FMC_DATAW0S3L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F220	Cache Data Storage (upper word) (FMC_DATAW0S4U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F224	Cache Data Storage (lower word) (FMC_DATAW0S4L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F228	Cache Data Storage (upper word) (FMC_DATAW0S5U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 629</a>
4001_F22C	Cache Data Storage (lower word) (FMC_DATAW0S5L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F230	Cache Data Storage (upper word) (FMC_DATAW0S6U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F234	Cache Data Storage (lower word) (FMC_DATAW0S6L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 614</a>
4001_F238	Cache Data Storage (upper word) (FMC_DATAW0S7U)	32	R/W	0000_0000h	<a href="#">27.4.8/ 613</a>
4001_F23C	Cache Data Storage (lower word) (FMC_DATAW0S7L)	32	R/W	0000_0000h	<a href="#">27.4.9/ 630</a>

4001_F240	Cache Data Storage (upper word) (FMC_DATAW1S0U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F244	Cache Data Storage (lower word) (FMC_DATAW1S0L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F248	Cache Data Storage (upper word) (FMC_DATAW1S1U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F24C	Cache Data Storage (lower word) (FMC_DATAW1S1L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F250	Cache Data Storage (upper word) (FMC_DATAW1S2U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F254	Cache Data Storage (lower word) (FMC_DATAW1S2L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F258	Cache Data Storage (upper word) (FMC_DATAW1S3U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F25C	Cache Data Storage (lower word) (FMC_DATAW1S3L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F260	Cache Data Storage (upper word) (FMC_DATAW1S4U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F264	Cache Data Storage (lower word) (FMC_DATAW1S4L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F268	Cache Data Storage (upper word) (FMC_DATAW1S5U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F26C	Cache Data Storage (lower word) (FMC_DATAW1S5L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F270	Cache Data Storage (upper word) (FMC_DATAW1S6U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F274	Cache Data Storage (lower word) (FMC_DATAW1S6L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F278	Cache Data Storage (upper word) (FMC_DATAW1S7U)	32	R/W	0000_0000h	27.4.10/ 615
4001_F27C	Cache Data Storage (lower word) (FMC_DATAW1S7L)	32	R/W	0000_0000h	27.4.11/ 616
4001_F280	Cache Data Storage (upper word) (FMC_DATAW2S0U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F284	Cache Data Storage (lower word) (FMC_DATAW2S0L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F288	Cache Data Storage (upper word) (FMC_DATAW2S1U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F28C	Cache Data Storage (lower word) (FMC_DATAW2S1L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F290	Cache Data Storage (upper word) (FMC_DATAW2S2U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F294	Cache Data Storage (lower word) (FMC_DATAW2S2L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F298	Cache Data Storage (upper word) (FMC_DATAW2S3U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F29C	Cache Data Storage (lower word) (FMC_DATAW2S3L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F2A0	Cache Data Storage (upper word) (FMC_DATAW2S4U)	32	R/W	0000_0000h	27.4.12/ 617

4001_F2A4	Cache Data Storage (lower word) (FMC_DATAW2S4L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F2A8	Cache Data Storage (upper word) (FMC_DATAW2S5U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F2AC	Cache Data Storage (lower word) (FMC_DATAW2S5L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F2B0	Cache Data Storage (upper word) (FMC_DATAW2S6U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F2B4	Cache Data Storage (lower word) (FMC_DATAW2S6L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F2B8	Cache Data Storage (upper word) (FMC_DATAW2S7U)	32	R/W	0000_0000h	27.4.12/ 617
4001_F2BC	Cache Data Storage (lower word) (FMC_DATAW2S7L)	32	R/W	0000_0000h	27.4.13/ 618
4001_F2C0	Cache Data Storage (upper word) (FMC_DATAW3S0U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2C4	Cache Data Storage (lower word) (FMC_DATAW3S0L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2C8	Cache Data Storage (upper word) (FMC_DATAW3S1U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2CC	Cache Data Storage (lower word) (FMC_DATAW3S1L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2D0	Cache Data Storage (upper word) (FMC_DATAW3S2U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2D4	Cache Data Storage (lower word) (FMC_DATAW3S2L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2D8	Cache Data Storage (upper word) (FMC_DATAW3S3U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2DC	Cache Data Storage (lower word) (FMC_DATAW3S3L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2E0	Cache Data Storage (upper word) (FMC_DATAW3S4U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2E4	Cache Data Storage (lower word) (FMC_DATAW3S4L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2E8	Cache Data Storage (upper word) (FMC_DATAW3S5U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2EC	Cache Data Storage (lower word) (FMC_DATAW3S5L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2F0	Cache Data Storage (upper word) (FMC_DATAW3S6U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2F4	Cache Data Storage (lower word) (FMC_DATAW3S6L)	32	R/W	0000_0000h	27.4.15/ 620
4001_F2F8	Cache Data Storage (upper word) (FMC_DATAW3S7U)	32	R/W	0000_0000h	27.4.14/ 619
4001_F2FC	Cache Data Storage (lower word) (FMC_DATAW3S7L)	32	R/W	0000_0000h	27.4.15/ 620

### 27. 4. 1 Flash 访问保护寄存器（FMC\_PFAPR）



FMC\_PFAPR 位描述

位	描述
31 - 24 保留	这个只读位域被保留，始终具有值零。
23 M7PFD	Master 7 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关。此字段进一步限定了 PFBnCR[BxDPE, BxIPE] 位 0 此 Master 预取启用 1 此 Master 预取禁用
22 M6PFD	Master 6 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关。此字段进一步限定了 PFBnCR[BxDPE, BxIPE] 位 0 此 Master 预取启用 1 此 Master 预取禁用
21 M5PFD	Master 5 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关。此字段进一步限定了 PFBnCR[BxDPE, BxIPE] 位 0 此 Master 预取启用 1 此 Master 预取禁用
20 M4PFD	Master 4 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关。此字段进一步限定了 PFBnCR[BxDPE, BxIPE] 位 0 此 Master 预取启用 1 此 Master 预取禁用
19 M3PFD	Master 3 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关。此字段进一步限定了 PFBnCR[BxDPE, BxIPE] 位 0 此 Master 预取启用 1 此 Master 预取禁用
18	Master 2 预取禁用

M2PFD	这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关. 此字段进一步限定了 PFBnCR[BxDPE, BxIPE]位
18 M2PFD	Master 2 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关. 此字段进一步限定了 PFBnCR[BxDPE, BxIPE]位 0 此 Master 预取启用 1 此 Master 预取禁用
17 M1PFD	Master 1 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关. 此字段进一步限定了 PFBnCR[BxDPE, BxIPE]位 0 此 Master 预取启用 1 此 Master 预取禁用
16 M0PFD	Master 0 预取禁用 这些位控制是否启用预取对数为基础的逻辑要求 Master 转换开关. 此字段进一步限定了 PFBnCR[BxDPE, BxIPE]位 0 此 Master 预取启用 1 此 Master 预取禁用
15 - 14 M7AP[1:0]	Master 7 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
13 - 12 M6AP[1:0]	Master 6 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
11 - 10 M5AP[1:0]	Master 5 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
9 - 8 M4AP[1:0]	Master 4 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
7 - 6	Master 3 访问保护



M3AP[1:0]	此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
5 - 4 M2AP[1:0]	Master 2 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
3 - 2 M1AP[1:0]	Master 1 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。
1 - 0 M0AP[1:0]	Master 0 访问保护 此位的控制是否读写访问Flash是基于允许在提出请求的交叉转换逻辑master 00 对此 master 无法访问。 01 对此 master 只可进行读访问。 10 对此 master 只写访问。 11 对此 master 可读可写。

## 27. 4. 2 闪存 bank 0 控制寄存器 (FMC\_PFB0CR)

Address: FMC\_PFB0CR – 4001\_F000h base + 4h offset = 4001\_F004h

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	BORWSC[3:0]				CLK_WAY[3:0]				0				0	BOMW[1:0]		0
W									CINV_WAY[3:0]				S_B_INV			
Reset	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0								CRC[2:0]			BODCE	BODCE	BODPE	BOIPE	BOSEBE
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

FMC\_PFB0CR 位描述

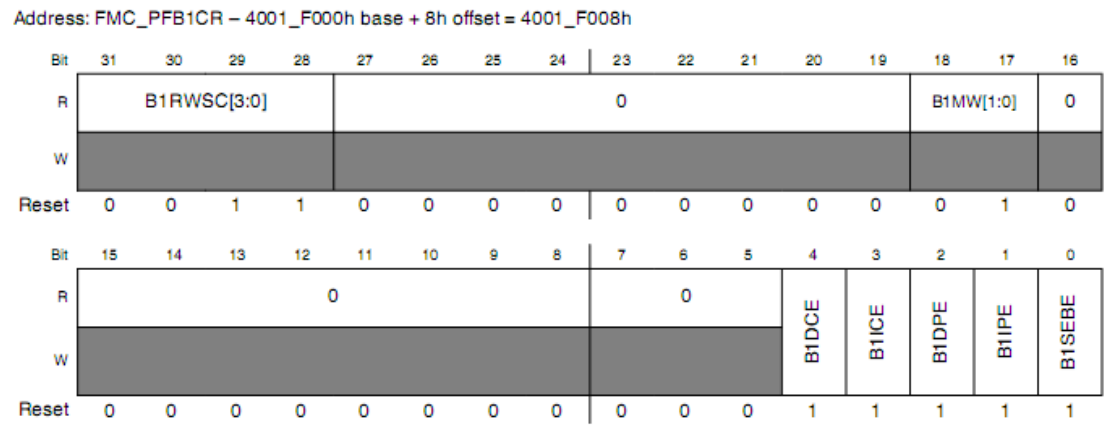
位	描述
31 - 28 BORWSC[3:0]	Bank 0 阅读等待状态控制 此只读字段定义所需的访问 Bank 0 快闪记忆体等待状态的数目。 闪存阵列的读取时间(在系统时钟周期表示)和 RWSC 之间的关系定义为:

	Flash 阵列访问时间[system clocks]=RWSC+1 基于系统时钟速度的值与闪存的时钟速度的比例 FMC 自动计算该值。 例如，当这个比例为 4:1，该字段的值是 3h
27 - 24 CLK_WAY[3:0]	缓存锁存方式 x 这些位决定给定的缓冲是否锁存，以至于其内容不会被将来的误操作所修改。 该位的设置定义字段中的每个位。 0 高速缓存方式解锁，可能被取代 1 高速缓存方式被锁定，其内容不会被以后的误操作替换
23 - 20 CINV_WAY[3:0]	缓存无效方式 x 这些位决定给定的缓存方式是否是无效（清除）。当一个位在此字段被写时，相应的缓存方式立即失效：此路的标签，数据和有效的内容被清除。该字段始终读为零。 缓存失效优先级高于缓存锁存。高速缓存随着系统复位无效。当任何闪存存储器被编程或擦除时，系统软件是需要保持存储器的相干性。因此，在一个编程事件或者擦除事件完成以后和在新存储器映像可以访问之前，缓存失效一定会发生。 该位为字段中的每个位设置定义。 0 没有相应的高速缓存的缓存的方式失效 1 相应缓存无效的缓存方式：清除方式选择的标签，数据和 vld 位
19 S_B_INV	无效预取缓冲器 此位决定了 FMC 的预取缓冲区和单一入口页缓冲区是否失效（清除）。当该位被写入时，speculation 缓冲区和单一入口页缓冲区立即清除。该位总是读为零 0 缓冲区和单一入口页缓冲区不会受到影响。 1 无效（清除）的 speculation 缓冲区和单一入口页缓冲区。
18 - 17 BOMW[1:0]	Bank 0 存储器宽度 这个只读字段定义了 Bank 0 存储器的宽度 00 32 位 01 64 位 1x 保留
16 保留	这个只读位保留，始终具有值为零。
15 - 8 保留	这个只读位被保留，始终具有值为零。
7 - 5 CRC[2:0]	高速缓存替代控制 这 3 位字段定义为访问缓存的替代算法  000 每套 LRU 替换算法在所有四种方式中 001 保留 010 [0-1]为 ifetches，[2-3] 为数据方式的独立 LRU 算法 011[0-2]为 ifetches，[3] 为数据方式的独立 LRU 算法 1xx 保留
4 BODCE	Bank 0 数据高速缓存启用 该位控制是否引用数据加载到缓存中。

	0 没有高速缓存数据的引用。 1 高速缓存数据的引用。
3 B0ICE	Bank 0 指令高速缓存启用 该位控制是否取指令加载到高速缓存中。 0 无高速缓存取指 1 高速缓存取指
2 B0DPE	Bank 0 数据预取启用 为了响应数据预取该位控制预取是否被启用。 0 对响应数据的引用不进行预取。 1 对响应数据的引用启用预取。
1 B0IPE	Bank 0 指令预取启用 该位控制为了回应指令的提取操作是否预取。 0 为了响应指令的提取操作不预取。 1 为了响应指令的提取操作预取。
0 B0SEBE	Bank 0 单入缓冲器启用 为了响应闪存读访问，该位控制单一入口页面缓冲区否是启用。它的运作与 Bank 1 的缓存无关。 从高到低的过渡使页面缓冲区无效 0 单入缓冲区禁用。 1 单入缓冲区启用。

27. 4. 3 闪存 Bank 1 控制寄存器（FMC\_PFB1CR）

该寄存器有一种格式类似 PFB0CR，除了它控制闪存 Bank 1 的操作，而”全局”高速缓存控制字段为空。



FMC\_PFB1CR 位描述

位	描述
31-28 B1RWSC[3:0]	BANK 1 读等待状态控制 该只读域定义了访问 1flash 存储器需要的等待状态号。 Flash 阵列读取访问时间与 RWSC 之间的关系定义为： Flash 阵列读取时间[system clocks]=RWSC+1 基于系统时钟速度的值与闪存的时钟速度的比例,FMC 自动计算该值。 例如，当这个比例为 4:1，该字段的值是 3h
27-19	只读，永远为 0

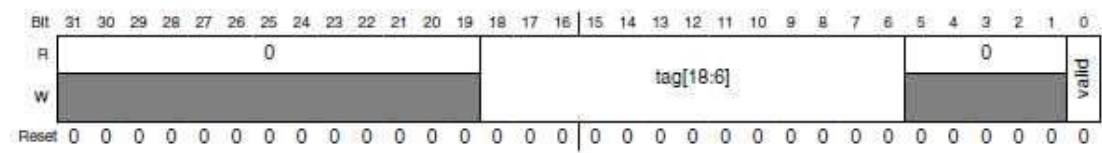
预留	
18-17 B1MW[1:0]	BANK 1 存储器宽度 该只读位定义了 BANK 1 存储器的宽度。 00 32 位 01 64 位 1x 预留
16 预留	只读，永远为 0
15-8 预留	只读，永远为 0
7-5 预留	只读，永远为 0
4 B1DCE	BANK 1 数据缓存使能 该位控制数据引用是否加载到缓存。 0 不缓存数据引用 1 缓存数据引用
3 B1ICE	BANK 1 指令缓存使能 该位控制是否制取指令加载到缓存 0 不缓存指令获取 1 缓存指令获取
2 B1DPE	BANK 1 数据预获取使能 该位控制是否预获取（预访问）作为对数据引用的回应。 0 不预获取作为对数据引用的回应 1 预获取作为对数据引用的回应
1 B1IPE	BANK 1 指令预获取使能 该位控制是否预获取（预访问）作为对指令获取的回应。 0 不预获取作为对指令获取的回应。 1 预获取作为对指令获取的回应。
0 B1SEBE	BANK 1 单次入缓冲区使能 该位控制单次入缓冲区是否使能作为对 flash 读取访问的回应。它对 BANK 0 的缓冲的操作是独立的。 该一个高到低传输强制页缓冲无效 0 单次入缓冲区禁止 1 单次入缓冲区使能

## 27.4.4 缓存目录存储（FMC\_TAGVDW0Sn）

32 条目缓存是一个 4 路，级联的 8 级缓存。0-3 路，0-7 集。在 TAGVDWxSn, x 表示 way, y 表示集。为所有的 8 集 (n=0-7) 在 way0 给部分表示 tag/vld 信息。

Addresses: FMC\_TAGVDW0S0 - 4001\_F000h base + 100h offset = 4001\_F100h  
FMC\_TAGVDW0S1 - 4001\_F000h base + 104h offset = 4001\_F104h  
FMC\_TAGVDW0S2 - 4001\_F000h base + 108h offset = 4001\_F108h  
FMC\_TAGVDW0S3 - 4001\_F000h base + 10Ch offset = 4001\_F10Ch  
FMC\_TAGVDW0S4 - 4001\_F000h base + 110h offset = 4001\_F110h  
FMC\_TAGVDW0S5 - 4001\_F000h base + 114h offset = 4001\_F114h

FMC\_TAGVDWOS6 - 4001\_F000h base + 118h offset = 4001\_F118h  
FMC\_TAGVDWOS7 - 4001\_F000h base + 11Ch offset = 4001\_F11Ch



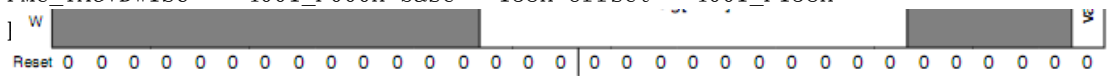
FMC\_TAGVDWOSn 位描述

位	描述
31-19 预留	只读，永远为 0
18-6 Tag[18:6]	缓存条目的 13 位标签
5-1 预留	只读，永远为 0
0 有效	缓存条目的 1 位有效

27. 4. 5 缓存标签存储（FMC\_TAGVDW1Sn）

32 个条目缓存是一个 4 路，级联的 8 级缓存。0-3 路，0-7 集。在 TAGVDWxSn, x 表示 way, y 表示集。为所有的 8 集（n=0-7）在 way1 给部分表示标签/信息。

Addresses: FMC\_TAGVDW1S0 - 4001\_F000h base + 120h offset = 4001\_F120h  
FMC\_TAGVDW1S1 - 4001\_F000h base + 124h offset = 4001\_F124h  
FMC\_TAGVDW1S2 - 4001\_F000h base + 128h offset = 4001\_F128h  
FMC\_TAGVDW1S3 - 4001\_F000h base + 12Ch offset = 4001\_F12Ch  
FMC\_TAGVDW1S4 - 4001\_F000h base + 130h offset = 4001\_F130h  
FMC\_TAGVDW1S5 - 4001\_F000h base + 134h offset = 4001\_F134h  
FMC\_TAGVDW1S6 - 4001\_F000h base + 138h offset = 4001\_F138h



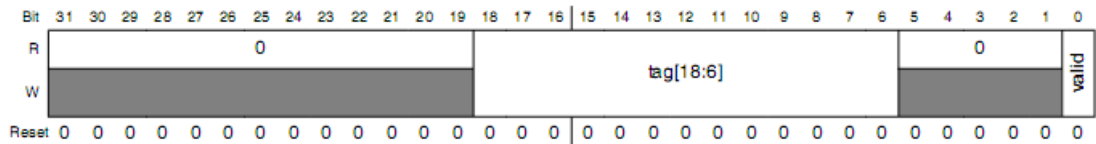
FMC\_TAGVDW1Sn 位描述

位	描述
31-19 预留	只读，永远为 0
18-6 Tag[18:6]	缓存条目的 13 位标签
5-1 预留	只读，永远为 0
0 有效	缓存条目的 1 位有效

27. 4. 6 缓存标签存储（FMC\_TAGVDW2Sn）

32 个条目缓存是一个 4 路，级联的 8 级缓存。0-3 路，0-7 集。在 TAGVDWxSn, x 表示 way, y 表示集。为所有的 8 集（n=0-7）在 way2 给部分表示标签/信息。

Addresses: FMC\_TAGVDW2S0 - 4001\_F000h base + 140h offset = 4001\_F140h  
FMC\_TAGVDW2S1 - 4001\_F000h base + 144h offset = 4001\_F144h  
FMC\_TAGVDW2S2 - 4001\_F000h base + 148h offset = 4001\_F148h  
FMC\_TAGVDW2S3 - 4001\_F000h base + 14Ch offset = 4001\_F14Ch  
FMC\_TAGVDW2S4 - 4001\_F000h base + 150h offset = 4001\_F150h  
FMC\_TAGVDW2S5 - 4001\_F000h base + 154h offset = 4001\_F154h  
FMC\_TAGVDW2S6 - 4001\_F000h base + 158h offset = 4001\_F158h  
FMC\_TAGVDW2S7 - 4001\_F000h base + 15Ch offset = 4001\_F15Ch  
FMC\_TAGVDW2Sn 位



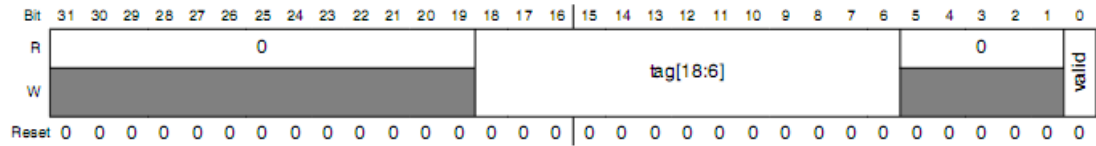
FMC\_TAGVDW2Sn 描述

位	描述
31-19 预留	只读，永远为 0
18-6 Tag[18:6]	缓存条目的 13 位标签
5-1 预留	只读，永远为 0
0 有效	缓存条目的 1 位有效

27. 4. 7 缓存目录存储（FMC\_TAGVDW3Sn）

32 个条目缓存是一个 4 路，级联的 8 级缓存。0-3 路，0-7 集。在 TAGVDWxSn, x 表示 way, y 表示集。为所有的 8 集（n=0-7）在 way3 给部分表示标签/信息。

Addresses: FMC\_TAGVDW3S0 - 4001\_F000h base + 160h offset = 4001\_F160h  
FMC\_TAGVDW3S1 - 4001\_F000h base + 164h offset = 4001\_F164h  
FMC\_TAGVDW3S2 - 4001\_F000h base + 168h offset = 4001\_F168h  
FMC\_TAGVDW3S3 - 4001\_F000h base + 16Ch offset = 4001\_F16Ch  
FMC\_TAGVDW3S4 - 4001\_F000h base + 170h offset = 4001\_F170h  
FMC\_TAGVDW3S5 - 4001\_F000h base + 174h offset = 4001\_F174h  
FMC\_TAGVDW3S6 - 4001\_F000h base + 178h offset = 4001\_F178h  
FMC\_TAGVDW3S7 - 4001\_F000h base + 17Ch offset = 4001\_F17C



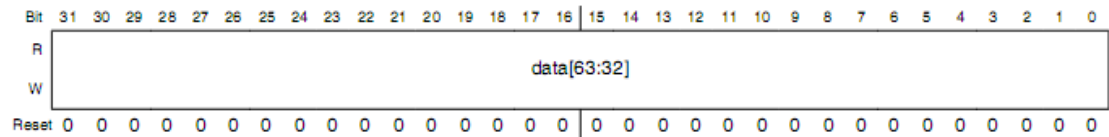
FMC\_TAGVDW3Sn 位描述

位	描述
31-19 预留	只读，永远为 0
18-6 Tag[18:6]	缓存条目的 13 位标签
5-1 预留	只读，永远为 0
0 有效	缓存条目的 1 位有效

### 27. 4. 8 缓存数据存储（高位字）（FMC\_DATAW0SnU）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为高位字（【63:32】位）的所有 8 组 0 路的数据。

Addresses: FMC\_DATAW0S0U - 4001\_F000h base + 200h offset = 4001\_F200h  
FMC\_DATAW0S1U - 4001\_F000h base + 208h offset = 4001\_F208h  
FMC\_DATAW0S2U - 4001\_F000h base + 210h offset = 4001\_F210h  
FMC\_DATAW0S3U - 4001\_F000h base + 218h offset = 4001\_F218h  
FMC\_DATAW0S4U - 4001\_F000h base + 220h offset = 4001\_F220h  
FMC\_DATAW0S5U - 4001\_F000h base + 228h offset = 4001\_F228h  
FMC\_DATAW0S6U - 4001\_F000h base + 230h offset = 4001\_F230h  
FMC\_DATAW0S7U - 4001\_F000h base + 238h offset = 4001\_F238h



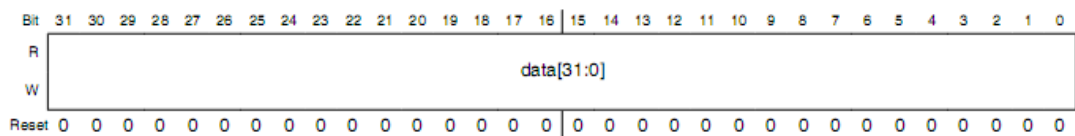
FMC\_DATAW0SnU 位描述

位	描述
31-0 data[63:32]	数据记录的位 [63:32]

### 27. 4. 9 缓存数据存储（低位字）（FMC\_DATAW0SnL）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为低位字（【31:0】位）的所有 8 组 0 路的数据。

Addresses: FMC\_DATAW0S0L - 4001\_F000h base + 204h offset = 4001\_F204h  
FMC\_DATAW0S1L - 4001\_F000h base + 20Ch offset = 4001\_F20Ch  
FMC\_DATAW0S2L - 4001\_F000h base + 214h offset = 4001\_F214h  
FMC\_DATAW0S3L - 4001\_F000h base + 21Ch offset = 4001\_F21Ch  
FMC\_DATAW0S4L - 4001\_F000h base + 224h offset = 4001\_F224h  
FMC\_DATAW0S5L - 4001\_F000h base + 22Ch offset = 4001\_F22Ch  
FMC\_DATAW0S6L - 4001\_F000h base + 234h offset = 4001\_F234h  
FMC\_DATAW0S7L - 4001\_F000h base + 23Ch offset = 4001\_F23Ch



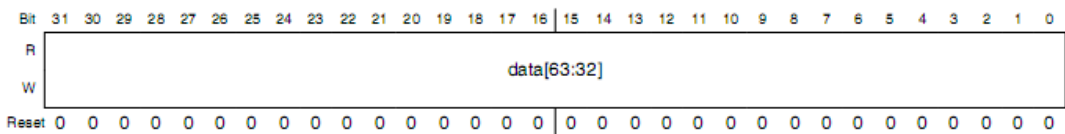
FMC\_DATAW0SnL 位描述

位	描述
31-0 data[31:0]	数据记录的位[31:0]

### 27. 4. 10 缓存数据存储（高位字）（FMC\_DATAW1SnU）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为高位字（【63:32】位）的所有 8 组（n=0-7）1 路的数据。

Addresses: FMC\_DATAW1S0U - 4001\_F000h base + 240h offset = 4001\_F240h  
FMC\_DATAW1S1U - 4001\_F000h base + 248h offset = 4001\_F248h  
FMC\_DATAW1S2U - 4001\_F000h base + 250h offset = 4001\_F250h  
FMC\_DATAW1S3U - 4001\_F000h base + 258h offset = 4001\_F258h  
FMC\_DATAW1S4U - 4001\_F000h base + 260h offset = 4001\_F260h  
FMC\_DATAW1S5U - 4001\_F000h base + 268h offset = 4001\_F268h  
FMC\_DATAW1S6U - 4001\_F000h base + 270h offset = 4001\_F270h  
FMC\_DATAW1S7U - 4001\_F000h base + 278h offset = 4001\_F278h



FMC\_DATAW1SnU 位描述

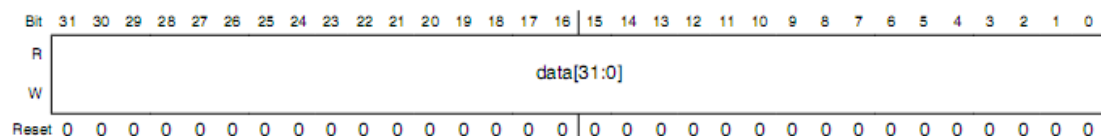
位	描述
31-0 data[63:32]	数据记录的位[63:32]

### 27. 4. 11 缓存数据存储（低位字）（FMC\_DATAW1SnL）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为低位字（【31:0】位）的所有 8 组（n=0-7）1 路的数据。

Addresses: FMC\_DATAW1S0L - 4001\_F000h base + 244h offset = 4001\_F244h  
FMC\_DATAW1S1L - 4001\_F000h base + 24Ch offset = 4001\_F24Ch  
FMC\_DATAW1S2L - 4001\_F000h base + 254h offset = 4001\_F254h  
FMC\_DATAW1S3L - 4001\_F000h base + 25Ch offset = 4001\_F25Ch  
FMC\_DATAW1S4L - 4001\_F000h base + 264h offset = 4001\_F264h  
FMC\_DATAW1S5L - 4001\_F000h base + 26Ch offset = 4001\_F26Ch  
FMC\_DATAW1S6L - 4001\_F000h base + 274h offset = 4001\_F274h  
FMC\_DATAW1S7L - 4001\_F000h base + 27Ch offset = 4001\_F27Ch





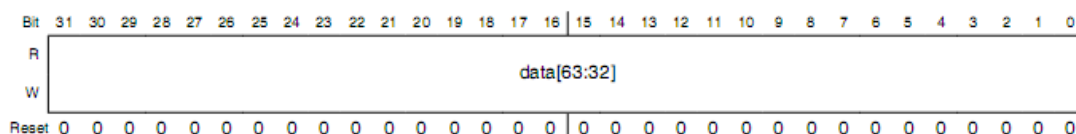
FMC\_DATAW1SnL 位描述

位	描述
31-0 data[31:0]	数据记录的位[31:0]

## 27. 4. 12 缓存数据存储（高位字）（FMC\_DATAW2SnU）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为高位字（【63:32】位）的所有 8 组（n=0-7）2 路的数据。

Addresses: FMC\_DATAW2S0U - 4001\_F000h base + 280h offset = 4001\_F280h  
FMC\_DATAW2S1U - 4001\_F000h base + 288h offset = 4001\_F288h  
FMC\_DATAW2S2U - 4001\_F000h base + 290h offset = 4001\_F290h  
FMC\_DATAW2S3U - 4001\_F000h base + 298h offset = 4001\_F298h  
FMC\_DATAW2S4U - 4001\_F000h base + 2A0h offset = 4001\_F2A0h  
FMC\_DATAW2S5U - 4001\_F000h base + 2A8h offset = 4001\_F2A8h  
FMC\_DATAW2S6U - 4001\_F000h base + 2B0h offset = 4001\_F2B0h  
FMC\_DATAW2S7U - 4001\_F000h base + 2B8h offset = 4001\_F2B8h



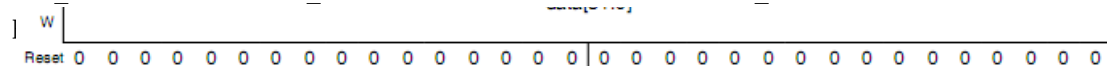
FMC\_DATAW2SnU 位描述

位	描述
31-0 data[63:32]	数据记录的位[63:32]

## 27. 4. 13 缓存数据存储（低位字）（FMC\_DATAW2SnL）

32 个 64-bit 项的高速缓存是 4 路的，8 组的组相连缓存。路编号为 0-3，组被编号为 0-7。在 DATAWxSyU 和 DATAWxSyL，x 表示路，y 表示组，U 和 L 分别代表高位字和低位字。这一部分代表为低位字（【31:0】位）的所有 8 组（n=0-7）2 路的数据。

Addresses: FMC\_DATAW2S0L - 4001\_F000h base + 284h offset = 4001\_F284h  
FMC\_DATAW2S1L - 4001\_F000h base + 28Ch offset = 4001\_F28Ch  
FMC\_DATAW2S2L - 4001\_F000h base + 294h offset = 4001\_F294h  
FMC\_DATAW2S3L - 4001\_F000h base + 29Ch offset = 4001\_F29Ch  
FMC\_DATAW2S4L - 4001\_F000h base + 2A4h offset = 4001\_F2A4h  
FMC\_DATAW2S5L - 4001\_F000h base + 2ACh offset = 4001\_F2ACh  
FMC\_DATAW2S6L - 4001\_F000h base + 2B4h offset = 4001\_F2B4h





FMC\_DATAW3SnL 位描述

位	描述
31-0 data[31:0]	数据记录的位[31:0]

### 27.5 功能描述

FMC 是有着灵活的缓冲区的供用户配置的闪存加速单元。除了管理设备与闪存、FlexMemory 的接口，FMC 可以被用于限制来自纵横开关控制(crossbar switch master)的访问和通过自定义高速缓存和缓冲来提供单周期系统时钟数据访问次数。每当预取推测缓冲，高速缓存或者单入口缓冲命中时，被请求的数据在一个系统时钟内被传送。

当系统复位时，FMC 被配置来提供显著等级的来自闪存记忆体或 FlexMemory 的传输缓冲。主控 0,1,2 有对 bank 0 和 bank 1 读取访问的权限。当 FlexNVM 被使用，FlexRAM 作为 EEPROM 时，这些主控有对部分 bank 1 进行写的权限。

这些主控有着对存储体(bank)0，存储体 1 读写的权限，对于所以 4 个路高速缓存被配置为最近最少使用算法（LRU），并且高速缓存被配置成用于数据或者指令更换。单入口缓冲对于 bank 0 和 bank 1 开启。

尽管默认的配置提供了一个高水平的闪存加速，高级用户可能希望为他们自己的使用情况通过自定义 FMC 缓存配置来最大程度的提高吞吐量。当为了用户使用情况重新配置 FMC 的时候，在闪存存储器或者 FlexMemory 正在被访问时，不要编程修改 FMC 控制寄存器。而应该，在特权模式下从 RAM 中通过程序的执行来修改控制寄存器。

FMC 的控制寄存器允许为了特定的使用案例微调缓冲。。三个中的每个缓冲通过 FMC 控制寄存器分别控制。这些控制器可以使能缓冲、预取每个存储器 bank 并且使能访问类型（数据或是指令）。高速缓存对于替换算法也有控制。FMC 提供 3 种类型的 LRU 替换算法：

- LRU 各个组访问 4 路，
- LRU [0-1]指令获取，路[2-3]数据获取，
- LRU 路[0-2]指令获取，路[3]数据获取。

作为一个应用实例，如果指令预取和数据引用都能访问 bank 0，发送指令预取，数据引用，或者两者给高速缓存或单入缓存是可以的。否则，