

AD9954- Direct Digital Synthesizer

400 MSPS 14-Bit, 1.8 V CMOS

功能:	2
应用.....	2
概述.....	2
AD9954 电气特性.....	3
最大操作范围	4
Table 2.	4
管脚定义	4
管脚功能描述	4
典型的性能特性	6
原理.....	7
器件块.....	7
控制寄存器位描述	10
Other Register Descriptions 其他寄存器描述	14
Programming AD9954 Features-- AD9954 编程特性	18
SERIAL PORT OPERATION 串口操作	19
INSTRUCTION BYTE 指令字节	20
SERIAL INTERFACE PORT PIN DESCRIPTION 串行接口管脚描述	20
MSB/LSB TRANSFERS	20
RAM I/O VIA SERIAL PORT	21
Power-Down Functions of the AD9954 AD9954 省电功能	21

功能:

400MSPS 内部时钟

集成 14 位 DAC

可编程相位/幅度抖动

32 位控制字

相位噪声小于等于 -120dbc/Hz@1kHz(DAC 输出)

出色的动态性能 >80db SFDR@160MHz (偏离 100KHz)

串行 I/O 口控制

超高速模拟比较器

应用

敏捷 LO 频率输出

可编程的时钟发生器

雷达和扫频系统中的 FM 啁啾源

自动线性和非线性扫频能力

4 种频率/相位偏移模式

1.8v 电压供电

软件或者硬件控制休眠

内部集成 1024 字节*32 位 RAM

大多数输入支持 5v 电平

PLL REFCLK 乘法器 (4 倍-20 倍)

单晶振驱动内部时钟

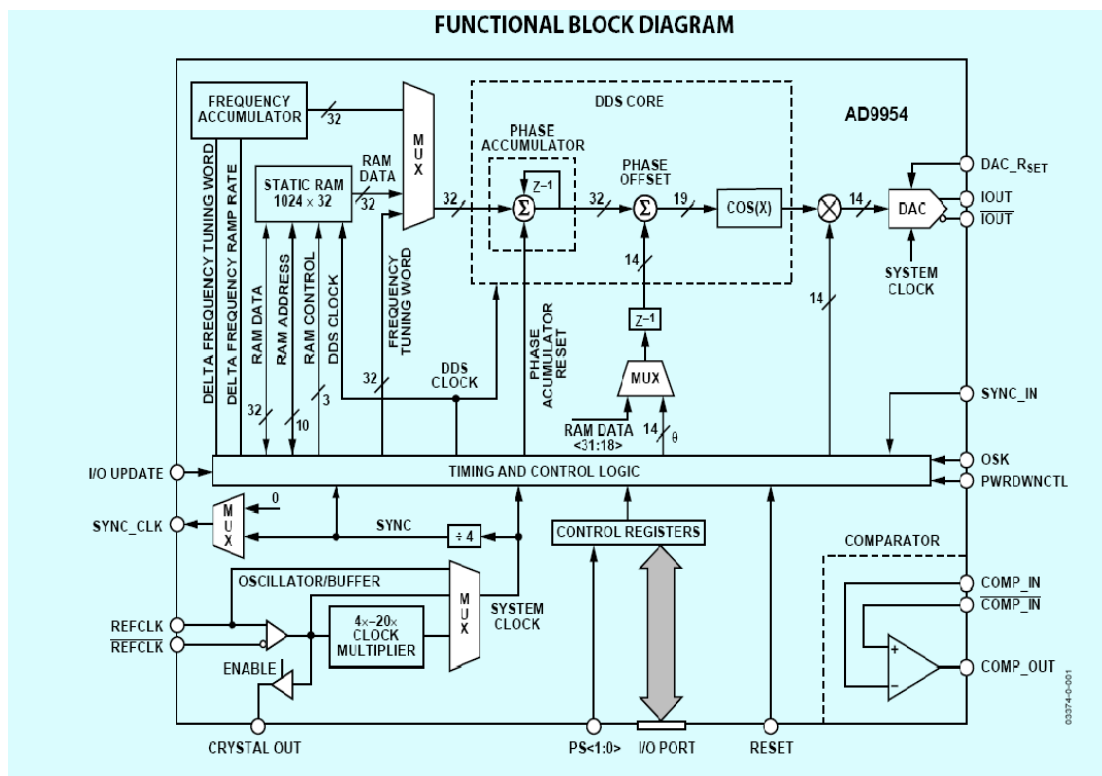
相位调制能力

多芯片同步

自动雷达

测试和测量设备

声光设备驱动

**概述**

AD9954 具有一个 14 位 DAC 最高达 400 MSPS 的 DDS。AD9954 使用了先进的 DDS 技术，内部集成高速，高性能的 DAC 形成数字可编程，完整的高频合成器，能产生高达 200MHz 模拟正弦波的能力。AD9954 的设计提供了快速跳频和优良的控制方案 (32 位频率控制字)。频率控制字的加载通

过串行 I/O 口。AD9954 包括 1024x32 静态 RAM，支持几种模式灵活的扫频的能力。AD9954 也支持用户定义一种线性扫频操作模式。该器件包括一个片上高速比较器，满足用户要求输出方波。

AD9954 工业级要求 -40 度 +105 度。

AD9954 电气特性

没有特殊的标注, AVDD,DVDD=1.8V+5%,DVDD_IO=3.3V+5%,Rset=3.92K 欧姆, 外部参考时钟=20MHz, REFCLK 乘法器倍数为 20 倍, DAC 输出必须接 AVDD 上拉。

参数	温度	测试电平	最小	典型	最大	单位
REF 时钟输入特点						
时钟范围						
REFCLK 乘法器无效	全部	VI	1		400	MHz
REFCLK 乘法器 4 倍	全部	VI	20		100	MHz
REFCLK 乘法器 20 倍	全部	VI	4		20	MHz
输入电容	25 度	V		3		PF
输入阻抗	25 度	V		1.5		K
时钟周期	25 度	V		50		%
REFCLK 乘法器有效状态下的时钟周期	25 度	V	35		65	%
REFCLK 输入功率	全部	IV	-15	0	+3	dBm
DAC 输出特性						
分辨力				14		
满量程输出电流	25 度	I	5	10	15	
增益错误	25 度	I	-10		+10	
输出偏差	25 度	V				
微分非线性	25 度	V				
积分非线性	25 度	V				
输出电容	25 度	V				
剩余相位噪声@1KHz 偏差, 40MHz						
REFCLK 乘数使能@20 倍	25 度	V				
REFCLK 乘数使能@4 倍	25 度	V				
REFCLK 乘数无效	25 度	V				
电压范围	25 度	I				
宽带 SFDR(无杂散动态范围)						
1MHz-10MHz 模拟输出	25 度	V				
10MHz-40MHz 模拟输出	25 度	V				
40MHz-80MHz 模拟输出	25 度	V				
80MHz-120MHz 模拟输出	25 度	V				
120MHz-160MHz 模拟输出	25 度	V				
窄带 SFDR						
40MHz 模拟输出(+/-1MHz)	25 度	V				
40MHz 模拟输出(+/-250KHz)	25 度	V				
40MHz 模拟输出(+/-50KHz)	25 度	V				
40MHz 模拟输出(+/-10KHz)	25 度	V				
80MHz 模拟输出(+/-1MHz)	25 度	V				
80MHz 模拟输出(+/-250KHz)	25 度	V				
80MHz 模拟输出(+/-50KHz)	25 度	V				
80MHz 模拟输出(+/-10KHz)	25 度	V				
120MHz 模拟输出(+/-1MHz)	25 度	V				
120MHz 模拟输出(+/-250KHz)	25 度	V				

120MHz 模拟输出(+/-50KHz)	25 度	V		
120MHz 模拟输出(+/-10KHz)	25 度	V		
160MHz 模拟输出(+/-1MHz)	25 度	V		
160MHz 模拟输出(+/-250KHz)	25 度	V		
160MHz 模拟输出(+/-50KHz)		V		
160MHz 模拟输出(+/-10KHz)				

最大操作范围

Table 2.

Parameter	Rating
最高结合温度	150°C
DVDD_I/O (Pin 43)	4 V
AVDD, DVDD	2 V
数字输入电压 (DVDD_I/O = 3.3 V)	-0.7 V to +5.25 V
数字输入电压(DVDD_I/O = 1.8 V)	-0.7 V to +2.2 V
数字输出电流	5 mA
存储温度	-65°C to +150°C
操作温度	-40°C to +105°C
焊接温度 (焊接时长10秒)	300°C
θ_{JA}	38°C/W
θ_{JC}	15°C/W

管脚定义

PIN CONFIGURATIONS

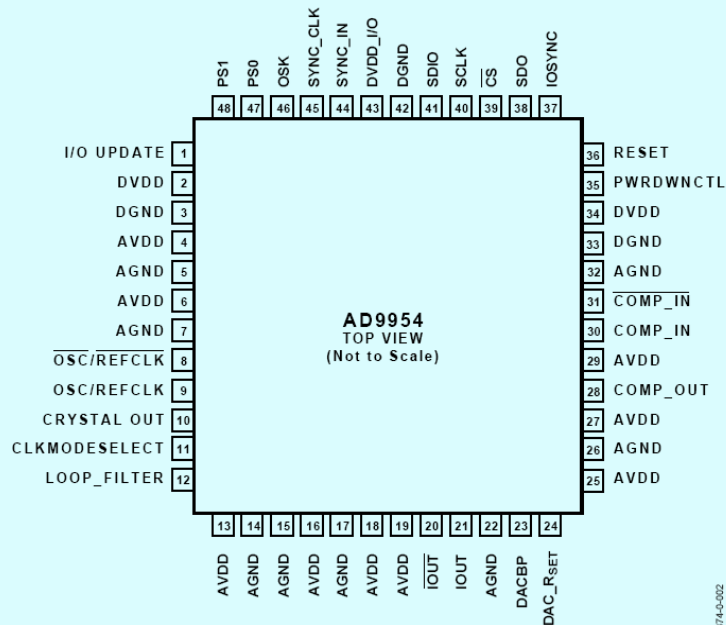


Figure 3. 48-Lead EP_TQFP

管脚功能描述

Pin No.	Mnemonic	I/O	Description
1	I/O UPDATE	I	在上升沿将内部buffer中的内容发送到I/O寄存器，在

			SYNC_CLK输出信号期间该脚必须设置
2, 34	DVDD	I	数字电压 (1.8 V).
3, 33,	DGND	I	数字地 ---42
4, 6,	AVDD	I	模拟电压 (1.8 V)----13, 16, 18, 19, 25, 27, 29
5, 7,	AGND	I	模拟地---14, 15, 17, 22, 26, 32
8	OSC/REFCLK	I	补偿参考时钟/晶振输入, 当REFCLK口操作在单端模式时, REFCLKB应当与AVDD间接一个0.1uf的去耦电容。
9	OSC/REFCLK	I	补偿参考时钟/晶振输入, 详细的参考时钟输入部分关于OSCILLATOR/REFCLK操作。
10	CRYSTAL OUT	O	振荡器输出部分
11	CLKMODESELECT	I	振荡器时钟控制脚, 当为高时, 振荡器部分使能, 当为低时。振荡器bypassed。
12	LOOP_FILTER	I	该脚
20	/IOUT	O	DAC补偿输出, 通过一个电阻与AVDD相连, 不是跟AGND相连。
21	IOUT	O	DAC 输出, 通过一个电阻与AVDD相连上拉, 不是跟AGND相连。
23	DACBP	I	DAC偏置线解耦脚。
24	DAC_RST	I	DAC复位端, 3.92k欧姆电阻从AGND到该脚, 建立为DAC参考电流
28	COMP_OUT	O	比较器输出
30	COMP_IN	I	比较器输入
31	/COMP_IN	I	比较器补偿输入
35	PWRDWNCTL	I	输入脚, 用于外部power-down控制
36	RESET	I	复位脚
37	IOSYNC	I	异步串行端口复位控制器。为高时, 当前I/O操作立即停止, 为0时开始新的IO操作。如果不使用, 该引脚必须接地。
38	SDO	O	采用3线串口操作时, 该脚作为串行数据输出端, 采用2线串口操作时, 该脚不使用, 可以悬空。
39	/CS	I	该脚功能为片选, 允许多个芯片共享I/O总线
40	SCLK	I	I/O操作串行数据时钟输入端
41	SDIO	I/O	当作为3线口操作时, 该脚为串行数据输入, 当为2线口时, 该脚为双向串行数据口
43	DVDD_I/O	I	数字电压 (3.3v)
44	SYNC_IN	I	多个AD9954同步输入信号, 该脚接主AD9954的SYNC_CLK的输出脚
45	SYNC_CLK	O	外部硬件同步时钟输出脚, 为内部时钟的1/4, 可用作外围硬件同步。
46	OSK	I	在编程操作时可用该脚来控制幅度与时间斜率, 与SYNC_CLK引脚同步。当OSK未编程, 这个引脚应接至DGND。
47, 48	PS0, PS1	I	输入引脚, 用于选择4个RAM段控制字区的一个。Profile<1:0>是SYNC_CLK引脚同步。内部缓冲存储器中的任何变化内容发送到I/O寄存器(发送内部I/O更新)。
<49>	AGND	I	AGND

典型的性能特性

TYPICAL PERFORMANCE CHARACTERISTICS

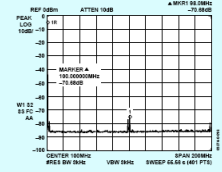
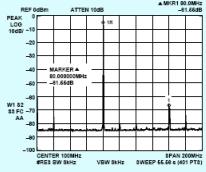
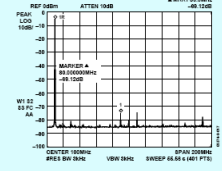
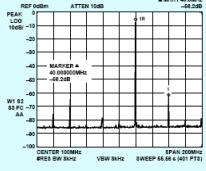
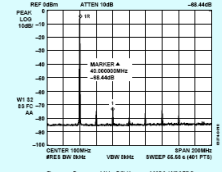
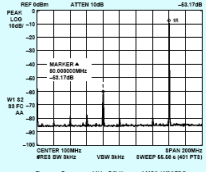
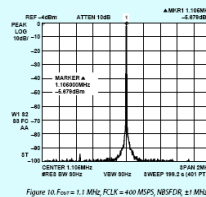
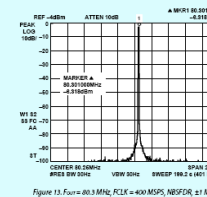
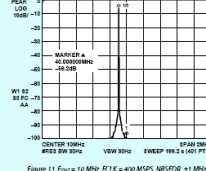
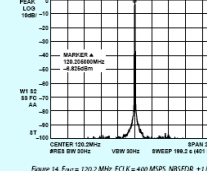
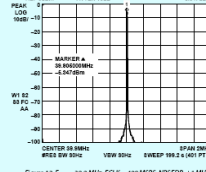
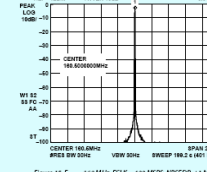
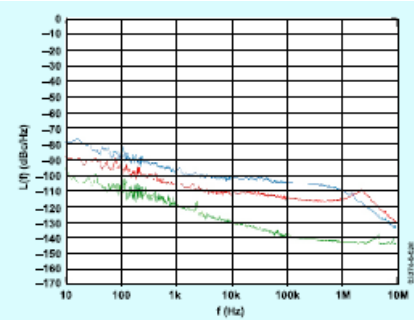
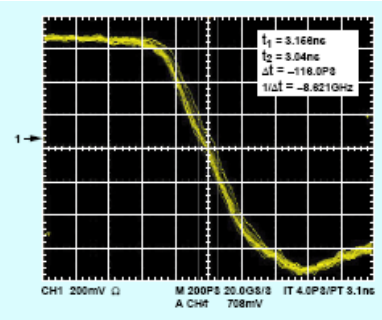
Figure 4. $F_{out} = 1 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 7. $F_{out} = 80 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 5. $F_{out} = 10 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 8. $F_{out} = 120 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 6. $F_{out} = 40 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 9. $F_{out} = 160 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$ Figure 10. $F_{out} = 1.1 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 13. $F_{out} = 80.3 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 11. $F_{out} = 10 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 14. $F_{out} = 120.2 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 12. $F_{out} = 39.9 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 15. $F_{out} = 160 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$, $WBSFDR$, $\pm 1 \text{ MHz}$ Figure 16. Residual Phase Noise with $F_{out} = 159.5 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$ (Green), $4 \times 100 \text{ MSPS}$ (Red), and $20 \times 20 \text{ MSPS}$ (Blue)

Figure 19. Residual Peak-to-Peak Jitter of DDS and Comparator Operating Together at 160 MHz

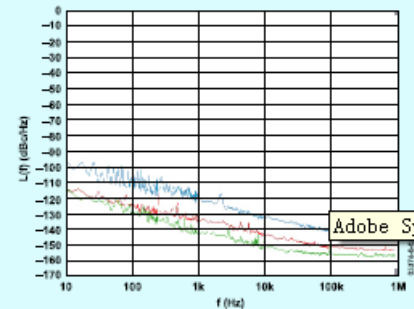
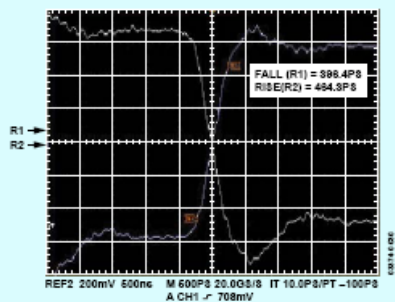
Figure 17. Residual Phase Noise with $F_{out} = 9.5 \text{ MHz}$, $F_{CLK} = 400 \text{ MSPS}$ (Green), $4 \times 100 \text{ MSPS}$ (Red), and $20 \times 20 \text{ MSPS}$ (Blue)

Figure 18. Comparator Rise and Fall Time at 160 MHz

基本原理

器件块

DDS 核

DDS 输出频率 (f_o) 是系统时钟、频率变换字 (FTW) 和累加器的容量 (2 的 32 次方) 的函数。他们之前的关系如下面公式所示, f_s 为系统时钟。

$$f_o = (FTW)(f_s) / 2^{32} \quad \text{with } 0 \leq FTW \leq 2^{31}$$

$$f_o = f_s \times (1 - (FTW / 2^{32})) \quad \text{with } 2^{31} < FTW < 2^{32} - 1$$

相位累加器的输出值通过 $\cos(x)$ 函数模块转换为幅度值, 输出到 DAC。

在某些应用中, 希望强制信号输出相位为 0, 设置 FTW 为 0 不能实现。只有在 DDS 核中, 保持住当前相位值, 然后, 控制位强制要求相位累加器输出为 0。

在上电时, 清除相位累加器位设置为逻辑 1, 但是这个位的缓冲存储器被清零 (逻辑 0)。因此, 在上电期间, 相位累加器将仍然处于清零状态, 直到第一个 I/O 更新产生。

锁相环 (PLL)

PLL 允许 REFCLK 频率相乘, PLL 控制通过对 5 位 REFCLK 乘法器编程来实现, REFCLK 位于第 2 个控制功能寄存器的位 <7:3>。

当对 0x04 到 0x14 (4-十进制到 20-十进制) 范围内进行编程时, PLL 通过与 REFCLK 输入频率对应的十进制值相乘, 然而, PLL 最大输出频率严格要求在 400MHz, 不论 PLL 值如何改变, 用户应该意识到必须分配时间, 让 PLL 锁定 (大概 1ms)。

当 PLL 设置值超出 4 到 20, PLL 将关闭, 节省电力消耗。

时钟输入 (Clock Input)

AD9954 支持多种时钟, 支持差分或者单端时钟输入, 可以使能片上时钟, 或者通过编程来控制 PLL 乘法器。AD9954 可以通过 6 种配置模式来产生系统时钟。通过使用 CLKMODESELECT 管脚配置不同模式, 内部寄存器为 CFR1<4>和 CFR2<7:3>。外部 CLKMODESELECT 管脚置高, 使能片上晶体振荡器电路。片上时钟电路使能后, 用户通过 AD9954 的 REFCLK 和 REFCLKB 脚连接一个外部晶振输入一个 20MHz 到 30MHz 的参考时钟。再送给其它的芯片使用之前, 先对振荡器产生的信号进行缓冲。缓冲信号通过 CRYSTAL OUT 脚输出。寄存器 CFR1<4>能够用来使能缓冲器, 开启或者关闭系统时钟。振荡器本身没有断电, 避免开启振荡器要花很长的启动时间, 对 CFR2<9>位置高, 使能晶体振荡器输出缓冲。置 CFR2<9>为 0 关闭振荡器输出缓冲。

置 CLKMODESELECT 管脚为 0, 关闭片上振荡器和振荡器输出缓冲。由于片上振荡器关闭, 外部的振荡器必须提供 REFCLK 或者 REFCLKB 信号。对于差分操作, 这些管脚通过互补信号驱动。对于单端操作, 未使用的管脚和模拟电源之间必须用 0.1uF 电容相连接。在这个电容的连接下, 时钟输入脚偏置电压为 1.35v, 另外, PLL 可以使用一个 4 到 20 的整数相乘作为参考频率。图 5 描述了时钟操作模式。PLL 乘法器通过 CFR2<7:3>位来控制, 独立于 CFR1<4>位。

Table 5. Clock Input Modes of Operation

CFR1<4>	CLKMODESELECT	CFR2<7:3>	Oscillator Enabled?	System Clock	Frequency Range (MHz)
Low	High	$3 < M < 21$	Yes	$F_{CLK} = F_{OSC} \times M$	$80 < F_{CLK} < 400$
Low	High	$M < 4 \text{ or } M > 20$	Yes	$F_{CLK} = F_{OSC}$	$20 < F_{CLK} < 30$
Low	Low	$3 < M < 21$	No	$F_{CLK} = F_{OSC} \times M$	$80 < F_{CLK} < 400$
Low	Low	$M < 4 \text{ or } M > 20$	No	$F_{CLK} = F_{OSC}$	$10 < F_{CLK} < 400$
High	X	X	No	$F_{CLK} = 0$	N/A

DAC 输出 (DAC Output)

AD9954 内部集成了一个 14 位的 DAC 输出, 不像其他大多 DAC, 这个输出参照的是 AVDD 而不是 AGND。

两个互补输出提供一个组合的满量程的输出电流 (I_{out})。差分输出可以减少 DAC 输出可能存在的共模噪声, 对提高 SNR 有好处。满量程的输出电流由连接在 DAC_Rset 和 DAC 地 (AGND_DAC) 之间的一个外部电阻 (Rset) 控制, 满量程电流与电阻成比例, 关系式如下

$$R_{SET} = 39.19 / I_{OUT}$$

组合 DAC 输出的最大满量程输出电流是 15mA, 但是将输出电流限制在 10 mA 可以得到最好的无杂散输出动态范围 (SFDR) 性能。DAC 输出满足范围是 AVDD+0.5V 到 AVDD-0.5V。输出电压超过此范围将导致额外的 DAC 形变, 也可能导致 DAC 输出电路损坏。应当注意合适的终端负载保证输出电压在允许的范围。

比较器 (Comparator)

很多应用要求得到一个方波信号, 而不是正弦波, 例如, 在大多时钟应用的高转换率有助于降低相位噪声和抖动。为了支持这些应用, AD9954 集成了一个片上比较器, 该比较器的带宽大于 200MHz, 共模输入范围 1.3v 到 1.8v。通过配置 CFR1<6>可以配置比较器关闭以节省电源消耗。

线性扫描模块 (Linear Sweep Block)

线性扫描操作模式是从一个基频 (F0) 到一个终端频率 (F1), 不是瞬间, 而是步进或者一个斜坡方式完成的。斜坡频率, 不管是线性还是非线性, 会产生许多介于 F0 和 F1 之间的频率。

线性扫描模块由上升或下降 delta 频率控制字、上升或下降 delta 频率斜坡、频率累加器组成。线性扫描使能位 CFR1<21>使能线性扫描模块, 另外, 在一次扫描周期, 线性扫描非停位控制线性扫描模块的方式, 直到终端频率。实际的对一个频率扫描编程方法覆盖了操作部分模式。

串行 IO 口 (Serial IO Port)

AD9954 串行口是一种灵活的、同步串行通信口, 较容易与其他工业标准的微控制器和微处理器相连接, 该串行口与大多数同步传输模式相兼容, 包括 Motorola 6905/11 SPI 接口和 Intel8051 SSR 接口协议。

通过接口读/写寄存器来配置 AD9954, 均支持先发送 MSB 或者先发送 LSB。另外, AD9954 串行接口可以配置为一个单一的 I/O 口 (SDIO), 允许 2 线接口或者 2 个单向输入/输出 (SDIO/SDO), 也允许一个 3 线接口, 2 个可选脚 IOSYNC 和 /CS, 在系统设计中, AD9954 能得到灵活的应用。

寄存器映射描述 (Register Maps and Descriptions)

寄存器结构图如图 7 和图 8 所示。响应的寄存器映射依赖于线性扫描使能位的状态, 因为某些寄存器的配置跟操作模式有关。一般地, 当线性扫描使能位为假时, 对每一个 RAM 配置片 (profile slices), 寄存器 0x07, 0x08, 0x09 和 0x0A, 作为 RAM 段控制字。当线性扫描使能为真时, 0x07 为负线性控制字, 0x08 为正线性控制字, 0x09 和 0x0A 在线性扫描模式中不使用。因为线性扫描操作优先于 RAM 操作。为节省能耗, 在线性扫描使能位 CFR1<21>为 1 时, ADI 推荐 RAM 使能位 CFR1<31>设置为 0。串行地址位采用 16 进制格式。<>用来表示定义的位范围。例如, <3>表示位 3, <7:3>表示从位 7 到位 3。

下图表示基于线性扫描使能位寄存器图。

Table 6. Register Mapping Based on Linear Sweep Enable Bit

Linear Sweep Enable Bit	Register Map
False (CFR1 <21> = 0)	RAM Segment Control Words Active
True (CFR1 <21> = 1)	Linear Sweep Control Words Active

当线性扫描使能位无效时。

Table 7. Register Map—When Linear Sweep Enable Bit Is False (CFR1 <21> = 0).

Note that the RAM enable Bit CFR1<31> only activates the RAM itself not the RAM segment control words.

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value OR Profile	
Control Function Register No. 1 (CFR1) (0x00)	<7:0>	Digital Power-Down	Comp Power-Down	DAC Power-Down	Clock Input Power-Down	External Power-Down Mode	Linear Sweep No Dwell	SYNC_CLK Out Disable	Not Used	0x00	
	<15:8>	Load SRR @ I/O UD	AutoClk Freq. Accum	AutoClk Phase Accum	Enable SINE Output	Clear Freq Accum.	Clear Phase Accum.	SDIO Input Only	LSB First	0x00	
	<23:16>	Automatic Sync Enable	Software Manual Sync	Linear Sweep Enable	Not Used	Not Used	Not Used	Not Used	Not Used	0x00	
	<31:24>	RAM Enable	RAM Dest. Is Phase Word	Internal Profile Control <20>			Load ARR @ I/O UD	OSK Enable	Auto OSK Keying	0x00	
Control Function Register No. 2 (CFR2) (0x01)	<7:0>	REFCLK Multiplier 0x00 or 0x01, or 0x02 or 0x03: Bypass Multiplier 0x04 to 0x14: 4x to 20x Multiplication					VCO Range	Charge Pump Current <10>		0x00	
	<15:8>	Not Used				High Speed Sync Enable	Hardware Manual Sync Enable	CRYSTAL OUT Pin Active	Not Used	0x00	
	<23:16>	Not Used									0x00
Amplitude Scale Factor (ASF) (0x02)	<7:0>	Amplitude Scale Factor Register <7:0>									0x00
	<15:8>	Auto Ramp Rate Speed Control <10>		Amplitude Scale Factor Register <13:8>							0x00
Amplitude Ramp Rate (ARR) (0x03)	<7:0>	Amplitude Ramp Rate Register <7:0>									0x00
Frequency Tuning Word (FTW0) (0x04)	<7:0>	Frequency Tuning Word No. 0 <7:0>									0x00
	<15:8>	Frequency Tuning Word No. 0 <15:8>									0x00
	<23:16>	Frequency Tuning Word No. 0 <23:16>									0x00
	<31:24>	Frequency Tuning Word No. 0 <31:24>									0x00
Phase Offset Word (POW0) (0x05)	<7:0>	Phase Offset Word No. 0 <7:0>									0x00
	<15:8>	Not Used <10>		Phase Offset Word No. 0 <13:8>							0x00
Frequency Tuning Word (FTW1) (0x06)	<7:0>	Frequency Tuning Word No. 1 <7:0>									0x00
	<15:8>	Frequency Tuning Word No. 1 <15:8>									0x00
	<23:16>	Frequency Tuning Word No. 1 <23:16>									0x00
	<31:24>	Frequency Tuning Word No. 1 <31:24>									0x00

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value OR Profile
RAM Segment Control Word No. 0 (RSCW0) (0x07)	<7:0>	RAM Segment 0 Mode Control <2:0>			No Dwell Active	RAM Segment 0 Beginning Address <9:6>				PS0 = 0 PS1 = 0
	<15:8>	RAM Segment 0 Beginning Address <5:0>				RAM Segment 0 Final Address <9:8>				PS0 = 0 PS1 = 0
	<23:16>	RAM Segment 0 Final Address <7:0>								PS0 = 0 PS1 = 0
	<31:24>	RAM Segment 0 Address Ramp Rate <15:8>								PS0 = 0 PS1 = 0
	<39:32>	RAM Segment 0 Address Ramp Rate <7:0>								PS0 = 0 PS1 = 0
RAM Segment Control Word No. 1 (RSCW1) (0x08)	<7:0>	RAM Segment 1 Mode Control <2:0>			No Dwell Active	RAM Segment 1 Beginning Address <9:6>				PS0 = 0 PS1 = 1
	<15:8>	RAM Segment 1 Beginning Address <5:0>				RAM Segment 1 Final Address <9:8>				PS0 = 0 PS1 = 1
	<23:16>	RAM Segment 1 Final Address <7:0>								PS0 = 0 PS1 = 1
	<31:24>	RAM Segment 1 Address Ramp Rate <15:8>								PS0 = 0 PS1 = 1
	<39:32>	RAM Segment 1 Address Ramp Rate <7:0>								PS0 = 0 PS1 = 1
RAM Segment Control Word No. 2 (RSCW2) (0x09)	<7:0>	RAM Segment 2 Mode Control <2:0>			No Dwell Active	RAM Segment 2 Beginning Address <9:6>				PS0 = 1 PS1 = 0
	<15:8>	RAM Segment 2 Beginning Address <5:0>				RAM Segment 2 Final Address <9:8>				PS0 = 1 PS1 = 0
	<23:16>	RAM Segment 2 Final Address <7:0>								PS0 = 1 PS1 = 0
	<31:24>	RAM Segment 2 Address Ramp Rate <15:8>								PS0 = 1 PS1 = 0
	<39:32>	RAM Segment 2 Address Ramp Rate <7:0>								PS0 = 1 PS1 = 0
RAM Segment Control Word No. 3 (RSCW3) (0x0A)	<7:0>	RAM Segment 3 Mode Control <2:0>			No Dwell Active	RAM Segment 3 Beginning Address <9:6>				PS0 = 1 PS1 = 1
	<15:8>	RAM Segment 3 Beginning Address <5:0>				RAM Segment 3 Final Address <9:8>				PS0 = 1 PS1 = 1
	<23:16>	RAM Segment 3 Final Address <7:0>								PS0 = 1 PS1 = 1
	<31:24>	RAM Segment 3 Address Ramp Rate <15:8>								PS0 = 1 PS1 = 1
	<39:32>	RAM Segment 3 Address Ramp Rate <7:0>								PS0 = 1 PS1 = 1
RAM (0x0B)		RAM [1023:0] <31:0> (Read Instructions Write Out RAM Signature Register Data)								

当线性扫描使能位有效时。

Table 8. Register Map--When Linear Sweep Enable Bit Is True (CFR1<21> = 1).
Note that the RAM enable Bit CFR1<31> only activates the RAM itself not the RAM segment control words.

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value OR Profile
Control Function Register No. 1 (CFR1) (0x00)	<7:0>	Digital Power-Down	Comp Power-Down	DAC Power-Down	Clock Input Power-Down	External Power-Down Mode	CRYSTAL OUT Pin Active	SYNC_CLK Out Disable	Not Used	0x00
	<15:8>	Load SRR @ I/O UD	AutoClr Freq. Accum.	AutoClr Phase Accum.	Enable SINE Output	Clear Freq. Accum.	Clear Phase Accum.	SDIO Input Only	LSB First	0x00
	<23:16>	Automatic Sync Enable	Software Manual Sync	Linear Sweep Enable	Not Used	Not Used	Not Used	Not Used	Not Used	0x00
	<31:24>	RAM Enable	RAM Dest. Is Phase Word	Internal Profile Control <2:0>			Load ARR @ I/O UD	Output Shaped Keying Enable	Auto Output Shaped Keying	0x00
Control Function Register No. 2 (CFR2) (0x01)	<7:0>	REFCLK Multiplier 0x00 or 0x1 or 0x02 or 0x03: Bypass Multiplier 0x04 to 0x14: 4x to 20x Multiplication					VCO Range	Charge Pump Current <1:0>		0x00
	<15:8>	Not Used				High Speed Sync Enable	Hardware Manual Sync Enable	CRYSTAL OUT Pin Active	Not Used	0x00
	<23:16>	Not Used								0x00
Amplitude Scale Factor (ASF) (0x02)	<7:0> (0x07)	Amplitude Scale Factor Register <7:0>								
	<15:8>	Auto Ramp Rate Speed Control <1:0>		Amplitude Scale Factor Register <13:8>						
Amplitude Ramp Rate (ARR) (0x03)	<7:0>	Amplitude Ramp Rate Register <7:0>								
Frequency Tuning Word (FTW0) (0x04)	<7:0>	Frequency Tuning Word No. 0 <7:0>								0x00
	<15:8>	Frequency Tuning Word No. 0 <15:8>								0x00
	<23:16>	Frequency Tuning Word No. 0 <23:16>								0x00
	<31:24>	Frequency Tuning Word No. 0 <31:24>								0x00
Phase Offset Word (POW0) (0x05)	<7:0>	Phase Offset Word No. 0 <7:0>								0x00
	<15:8>	Open <1:0>		Phase Offset Word No. 0 <13:8>						0x00
Frequency Tuning Word (FTW1) (0x06)	<7:0>	Frequency Tuning Word No. 1 <7:0>								
	<15:8>	Frequency Tuning Word No. 1 <15:8>								
	<23:16>	Frequency Tuning Word No. 1 <23:16>								
	<31:24>	Frequency Tuning Word No. 1 <31:24>								
Negative Linear Sweep Control Word (NLSCW) (0x07)	<7:0>	Falling Delta Frequency Tuning Word <7:0>								PS0 = 0
	<15:8>	Falling Delta Frequency Tuning Word <15:8>								PS0 = 0
	<23:16>	Falling Delta Frequency Tuning Word <23:16>								PS0 = 0
	<31:24>	Falling Delta Frequency Tuning Word <31:24>								PS0 = 0
	<39:32>	Falling Sweep Ramp Rate Word <7:0>								PS0 = 0

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value OR Profile
Positive Linear Sweep Control Word (PLSCW) (0x08)	<7:0>	Rising Delta Frequency Tuning Word <7:0>								PS0 = 1
	<15:8>	Rising Delta Frequency Tuning Word <15:8>								PS0 = 1
	<23:16>	Rising Delta Frequency Tuning Word <23:16>								PS0 = 1
	<31:24>	Rising Delta Frequency Tuning Word <31:24>								PS0 = 1
	<39:32>	Rising Sweep Ramp Rate Word <7:0>								PS0 = 1

控制寄存器位描述

控制功能寄存器 No.1 (CFR1)

CFR1 用来控制 AD9954 不同的函数，特性和模式。

每一个功能位如下所述。

CFR1<31> RAM Enable Bit--RAM 使能位

CFR1<31>=0 (缺省)，当 CFR1<31>不激活，RAM 操作关闭，同时，单音模式操作或者线性扫描操作模式有效。

CFR1<31>=1，如果 CFR1<31>激活，RAM 操作有效。对于当前侧面，通过模式控制位 RSCW 来控制正常运行操作。

CFR1<30>: RAM Destination Bit--RAM 目标位

如果 CFR1<31>不激活，CFR1<30>不用配置。

CFR1<30>=0 (缺省)。如果 CFR1<31>激活，RAM 目标位为 0 (CFR1<30>=0) 配置 AD9954，RAM 输出驱动相位累加器 (频率变化字等)。

CFR1<30>=1, 如果 CFR1<31>激活, RAM 目标位为 1 (CFR1<30>=1) 配置 AD9954, RAM 输出驱动相位误差地址 (设置 DDS 核的相位误差)。

CFR1<29:27>: Internal Profile Control Bits--内部配置文件控制位

在无外部输入情况下, 当 RAM 被用来让配置文件自动进入 AD9954 循环时, 允许用户实施频率或者相位复合扫描, 能够运行, 该位将导致配置文件位被忽略。详细地参考内部配置文件控制部分。(CFR1<29:27>=000, Internal Control Inactive)

CFR1<26>: Amplitude Ramp Rate Load Control Bit--幅度斜率加载控制位

CFR1<26>=0 (缺省), 幅度斜率定时器仅仅在定时器溢出时加载 (定时器=1), 在 IO UPDATA 有输入信号时不加载。

CFR1<26>=1, 幅度斜率定时器在溢出时和 IO UPDATA 有输入信号时均加载

CFR1<25>: Shaped On-Off Keying Enable Bit--斜坡键控使能位

CFR1<25> = 0 (缺省) 使能关闭

CFR1<25> = 1. 使能, 当使能时, CFR1<24>控制本功能的操作模式。

CFR1<24>: Auto Shaped On-Off Keying Enable Bit 自动斜坡键控使能位(只有在 CFR1<25> 为高的时候有效)

CFR1<24> = 0 (缺省). 当 CFR1<25> 激活, 在 CFR1<24>为逻辑 0, 使能手动斜坡键控操作。每一次幅度采样送入到 DAC 与幅度比例因子相乘。详细的参考斜坡键控部分。

CFR1<24> = 1. 当 CFR1<25>激活, CFR1<24>为高, 使能自动斜坡键控操作。切换 OSK 管脚为高, 将导致输出比例从 0 到幅度比例因数以幅度斜率斜坡变化。切换 OSK 管脚为低, 将导致输出比例从幅度比例因数到 0 以幅度斜率斜坡变化。详细的参考斜坡键控部分。

CFR1<23>: Automatic Synchronization Enable Bit--自动同步使能位

CFR1<23> = 0 (缺省). 对多个 AD9954 自动同步功能未激活。

CFR1<23> = 1. 激活多个 AD9954 自动同步功能。器件将同步内部同步时钟 (SYNC_CLK) 对齐当前 SYNC_IN 输入信号。详细地参考多个 AD9954 同步部分。

CFR1<22>: Software Manual Synchronization of Multiple AD9954 --软件手动同步多个 AD9954

CFR1<22> = 0 (缺省). 手动同步功能未激活。

CFR1<22> = 1. 执行软件控制手动同步功能, 在 SYNC_CLK 周期中 SYNC_CLK 上升沿超前, 并且该位清除。超前上升沿几倍时间, 对于每一个超前周期该位都需要设置。详细的参考 AD9954 同步乘法器。

CFR1<21>: Linear Frequency Sweep Enable--线性频率扫描使能

CFR1<21> = 0 (缺省). AD9954 线性频率扫描功能未激活

CFR1<21> = 1, AD9954 线性频率扫描使能, 使能后, 不论是上升沿还是下降沿, 在编程斜率时, delta 频率变换字将应用到频率累加器。使得输出频率斜坡上升或者斜坡下降, 通过 profile0 输入来控制, 详细的参考线性扫描模式部分。

CFR1<20:16>: 未使用。

CFR1<15>: Linear Sweep Ramp Rate Load Control Bit--线性扫描斜率加载控制位

CFR1<15> = 0 (缺省). 仅仅线性扫描斜率定时器在溢出 (定时器=1) 时加载, 在I/O UPDATE由信号输入时不加载。

CFR1<15> = 1. 线性扫描斜率定时器在溢出 (定时器=1) 时加载或者I/O UPDATE由信号输入时加载。

CFR1<14>: Auto Clear Frequency Accumulator Bit--自动清除频率累加器位

CFR1<14> = 0 (缺省), 当delta频率字改变时, 频率累加器当前状态将不更改。

CFR1<14> = 1. 在一个周期内, 当收到I/O UPDATE信号时, 该位自动同步清除频率累加器。

CFR1<13>: Auto-Clear Phase Accumulator Bit--自动清除相位累加器位

CFR1<13> = 0 (缺省), 当频率变换字被应用时, 相位累加器当前状态将不更改。

CFR1<13> = 1. 在一个周期内, 当收到I/O UPDATE信号, 该位自动同步清除相位累加器。

CFR1<12>: Sine/Cosine Select Bit--正弦/余弦选择位

CFR1<12> = 0 (缺省). 相位与角度成余弦函数

CFR1<12> = 1. 相位与角度成正弦函数。

CFR1<11>: Clear Frequency Accumulator--清除频率累加器

CFR1<11> = 0 (缺省). 正常频率累加器功能。

CFR1<11> = 1. 频率累加器内存被清除, 并且保持清除直到该位被清除。

CFR1<10>: Clear Phase Accumulator--清除相位累加器

CFR1<10> = 0 (缺省). 正常相位累加器功能。

CFR1<10> = 1. 相位累加器内存被清除, 并且保持清除直到该位被清除。

CFR1<9>: SDIO Input Only --SDIO 输入

CFR1<9> = 0 (缺省). SDIO 脚双向操作 (2 线串行编程模式)

CFR1<9> = 1. 串行数据I/O脚 (SDIO) 仅仅用为输入脚 (2线串行编程模式)。

CFR1<8>: LSB 优先

CFR1<8> = 0 (缺省). MSB 优先激活

CFR1<8> = 1. 串行接口以LSB优先格式串行接收数据。

CFR1<7>: 数字 Power-Down 位

CFR1<7> = 0 (缺省). 所有的数字功能和时钟都激活。

CFR1<7> = 1. 所有的非IO数字功能被挂起, 大大降低功耗。

CFR1<6>: 比较器 Power-Down 位

CFR1<6> = 0 (缺省). 比较器操作使能

CFR1<6> = 1. 比较器屏蔽, 消耗最小功耗。

CFR1<5>: DAC Power-Down 位

CFR1<5> = 0 (缺省). DAC 操作使能

CFR1<5> = 1. DAC屏蔽, 消耗最小功耗。

CFR1<4>: Clock Input Power-Down 位

CFR1<4> = 0 (缺省). 时钟输入电路操作使能

CFR1<4> = 1. 时钟输入电路屏蔽, 消耗最小功耗。

CFR1<3>: 外部 Power-Down 模式

CFR1<3> = 0 (缺省). 外部power-down模式选择, power-down快速恢复模式,

PWRDWNCTL输入为高, 在这样模式中, 数字逻辑和DAC数字逻辑Power-Down, DAC偏置电路, 比较器, PLL, 振荡器和时钟输入电路均没有Power-Down。

CFR1<3> = 1. 外部power-down模式选择, 全部power-down模式, 该模式下, 当PWRDWNCTL脚为高时, 所有的功能power-down, 包括DAC, PLL, 需要一定的时间来唤醒。

CFR1<2>: Linear Sweep No Dwell Bit--线性扫描无停留位

CFR1<2> = 0 (缺省). 线性扫描无停留位激活。

CFR1<2> = 1. 线性扫描无停留功能激活, 如果线性扫描使能位CFR1<21>有效, 并且

CFR1<2> 激活, 线性扫描无停留功能被激活, 详细的参见线性扫描模式部分内容, 如果CFR1<21>被清除, 该位将不用考虑。

CFR1<1>: SYNC_CLK 无效位

CFR1<1> = 0 (缺省). SYNC_CLK脚激活。

CFR1<1> = 1. SYNC_CLK脚假定逻辑0状态来保持数字电路产生的最小噪声, 然而, 同步电路仍处于激活状态, 以维持正常的设备的响应。

CFR1<0>:未使用, Leave at 0

Control Function Register No.2 (CFR2) 控制功能寄存器

CFR2用来控制AD9954不同的功能、特性和模式,特别是跟芯片模拟部分相关。

CFR2<23:16>: 未使用

CFR2<15:12>: 未使用

CFR2<11> :High Speed Sync Enable Bit--高速 SYNC 使能位

CFR2<11> = 0 (缺省). 高速增强型 SYNC 关闭

CFR2<11> = 1. 高速增强型 SYNC 开启, 当用自动同步特性, SYNC_CLK 超过 50MHz (200MSPS SYSCLK) 时, 该位应该设置。详细地参考多 AD9954 同步部分。

CFR2<10>: Hardware Manual Sync Enable Bit--硬件手动 SYNC 使能位

CFR2<10> = 0 (缺省). 硬件手动 SYNC 同步功能关闭

CFR2<10> = 1. 硬件手动 SYNC 功能使能, 在一个 REFCLK 周期, 当该位设置时, SYNC_IN 脚的一个上升沿将导致器件 SYNC_CLK 提前一个上升沿。不像软件手动 SYNC 使能位, 该位不会自动清零, 一旦硬件手动 SYNC 模式使能, 它将保持使能, 直到该位被清零, 详细地参考多 AD9954 同步部分。

CFR2<9>: CRYSTAL OUT Enable Bit 振荡器输出使能位

CFR2<9> = 0 (缺省). 振荡器输出未激活

CFR2<9> = 1. 振荡器输出激活, 当激活时, 晶体振荡器电路输出驱动 CRYSTAL OUT 脚, 该脚可以连接其他的器件, 作为参考时钟。晶体振荡器在 20MHz-30MHz。

CFR2<8>: Not Used 未使用

CFR2<7:3>: Reference Clock Multiplier Control Bits--参考时钟乘法器控制位

该 5 位控制乘法器值在 PLL 块之外, 十进制有效值是 4-20 (0x04-0x14 十六进制), 超出该范围, 乘法器将 bypass 掉, 详细地参见 PLL 部分。

CFR2<2>: VCO Range Control Bit 压控振荡器范围控制位

该位用来控制压控振荡器的范围, 当 **CFR2<2>=0** (缺省), 压控振荡器操作范围为 100MHz-250MHz, 当 CFR2<2>=1 时, 压控振荡器操作范围为 250MHz-400MHz。

CFR2<1:0>: Charge Pump Current Control Bits 电荷泵电流控制位

该位用来控制电荷泵中的电流, 缺省设置, **CFR2<1:0> 设置缺省值为 75uA**。每增加一位, 增加 25uA (01, 10, 11 分别对应 100uA, 125uA, 150uA)。

Other Register Descriptions 其他寄存器描述**Amplitude Scale Factor (ASF) 幅度比例因子**

ASF 寄存器存储的是 2 位自动斜率速度值和 14 位的幅度比例因子, 用于输出波形键控 (OSK) 操作, 在自动 OSK 操作中, ASF<15:14>告诉 OSK 块, 每次升降幅度分别以多大的比例调整。ASF<13:0>设置内部 OSK 乘法器的最大值。在手动 OSK 模式, ASF<15:14>没有影响, ASF<13:0>直接提供输出比例因子。如果 OSK 使能位清除, CFR1<25>=0, 该

寄存器对器件的操作不受影响。

Amplitude Ramp Rate (幅度斜率)

ARR 寄存器存储 8 位幅度斜率，使用在 OSK 模式，在幅度比例因子计数器增加或者减小时，寄存器对比例编程。如果 OSK 设置为手动模式，或者 OSK 使能清零，此寄存器对器件的操作不受影响。

Frequency Tuning Word 0 (FTW0) 频率调谐字 0

频率调谐字是一个 32 位的寄存器，控制 DDS 核中的相位累加器的累加率。其具体的作用是对设备的操作模式而定。

Phase Offset Word (POW) 相位修正字

相位修正值寄存器是一个 14 位的寄存器，存储了一个相位修正值。该修正值加上了相位累加器的输出相位，来修正当前输出信号。该确切的相位修正值由下面公式给出。

$$\Phi = \left(\frac{POW}{2^{14}} \right) \times 360^\circ$$

当设置 RAM 使能位时，CFR1<31>=1, 并且 RAM 目的地清楚、零，CFR1<30>=0, RAM 提供相位修正值，并且该寄存器对器件的操作没有影响。

Frequency Tuning Word 1 (FTW1) 频率调谐字 1

频率控制字是一个 32 位寄存器，用于设置在操作上线性扫描频率。

Negative and Positive Linear Sweep Control Word (NLSCW, PLSCW) 消极和积极的线性扫描控制字 (NLSCW, PLSCW)

寄存器 0x07, 0x08 是多功能寄存器。当线性扫描位 CFR1<21>使能，寄存器 0x07 为负极性线性扫描控制字 (NLSCW)，0x08 为正极性线性扫描控制字 (PLSCW)。没有一个线性扫描控制字包含 32 位 delta 频率控制字 (FDFTW, RDFTW) 和一个 8 位扫描斜坡字 (FSRRW, RSRRW)，在一个同步块周期，delta 频率变化字决定频率累加器数量，是增加还是减少。扫描坡度字决定累加器增加或减少的比例。

RAM Segment Control Words (RSCW0, RSCW1, RSCW2, RSCW3)—RAM 段控制字

当线性扫描使能位 CFR1<21>清零，寄存器 0x07, 0x08, 0x09 和 0x0A 为每一个 RAM 段的控制字，每一个 RAM 段控制字由 RAM 地址斜率，终端地址值，起始地址值，RAM 模式控制和无停留位组成。

RAM Segment Address Ramp Rate, RSCW<39:24> RAM-- 地址斜率，RSCW<39:24>

RAM 模式，步进通过 RAM 地址值，例如，该 16 位寄存器定义，RAM 控制器在每一个地址居留的 SYNC_CLK 周期数。0 无效，从 1-65535 有效。

RAM Segment Final Address RSCW<9:8>, RSCW<23:16>-终端地址

该不连续 10 位序列定义了给定 RAM 段终端地址值，该位所列举的头位必须要配置，RSCW<15>仅仅是底 15 个 MSB 的终端地址值，尽管，写操作比 RSCW<3>更重要。RSCW<3>是终端地址的 MSB，尽管，该位比 RSCW<15>要晚一些。

RAM Segment Mode Control RSCW<7:5>--RAM 段模式控制 RSCW<7:5>

该 3 位决定了 RAM 段模式操作，有 5 中可能的 RAM 操作模式，只有 0-5 有效，参考 Table-9。

RAM Segment No-Dwell Bit RSCW<4>--RAM 段非停留位 RSCW<4>

该位设置非停留扫描功能，在配置中，扫描从定义的开始到结束，RAM 控制器可以停留在终端地址直到下一个配置文件选择，或者，RAM 控制器返回到开始地址停留，直到下一个配置文件被选择。

RAM

AD9954 由 1024x32 块 SRAM 组成，RAM 是双向单端口。从 RAM 读和写操作均有效，但是不允许同时读和写。从串行 I/O 口写操作具有较高优先级，当读操作时，试图对数据到 RAM，此时，读操作将被终止，RAM 可以通过多种方式控制，通过 RSCW<7:5>模式控制寄存器配置，对 RAM 读/写控制每种模式都支持。

当 RAM 使能位 (CFR1<31>) 设置，RAM 输出选择驱动输入到相位累加器或者相位偏差加法器，依赖于 RAM 目的地位 (CFR1<30>) 的状态。

如果 CFR1<30>为 1，RAM 输出到相位偏差加法器，给器件提供相位误差控制字。

如果 CFR1<30>为 0 (缺省配置)，RAM 输出到相位累加法器，给器件提供频率变化字。当 RAM 输出驱动相位累加器，相位误差字(POW, 地址 0x05)驱动相位误差加法器。同样的，当 RAM 输出驱动相位误差加法器，频率变化字 (FTW, 地址 0x04) 驱动相位累加器。

当 CFR1<31>为逻辑 0，RAM 使能位未激活，RAM 通过 profile<1:0>输入脚被分割成 4 个不同的片。

所有的 RAM 读/写，除非其他的定义，都被 profile<1:0>输入脚和各自的 RAM 段控制字控制。RAM 能够，在 normal 操作时，但是一些 I/O 操作命令 RAM 立即写，暂停从 RAM 读操作，导致当前操作模式是无功能的。该模式排除了单端模式，因为在该模式中，RAM 没有读操作。

对 RAM 写遵循以下条件，配置完想要 RAM 段控制字后，理想的 RAM 段必须通过 profile 选择脚 PS<1:0>选择。在指令字节，向 RAM 写 0x0B 地址。串行口和 RAM 控制器共同工作，决定 profile 的宽度同时串行口将接收 32 位寄存器定义的起始地址到结束地址的序列字，参考如下例子：

- 1) RAM 段控制字 1 列举了开始 RAM 地址 256，结束地址 511。
- 2) PS0=1 和 PS=0.
- 3) 指令字节是 1000 1001

Linear Sweep Mode 线性扫描模式

设置 CR1<21>来配置线性扫描模式，可以通过配置 FTW0 和 FTW1 实现频率从低到高，和从高到低变化。这个斜率的发生决定了 Delta 频率变化字和斜率字的变化率。线性扫描无停留位 CFR1 <2>控制设备终端频率特性。当频率从 FTW0 到 FTW1 时，32 位的 RDFTW 增加频率累加器。8 位 RSRRW 控制累加器增加比例。当频率从 FTW1 到 FTW0 时，32 为 FDFTW 增加频率累加器。8 位 FSRRW 控制累加器增加比例。

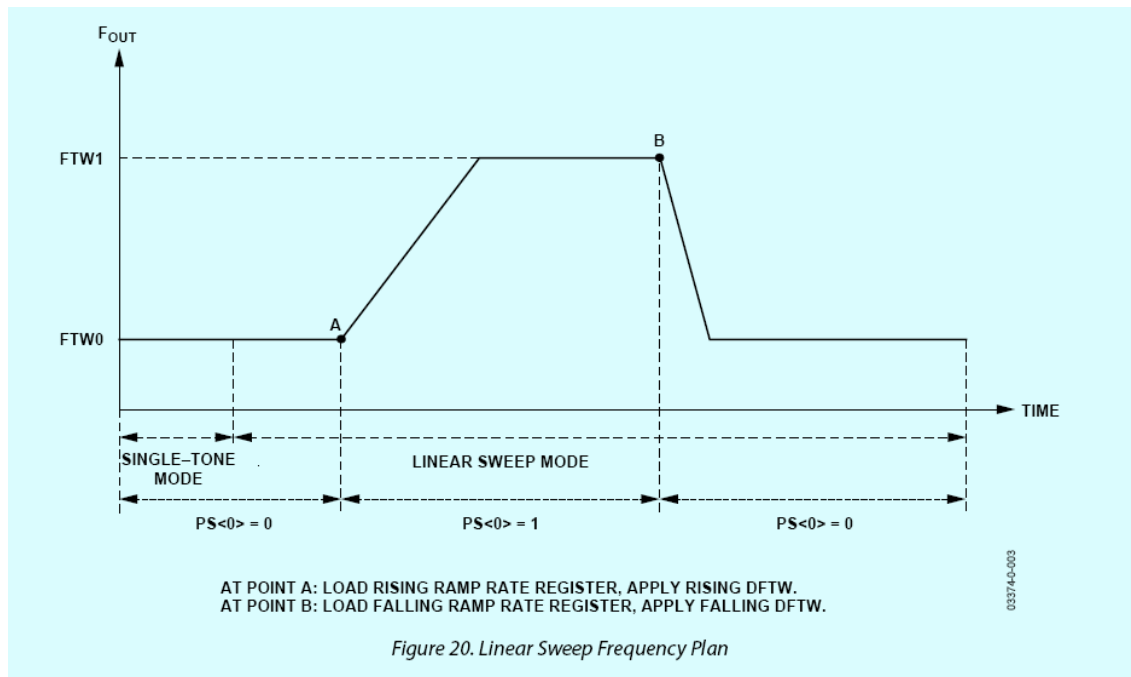
PS<0>管脚控制扫描方向，上升沿 FTW1,下降沿 FTW0，直到目的地频率

AD9954 线性扫描功能，将保持目的地频率直到 PS<0>状态改变，或者立即返回到初始频率 FTW0 依赖于线性扫描无停留位 CFR1<02>状态。当工作于线性扫描模式时，切换 Profile<0>管脚不会导致器件更新 I/OUPDATA。当 PS<0>管脚担当步进方向指示时，从 I/O 缓冲器到内部寄存器发送数据只能通过 I/O updata 管脚的上升沿来的初始化。

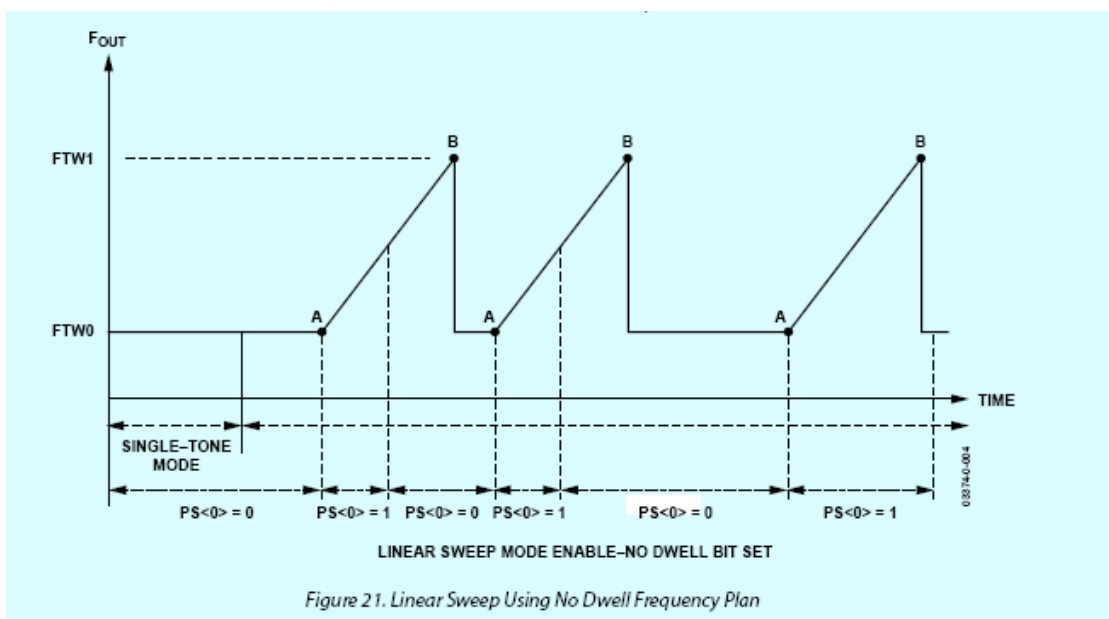
AD9954 线性扫描功能要求低频率放入 FTW0，高频率放入 FTW1，例如分段，非线性频率转换，操作步骤如下：

- 0) profile 输入 00
- 1) 线性扫描使能位 $CFR1<21>=1$ ，根据需要设置-清除线性扫描无停留位 $CFR1<2>=\{0,1\}$
- 2) 配置上升沿或下降沿 Δ 频率变换字 (RDFTW/FDFTW) 和斜率值 (RSRRW/FSRRW)
- 3) 配置频率从 FTW0 到 FTW1 还是从 FTW1 到 FTW0 ($PS<0>$)
- 4) 应用一个 I/OUPDATA 将数据移入寄存器 (输出频率是 FTW0)
- 5) 改变 $PS<0>$ 输入，作为想要的步进，从高到低，还是从低到高。

如下图所示。



图无停留模式



General Operation of Linear Sweep Capability 线性步进基本操作能力

在线性步进模式，PS<1>管脚必须拉低为 0，在线性步进模式激活下，当 PS<0>管脚转换从低到高时，RDFTW 为频率累加器输入，RSRR 寄存器加载步进速率计时器。步进速率计时器从一个初始值递减到 1，在这一点，频率累加器开始累加输入。通过 RSRR（斜率）给定的 RDFTW 累加器累加率继续，直到频率加法器的输出值跟 FTW1 寄存器值一致。此时，累加器将停止，导致 AD9954 输出给定的 FTW1，直到 PS<0>为逻辑 1 时。

当 PS<0>管脚转换从高到低时，否定的 FDFTW 为频率累加器输入，FSRR 寄存器加载步进速率计时器。步进速率计时器从一个初始值递减到 1，在这一点，频率累加器开始累加输入。通过 FSRR（斜率）给定的 FDFTW 累加器累加率继续，直到频率加法器的输出值跟 FTW1 寄存器值一致。此时，累加器将停止，导致 AD9954 输出给定的 FTW0，直到 PS<0>为逻辑 0 时。

Linear Sweep No Dwell Feature 线性扫描无停留位功能

可以操作在无停留位功能，如果该位设置，CFR1<2>=1，上升沿扫描以相同的方式开始到无停留位线性扫描模式，直到检测到一个 PS<0>输入的上升沿，上升扫描动作初始化完毕。当检测到 PS<0>为 1 时，频率以开始配置的相关参数开始扫描，直到到终端频率，到达终端频率后，立即返回到初始频率上，直到 PS<0>又为 1 后，开始步进扫描。见上图。

二者区别：

停留模式：当 PS<0>为高时，开始步进扫描，当频率达到最高值时，如果 PS<0>仍为高，则保持最高的频率输出，如果为低，有一个下降沿立即输入低频率。

无停留模式：当 PS<0>为高时，开始步进扫描，即使 PS<0>为 0，即有一个下降沿，频率继续升高，当频率达到最高值时，自动返回输出最低频率，直到下一个上升沿到来，才开始步进扫描。

Programming the Ramp Rate Timer 配置斜率定时器

当上升沿转换时，加载值为 RSRRW，当下降沿转换时，加载值为 FSRRW，当斜率定时器为 1 时，正确的 RFDTW 和 FDFTW 被加载，定时器开始再一次递减到 1，只要定时器使能，加载和递减操作就继续，除非定时器在到达 1 之前强制加载。

斜率定时器在到 1 以前可以通过下面 3 个方法强制加载。

- 4) 通过改变 PS<0>，当该脚从 0 变为 1 时，该 RSRRW 值加载到斜坡率计时器，然后继续计数正常。当 Profile<0>从 1 变为 0 时，该 FSRR 值就爱在到斜率定时器，然后继续计数正常。
- 5) 通过设置 CFR1<15>位和 IO updata。如果 sweep 使能，并且 CFR1<15>以设置，每次 IO UPDATA 产生，由 profile<0>决定斜率定时器加载。如果 Profile<0>为 0（1），斜率定时器加载 FSRRW(RSRRW)。
- 6) 通过变化模式，从非激活模式到激活线性扫描模式。

Programming AD9954 Features-- AD9954 编程特性

Phase Offset Control--相位偏移控制

14 位相位偏移可以通过控制寄存器增加相位累加器的输出，该功能可以提供 3 种不同的相位控制。

- 1) 静态相位调整，固定的相位偏移加载到相位偏移寄存器，并且保持不变。输出信号的结果是由一个固定的角度相对于标称信号的偏移，这样允许用户通过外部信号，逐步的调整 DDS 输出。

- 2) 用户通过 I/O 口有规律的更新相位寄存器, 通过适当修改作为时间函数的相位偏移, 用户可以实现相位调制输出信号。然而, I/O 口的速度和 SYSCLK 频率限制了相位调制的所能使用的速率。
- 3) RAM 和 profile 输入脚。AD9954 可以像配置 RAM 驱动相位调整电路一样, 用户可以控制相位偏移, 通过 RAM, 像普通模式一样允许频率扫描。详细的参考 RAM 操作控制模式和线性扫描控制部分。

Shaped On-Off Keying 开关键控

使能 AD9954 通断键控功能允许用户控制斜坡上升和斜坡下降的 DAC 开关的发射时间。此功能用于突发数字数据, 以减少不良短, 突然爆发的光谱数据的影响。

支持自动和手动开关键控模式 (未使用, 不再翻译)。

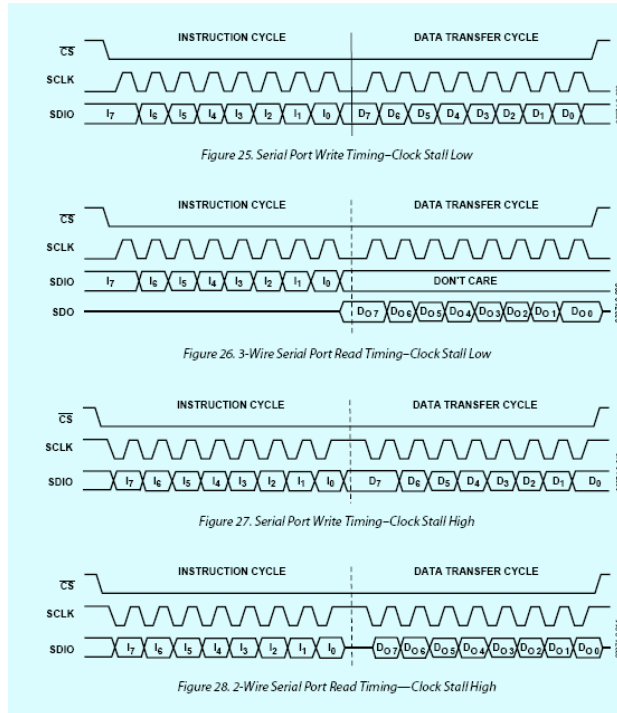
SERIAL PORT OPERATION 串口操作

在 AD9954 串行操作中, 指令字节用来指定读/写操作和寄存器地址, 串行操作仅仅发生在寄存器级, 不是在字节级。对于 AD9954, 串行口控制器识别指令字节寄存器地址, 自动生成适当的寄存器字节地址。另外, 控制器希望所有的寄存器字节可以被访问, 这就要求多有的寄存器字节在串行 IO 操作期间可以被访问, 但是有一个例外, 在 IOSYNC 函数可以用来终止 I/O 操作, 从而, 使比实际访问的字节要少。

AD9954 的有 2 个通信阶段, 第一阶段是指令周期, 该期间写一个指令字节到 AD9954, 考虑到第一个 8 个 SCLK 上升沿。指令字节提供 AD9954 串行口控制器关于发送数据周期的信息, 此是第 2 个通信周期阶段。

第一阶段指令字节定义, 即将到来的数据是读还是写, 寄存器串行地址被访问。

每一个通信周期的第一次 8 个 SCLK 上升沿, 用来写入指令字节到 AD9954。剩下的 SCLK 边沿供第二阶段的通信周期使用。第二阶段是实际的数据在 AD9954 和系统控制器之间转换。转换的字节数发生在通信周期的第二阶段, 例如, 当想访问控制功能寄存器 2 时, 它有 3 个字节宽度, 第二阶段通信就需要 3 个字节, 如果访问频率变换字, 它有 4 个字节宽度, 第二阶段通信就需要 4 个字节, 在每一个指令周期发送完数据后, 通信周期就结束了。



上图描述了 4 中数据发送的格式。

INSTRUCTION BYTE 指令字节

MSB	D6	D5	D4	D3	D2	D1	LSB
R/Wb	X	X	A4	A3	A2	A1	A0

D7-读/写控制位 0--写； 1--读，（在本设计中只是写，配置为 0。）

D6,D5:X 表示不关心

A4-A0: 5bit 表示通信周期的地址

SERIAL INTERFACE PORT PIN DESCRIPTION 串行接口管脚描述

SCLK-串行时钟，该脚用来同步数据，以及内部状态机的运行，最高 25MHz（**选择 20MHz**）。

CSB-片选，CSB 激活低输入，允许更过的器件在该串行总线上。当输入为高时，SDO 和 SDIO 管脚高阻状态，如果在有些通信周期拉高，在该周期被挂起，直到再次为低。在系统中，片选可拉低，保持 SCLK 的控制。

SDIO-串行数据 I/O 口。数据总是通过该脚写入 AD9954，然后，该脚可以作为双向数据线，Bit7-寄存器地址（0x0）配置该脚。缺省配置为 0，表示该口为双向口。

SDO-串行数据口，根据协议使用单独的发送和接受数据线，数据从该口读出。在 AD9954 操作在单一双向 I/O 模式时，该脚步输出数据，该脚为高阻状态（**选择 NC**）。

IOSYNC-同步 IO 口状态，它的内容不影响同步寄存器寻址的 I/O 端口状态机。高电平输入到 IOSYNC 时，当前通信周期终止，IOSYNC 为低时，另外一个通信周期开始，开始指令字节写入（**选择接地**）。

MSB/LSB TRANSFERS

AD9954 串行口支持先最大有效位，后最小有效位，数据格式，通过配置寄存器 0x00（8）位。缺省的是 0（MSB 在前），如果该值为 1，则 LSB 在前，MSB 在后。

对于 MSB 先的操作，串行口控制器将首先产生 MSB 地址，接下来产生 LSB 地址，直到 I/O 操作结束。所有的数据写入都必须 MSB 在前。

Example Operation 操作举例

按照 MSB 先的数据格式写幅度比例因子寄存器，应用指令字节 0x02，根据此指令，内部控制器将产生一个内部地址 0x07 用于第一个写操作，和一个内部地址 0x08 用于接下来的写。由于幅度比例因数寄存器只有 2 个字节，因此通信周期结束。

按照 LSB 先的数据格式写幅度比例因子寄存器，应用指令字节 0x40，根据此指令，内部控制器将产生一个内部地址 0x08 用于第一个写操作，和一个内部地址 0x07 用于接下来的写。由于幅度比例因数寄存器只有 2 个字节，因此通信周期结束。

RAM I/O VIA SERIAL PORT

通过串行口访问 RAM 同其他的 IO 口操作一样，除了由开始地址和结束地址决定的地址空间内的，定义在当前 RSCW 中的要转换的字节。结束地址描述了最重要的字节地址，对于所有的 I/O 转换和开始地址规定的最重要的地址。

RAM I/O 支持 MSB/LSB 优先操作。在 MSB 优先模式，第一字节数据对于内存地址来说非常重要，该数据描述接下来的几个重要数据的地址。剩下的字节从最重要到最不重要，RAM 地址按降序排列，直到最后的 4 个字节写入到作为开始地址的地址寄存器。当 LSB 优先模式，第一个字节数据将是最不重要的字节，.....当然，所有字节，当设置成 LSB 优先时，数据位排列为最不重要到最重要。当 LSB 优先位清除，数据位排列为最重要到最不重要。

RAM 使用串行地址 01011 (b)，因此，指令字节写入到 RAM 是 0x0B，MSB 优先。如前所述，RAM 地址的产生通过 profile<1:0>管脚，当前选择的开始和最终的 RSCW 定义。

串口操作的注意事项：

- 1) AD9954 串行口配置位，CFR1<8:9>。一旦写入到寄存器，配置改变立即完成，对于多字节转换，写入寄存器有可能发生在通信周期的中间。必须注意，在新的配置情况下，对于余下的当前通信周期进行补偿。
- 2) 系统必须保持同步，否则，AD9954 或者内部控制逻辑将不能识别更改过的指令。例如，如果系统送入指令字节，该字节描述写一个 2 字节寄存器，然后 SCLK 脚脉冲写一个 3 字节，通信同步丢失。在这种情况下，在指令周期开始的 16 个 SCLK 上升沿，将适当的写入第一个 2 字节数据到 AD9954，但是在接下来的 8 个上升沿 SCLK 被解释成接下来的指令字节，而不是之前通信周期的最后字节。在系统和 AD9954 通信同步丢失时，在不需芯片重新初始化的情况下，IOSYNC 管脚提供一种方法来建立新的同步，IOSYNC 管脚使得用户复位 AD9954 的状态机来接收接下来的 8 个 SCLK 上升沿，来跟新的通信周期的指令相位一致。通过应用和移动一个高电平信号到 IOSYNC 管脚，AD9954 再一次与通信周期同步工作。在一个有效的通信周期的同步丢失之前将保持不变，一些信息已经写入到 AD9954 寄存器。
- 3) 读取配置寄存器时，要求配置文件选择管脚 (profile<1:0>)，该脚被配置成选择想要的寄存器 bank。当读取停留在配置文件中的寄存器地址时，该寄存器地址作为从寄存器组中选择出的一个寄存器的偏移量，而配置文件选择引脚选择适当的寄存器组。

Power-Down Functions of the AD9954 AD9954 节电功能

AD9954 支持外部控制或者硬件 Power-Down 功能，跟众多 ADI DDS 产品一样，通过软件编程实现。

软件控制 Power-Down 允许 DAC, 比较器, PLL, 输入时钟电路，数字逻辑通过特殊控制

为 (CFR1<7:4>)。除了 CFR1<6>, 这些位没有激活, 当外部控制 Power-Down 脚 (PWRDWNCTL) 为高。外部 Power-Down 控制支持 AD9954 通过 PWRDWNCTL 输入脚。当 PWRDWNCTL 输入为高, AD9954 将输入 Power-Down 模式, 基于 CFR1<3>位。当 PWRDWNCTL 为低时, 外部 Power-Down 控制未激活。

当 CFR1<3>为 0, 并且 PWRDWNCTL 输入为高, AD9954 进入快速恢复 Power-Down 模式, 在这样模式中, 数字逻辑和 DAC 数字逻辑 Power-Down, DAC 偏置电路, 比较器, PLL, 振荡器和时钟输入电路均没有 Power-Down, 比较器可以 Power-Down 通过配置 CFR1<6>=1.

当 CFR1<3>为高, 并且 PWRDWNCTL 输入为高, AD9954 进入全部 Power-Down 模式, 在该模式下, 所有的功能都 Power-Down, 包括 DAC, PLL。

当 PWRDWNCTL 输入为高, 单个 Power-Down 位 (CFR1<7>, <5:4>) 无效, 并且未使用, 然而, 比较器 Power-Down 位 CFR1<6>将继续控制比较器的 Power-Down。

当 PWRDWNCTL 输入为低时, 各个 Power-Down 位控制 Power-Down 模式的操作。

注意: Power-Down 信号设计为, 逻辑 1 表示低功耗模式, 逻辑 0 表示激活或者 Power-Down 模式。

下图描述了 Power-Down 相关特点。

Table 13. Power-Down Control Functions		
Control	Mode Active	Description
PWRDWNCTL = 0 CFR1<3> Don't Care	Software Control	Digital Power-Down = CFR1<7> Comparator Power-Down = CFR1<6> DAC Power-Down = CFR1<5> Input Clock Power-Down = CFR1<4>
PWRDWNCTL = 1 CFR1<3> = 0	External Control, Fast Recovery Power-Down Mode	Digital Power-Down = 1'b1 Comparator Power-Down = 1'b0 Or CFR1<6> DAC Power-Down = 1'b0 Input Clock Power-Down = 1'b0
PWRDWNCTL = 1 CFR1<3> = 1	External Control, Full Power-Down Mode	Digital Power-Down = 1'b1 Comparator Power-Down = 1'b1 DAC Power-Down = 1'b1 Input Clock Power-Down = 1'b1