**Proyecto 9 - Memorias**

Autor: Cruz Martin Matías

**Resumen**

En este proyecto investigamos varios conceptos acerca de la memoria, entre ellas semiconductoras ROM de máscara, PROM, EEPROM, FLASH, SRAM, y DRAM; aplicaciones de los arreglos de memoria en los sistemas de cómputo, además aprendimos de los circuitos integrados lógicos programables

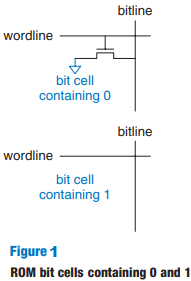
Y por último describimos con VHDL RAM 512x8 bit con dos puertos sincrónicos, RAM de dos puertos de 256x32 bit y Conjunto de registros de 32x32 bit de tres puertos; y los simulamos

**Introducción**

Tecnologías de memoria semiconductoras

**ROM de máscara**

La ROM almacena un bit como la presencia o ausencia de un transistor. La Figura 1 muestra una celda de bits ROM simple.



Para leer la celda, la línea de bits se eleva débilmente hacia HIGH. A continuación, la línea de palabras se activa. Si el transistor está presente, tira de la línea de bits hacia abajo. Si está ausente, la línea de bits permanece ALTA

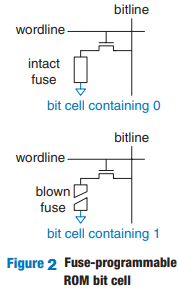
Tenga en cuenta que la celda de bits de la ROM es un circuito combinacional y no tiene un estado para "olvidar" si se apaga la alimentación. El contenido de una ROM se puede indicar mediante notación de puntos.

(Harris, Harris, 2022, p 269 )

**Programmable ROM (PROM)**

Una ROM programable (PROM, pronunciado como el baile) coloca un transistor en cada celda de bits, pero proporciona una forma de conectar o desconectar el transistor a tierra.

La Figura 0 muestra la celda de bits para una ROM programable por fusible.



El usuario programa la ROM aplicando un alto voltaje para quemar selectivamente los fusibles. Si el fusible está presente, el transistor está conectado a GND y la celda tiene un 0. Si el fusible se destruye, el transistor se desconecta de tierra y la celda tiene un 1. Esto también se denomina ROM programable de un solo uso, porque el fusible no se puede reparar una vez que se funde

(Harris, Harris, 2022, p 271 )

**E-eproms" o "double-e proms (EEPROM)**

Cuando la EPROM se expone a una intensa luz ultravioleta (UV) durante aproximadamente media hora, los electrones se desprenden de la puerta flotante, apagando el transistor. Estas acciones se denominan programación y borrado, respectivamente. Las PROM borrables eléctricamente y la memoria Flash utilizan principios similares, pero incluyen circuitos en el chip para borrar y programar, por lo que no es necesaria la luz ultravioleta. Las celdas de bits EEPROM se pueden borrar individualmente; La memoria flash borra bloques de bits más grandes y es más barata porque se necesitan menos circuitos de borrado.

(Harris, Harris, 2022, p 271 )

**Memory Flash**

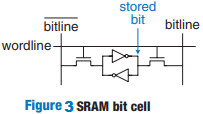
La ***memoria flash*** es un medio de almacenamiento de [memoria de computadora electrónico no volátil](https://es.wikipedia.org/wiki/Memoria_no_vol%C3%A1til) que se puede borrar y reprogramar eléctricamente. Los dos tipos principales de memoria flash, NOR flash y NAND flash, reciben su nombre de las puertas lógicas NOR y [NAND](https://es.wikipedia.org/wiki/Puerta_NAND). Permite la lectura y escritura de múltiples posiciones de memoria en la misma operación. Gracias a ello, la tecnología *flash*, mediante impulsos eléctricos, permite velocidades de funcionamiento superiores frente a la tecnología [EEPROM](https://es.wikipedia.org/wiki/EEPROM) primigenia, que solo permitía actuar sobre una única [celda de memoria](https://es.wikipedia.org/wiki/Celda_de_memoria) en cada operación de programación

Memoria flash -wikipedia

https://es.wikipedia.org/wiki/Memoria\_flash

**Static Random Access Memory (SRAM)**

SRAM, pronunciado "es-ram", es estática porque los bits almacenados no necesitan ser actualizados. La Figura 1 muestra una celda de bits SRAM.

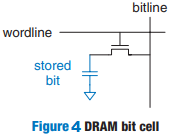


El bit de datos se almacena en inversores de acoplamiento cruzado. Cada celda tiene dos salidas, línea de bits y línea de bits. Cuando se afirma la línea de palabras, ambos transistores nMOS se encienden y los valores de datos se transfieren hacia o desde las líneas de bits. A diferencia de la DRAM, si el ruido degrada el valor del bit almacenado, los inversores de acoplamiento cruzado restauran el valor.

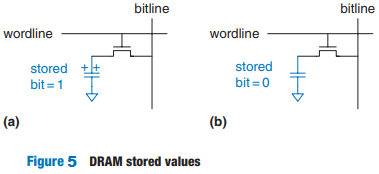
(Harris, Harris, 2022, p 268 )

**Dynamic Random Access Memory (DRAM)**

La DRAM, que se pronuncia "dee-ram", almacena un bit como la presencia o ausencia de carga en un condensador. La Figura 2 muestra una celda de bits DRAM.



El valor de bits se almacena en un condensador. El transistor nMOS se comporta como un interruptor que conecta o desconecta el condensador de la línea de bits. Cuando se afirma la línea de palabras, el transistor nMOS se enciende y el valor de bit almacenado se transfiere hacia o desde la línea de bits. Como se muestra en la Figura 3 (a), cuando el condensador está cargado a VDD, el bit almacenado es 1; cuando se descarga a GND (Figura 3 (b)), el bit almacenado es 0.



El nodo del condensador es dinámico porque no es impulsado activamente ALTO o BAJO por un transistor conectado a VDD o GND. Tras una lectura, los valores de datos se transfieren del condensador a la línea de bits. Tras una escritura, los valores de datos se transfieren de la línea de bits al condensador. La lectura destruye el valor de bits almacenado en el condensador, por lo que la palabra de datos debe restaurarse (reescribirse) después de cada lectura. Incluso cuando no se lee la DRAM, el contenido debe actualizarse (leerse y reescribirse) cada pocos milisegundos, ya que la carga del condensador se fuga gradualmente.

(Harris, Harris, 2022, p 268 )

**Aplicaciones de los arreglos de memoria en los sistemas de cómputo:**

**Conjuntos de registros:**

Los sistemas digitales a menudo utilizan una serie de registros para almacenar variables temporales. Este grupo de registros, llamado archivo de registro, generalmente se construye como una pequeña matriz SRAM multipuerto porque es más compacta que una matriz de flip-flops. En algunos archivos de registro, una entrada determinada, como el registro 0, está programada para leer siempre el valor 0 porque 0 es una constante de uso común. La Figura 5.49 muestra un archivo de registro de tres puertos de 32 × 32 bits construido a partir de la memoria de tres puertos de la Figura 5.45. El archivo de registro tiene dos puertos de lectura (A1/RD1 y A2/RD2) y un puerto de escritura (A3/WD3). Las direcciones de 5 bits (A1, A2 y A3) pueden acceder a los 25 = 32 registros. Por lo tanto, se pueden leer dos registros y escribir un registro simultáneamente

(Harris, Harris, 2022, p 269 )

**Memoria cache:**

La DRAM podía seguir el ritmo de los procesadores de la década de 1970 y principios de la de 1980, pero ahora es lamentablemente demasiado lenta. El tiempo de acceso a la DRAM es de uno a dos órdenes de magnitud más largo que el tiempo de ciclo del procesador (decenas de nanosegundos, en comparación con menos de un nanosegundo). El rendimiento de DRAM es bueno, del orden de 30 GB/s. Para contrarrestar esta tendencia, las computadoras almacenan las instrucciones y los datos más utilizados en una memoria más rápida pero más pequeña, llamada **caché**. La caché generalmente se construye a partir de SRAM en el mismo chip que el procesador. La velocidad de la caché es comparable a la velocidad del procesador porque la SRAM es inherentemente más rápida que la DRAM y porque la memoria del chip elimina los largos retrasos causados por el viaje hacia y desde un chip separado.

(Harris, Harris, 2022, p 501 )

**Memoria principal:**

Memoria primaria (MP), memoria principal, memoria central o memoria interna es la memoria de la [computadora](https://es.wikipedia.org/wiki/Computadora) donde se almacenan temporalmente tanto los datos como los programas que la [unidad central de procesamiento](https://es.wikipedia.org/wiki/Unidad_central_de_procesamiento) ([CPU](https://es.wikipedia.org/wiki/Central_Processing_Unit)) está procesando o va a procesar en un determinado momento. Por su función, la MP debe ser inseparable del [microprocesador](https://es.wikipedia.org/wiki/Microprocesador) o CPU, con quien se comunica a través del [bus de datos](https://es.wikipedia.org/wiki/Bus_de_datos) y el [bus de direcciones](https://es.wikipedia.org/wiki/Bus_de_direcciones). El ancho del [bus](https://es.wikipedia.org/wiki/Bus_(inform%C3%A1tica)) determina la capacidad que posea el microprocesador para el direccionamiento de direcciones en memoria.

Memoria principal - >Wikipedia

<https://es.wikipedia.org/wiki/Memoria_principal>

**Memoria de almacenamiento:**

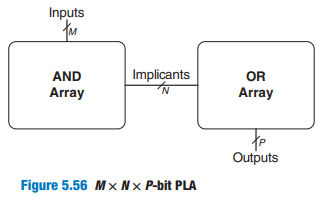
Mientras la memoria se refiere a la ubicación de los datos a corto plazo, el almacenamiento es el componente de su computadora que le permite almacenar y acceder a datos a largo plazo. Usualmente, el almacenamiento se da en forma de una unidad de estado sólido o un disco duro. El almacenamiento le permite acceder y almacenar sus aplicaciones, sistema operativo y archivos por un tiempo indefinido.

La diferencia entre memoria y almacenamiento en computadoras – Kingston - <https://www.kingston.com/latam/community/articledetail/articleid/29689>

**Circuitos integrados lógicos programables**

**Programmable Logic Array (PLA)**

Los PLA implementan la lógica combinacional de dos niveles en forma de suma de productos (SOP). Los PLA se construyen a partir de una matriz AND seguida de una matriz OR, como se muestra en la Figura 5.56.



Las entradas (en forma verdadera y complementaria) impulsan una matriz AND, que produce implicantes. Los implicantes, a su vez, se unen para formar las salidas. Un PLA de × N × bit P tiene M entradas, N implicantes y P salidas.

(Harris, Harris, 2022, p 275 )

**Ejemplo comerciale de PLA:**

* **Motorola MC10H156**: Un dispositivo PLA con una arquitectura básica de 24 entradas y 12 salidas. Su velocidad de operación es de alrededor de 12 ns y es adecuado para lógica combinacional simple y aplicaciones en sistemas de control básico.

**Generic Array Logic (GAL)**

El dispositivo **Generic Array Logic** (también conocido como **GAL** y, a veces, como gate array logic [[ 1 ]](https://en.wikipedia.org/wiki/Generic_Array_Logic#cite_note-1) ) fue una innovación del [PAL](https://en.wikipedia.org/wiki/Programmable_Array_Logic) y fue inventado por [Lattice Semiconductor](https://en.wikipedia.org/wiki/Lattice_Semiconductor" \o "Lattice Semiconductor) . El GAL fue una mejora del PAL porque un tipo de dispositivo podía reemplazar a muchos tipos de dispositivos PAL o incluso podía tener una funcionalidad no cubierta por la gama original de dispositivos PAL. Sin embargo, su principal beneficio era que se podía borrar y reprogramar, lo que facilitaba a los ingenieros la creación [de prototipos](https://en.wikipedia.org/wiki/Prototyping) y los cambios de diseño.

Generic Array Logic – Wikipedia-

<https://en.wikipedia.org/wiki/Generic_Array_Logic>

**Ejemplo comercial de GAL:**

* **Lattice GAL22V10**: Ofrece 22 entradas y 10 salidas configurables. Es reprogramable y tiene una velocidad típica de operación de 7.5 ns, con una capacidad de almacenamiento no volátil. Se usa en controladores de sistemas embebidos y lógica de decodificación.

**Field Programmable Gate Array (FPGA)**

Una FPGA es una matriz de puertas reconfigurables. Usando herramientas de programación de software, un usuario puede implementar diseños en la FPGA empleando un HDL o un esquema. Las FPGA son más potentes y flexibles que las PLA por varias razones. Pueden implementar tanto la lógica combinacional como la secuencial. También pueden implementar funciones lógicas de varios niveles, mientras que los PLA solo pueden implementar lógica de dos niveles. Las FPGA modernas integran otras características útiles, como multiplicadores incorporados, E/S de alta velocidad, convertidores de datos que incluyen convertidores de analógico a digital, grandes matrices de RAM y procesadores.

(Harris, Harris, 2022, p 276 )

**Ejemplo comercial de FPGA:**

* **Xilinx Spartan-6**: Diseñado para aplicaciones de bajo costo y consumo. Cuenta con hasta 150 mil celdas lógicas, varias unidades DSP, y capacidades avanzadas de procesamiento en paralelo. Su rango de velocidad varía entre 50-200 MHz y se usa en aplicaciones de procesamiento de video, comunicaciones y control.

**Bloques de memoria disponibles en la familia de FPGA iCE40 de Lattice Semiconductor.**

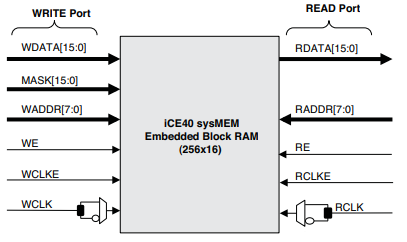
¿Que es?

iCE40 sysMEM Bloque integrado de RAM

Cada dispositivo iCE40 incluye múltiples EBR síncronos de alta velocidad, cada uno de 4 Kbit de tamaño. Un solo dispositivo iCE40 integra entre ocho y 32 bloques de este tipo. Cada EBR es un archivo de registro de dos puertos de 256 palabras de profundidad por 16 bits de ancho, como se ilustra en la Figura 2. Las conexiones de entrada y salida hacia y desde un EBR alimentan los recursos de interconexión programables

Características más importantes

Figura 2. RAM de bloque integrado sysMEM



Mediante el uso de recursos lógicos programables, un EBR implementa una variedad de funciones lógicas, cada una con anchos de datos de entrada y salida configurables.

• Memoria de acceso aleatorio (RAM):

-RAM de un solo puerto con una dirección, habilitación y líneas de control de reloj comunes

-RAM de dos puertos con líneas de control de lectura y escritura separadas, entradas de dirección y habilitación

• RAM de archivo de registro y bloc de notas

• Memoria FIFO (First-In, First-Out) para aplicaciones de almacenamiento en búfer de datos

• ROM de 256 por 16 de ancho con salidas registradas; contenidos cargados durante la configuración

• Contadores, secuenciadores

Como se muestra en la Figura 2, un EBR tiene puertos de escritura y lectura separados, cada uno con señales de control independientes. En la Tabla 1 se enumeran las señales para ambos puertos. Además, el puerto de escritura tiene un control de habilitación de escritura de línea de bits activo-bajo; Opcionalmente, enmascare las operaciones de escritura en bits individuales. De forma predeterminada, los datos de entrada y salida tienen un ancho de 16 bits, aunque el ancho de los datos se puede configurar mediante lógica programable y, si es necesario, varios EBR.

Las entradas WCLK y RCLK se conectan opcionalmente a una de las siguientes fuentes de reloj:

• La salida de cualquiera de los ocho búferes globales, o

• Una conexión desde la estructura de interconexión de propósito general

**Materiales y Métodos**

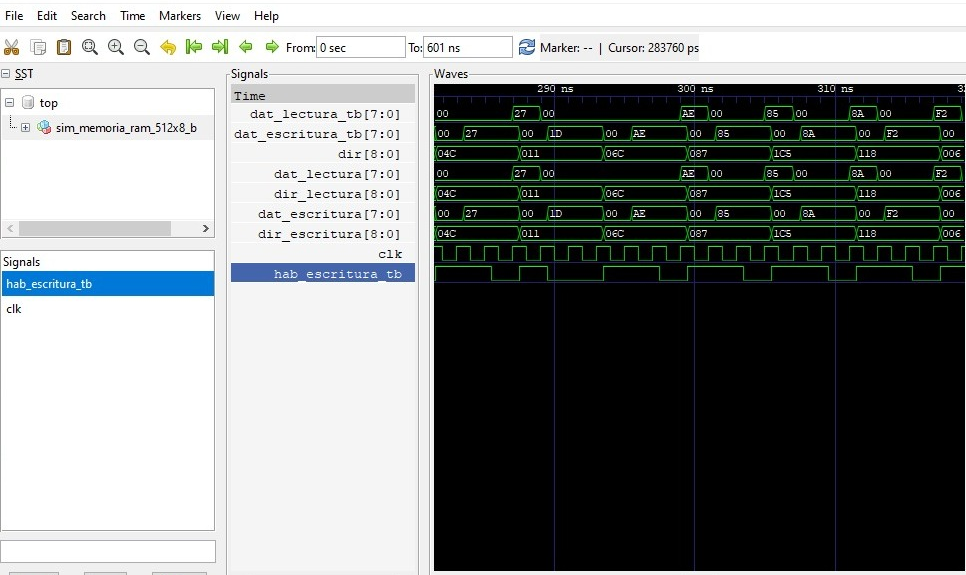
Para realizar la descripción de hardware en VHD de diseñar una memoria necesito saber las especificaciones de la memoria el tamaño de la memoria, también que puertos va a tener (puerto de escritura , puerto de lectura (ambas con habilitaciones se los piden también ) ) , la cantidad de líneas de dirección y la cantidad de línea de datos , para así diseñar la arquitectura y sus procesos

Dado que yo estudie en que en FPGA la memoria que hay son de puerto sincrónico tanto la de escritura como lectura la que describa tiene que ser también de puerto sincrónico de lectura y escritura, el puerto sincrónico es como un reloj.

El diseño de memoria será sincrónico, así que la memoria debe ser sintetizable

**Resultados**

* Memoria RAM 512x8 bit con dos puertos sincrónicos, uno de lectura y uno de escritura.



* Memoria RAM de dos puertos de 256x32 bit donde el puerto de escritura permite de media palabra (16 bit) y byte (8 bit).
* Conjunto de registros de 32x32 bit de tres puertos, dos de lectura y uno de escritura.

**Conclusiones**

En este proyecto el investigar sobre las memorias y la descripción de hardware de esas memorias

**Referencias**

Sarah L. Harris y David Money Harris (2022). Digital Design and Computer Architecture. RISC-V Edition

John F. Wakerly (2006). Digital Design [ Principles and Practices Fourth Edition