

ASSIGNMENT 9

Name: Nuaim Mohammed Chemnad Lasiyath

Roll No.: CS22B1024

Q1)

Modules:

```
module circuit(a,b,c,x);
    input a,b,c;
    output x;
    wire na,nb,nc;
    wire t0,t1,t2,t3,t4,t5,t6;
    not(na,a);
    not(nb,b);
    not(nc,c);
    and(t0,a,nb);
    and(t1,nb,c);
    and(t2,a,c);
    and(t3,na,b);
    and(t4,t3,nc);
    or(t5,t4,t2);
    or(t6,t5,t1);
    or(x,t6,t0);
endmodule
```

Testbench:

```
module top;

    reg a,b,c;
    wire o;

    circuit circuit(.a(a),.b(b),.c(c),.x(o));

    initial begin
        $display("a b c o");
        $monitor("%b %b %b %b",a,b,c,o);
        a=1'b0;
        b=1'b0;
        c=1'b0;
        #5
        a=1'b0;
        b=1'b0;
        c=1'b1;
        #5
        a=1'b0;
        b=1'b1;
        c=1'b0;
        #5
        a=1'b0;
```

```

        b=1'b1;
        c=1'b1;
        #5
        a=1'b1;
        b=1'b0;
        c=1'b0;
        #5
        a=1'b1;
        b=1'b0;
        c=1'b1;
        #5
        a=1'b1;
        b=1'b1;
        c=1'b0;
        #5
        a=1'b1;
        b=1'b1;
        c=1'b1;
    end

endmodule

```

Execution:

a	b	c	o
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Q2)

Modules:

```

module circuit2(a,b,c,d,e,f,g,x);
    input a,b,c,d,e,f,g;
    output x;

    wire ab,nc,ncd,ne,ncdne,nf,nfg,nnfg,abncdne;

    and(ab,a,b);
    not(nc,c);
    and(ncd,nc,d);
    not(ne,e);
    and(ncdne,ncd,ne);
    not(nf,f);
    xor(nfg,nf,g);
    not(nnfg,nfg);
    and(abncdne,ab,ncdne);
    and(x,abncdne,nnfg);
endmodule

```

Testbench:

```
module top;
    reg a,b,c,d,e,f,g;
    wire o;
    circuit2 circuit2(a,b,c,d,e,f,g,o);

    initial begin
        $display("a b c d e f g output");
        $monitor("%b %b %b %b %b %b %b \t\b",a,b,c,d,e,f,g,o);

        a=1'b0;
        b=1'b0;
        c=1'b0;
        d=1'b0;
        e=1'b0;
        f=1'b0;
        g=1'b0;
        #5

        a=1'b0;
        b=1'b0;
        c=1'b0;
        d=1'b0;
        e=1'b0;
        f=1'b0;
        g=1'b1;
        #5

        a=1'b0;
        b=1'b0;
        c=1'b0;
        d=1'b0;
        e=1'b0;
        f=1'b1;
        g=1'b0;
        #5

        a=1'b0;
        b=1'b0;
        c=1'b0;
        d=1'b0;
        e=1'b1;
        f=1'b0;
        g=1'b0;
        #5

        a=1'b0;
        b=1'b0;
        c=1'b0;
        d=1'b1;
        e=1'b0;
        f=1'b0;
        g=1'b0;
        #5

        a=1'b0;
```

```
b=1'b0;  
c=1'b1;  
d=1'b0;  
e=1'b0;  
f=1'b0;  
g=1'b0;  
#5  
a=1'b0;  
b=1'b1;  
c=1'b0;  
d=1'b0;  
e=1'b0;  
f=1'b0;  
g=1'b0;  
#5  
a=1'b1;  
b=1'b0;  
c=1'b0;  
d=1'b0;  
e=1'b0;  
f=1'b0;  
g=1'b0;  
#5  
a=1'b1;  
b=1'b1;  
c=1'b0;  
d=1'b1;  
e=1'b0;  
f=1'b0;  
g=1'b1;  
#5  
a=1'b1;  
b=1'b1;  
c=1'b1;  
d=1'b1;  
e=1'b1;  
f=1'b1;  
g=1'b1;
```

```
end
```

```
endmodule
```

Execution:

a	b	c	d	e	f	g	output
0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	1	1	1	1	0

Q3)

Modules:

```
module circuit3 (a,b,c,x);
    input a,b,c;
    output x;
    assign x=(a*b)+(b*c)+(a*c);
endmodule
```

Testbench:

```
module top;
    reg a,b,c;
    wire o;
    circuit3 circuit3(a,b,c,o);
    initial begin
        $display("a b c output");
        $monitor("%b %b %b \t%",a,b,c,o);
        a=1'b0;
        b=1'b0;
        c=1'b0;
        #5
        a=1'b0;
        b=1'b0;
        c=1'b0;
        #5
        a=1'b0;
        b=1'b1;
        c=1'b1;
        #5
        a=1'b1;
        b=1'b1;
        c=1'b1;
        #5
        a=1'b1;
        b=1'b0;
        c=1'b0;
        #5
        a=1'b1;
        b=1'b0;
        c=1'b0;
    end
endmodule
```

```
        c=1'b1;  
        #5  
        a=1'b1;  
        b=1'b1;  
        c=1'b0;  
        #5  
        a=1'b1;  
        b=1'b1;  
        c=1'b1;  
    end  
endmodule
```

Execution:

a	b	c	output
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1