

# 南京理工大学课程考试试卷（学生考试用）

课程名称: 数字逻辑电路 学分: 3.5 大纲编号: 04026304

试卷编号: 2021 年上 A 考试方式: 闭卷 满分分值: 100 考试时间: 120 分钟

组卷日期: 2021 年 6 月 22 日 组卷教师(签字): 集体 审定人(签字): \_\_\_\_\_

学生班级: \_\_\_\_\_ 学生学号: \_\_\_\_\_ 学生姓名: \_\_\_\_\_

**考生注意: 请把所有答案写在答题纸上, 试卷上写好姓名和答题纸一起上交。**

## 一、填空题(每空 2 分, 共 12 分)

1. 逻辑函数  $F_1(A,B,C)=\sum m(2,3,4)$ ,  $F_2(A,B,C)=\prod M(2,3)$ , 当输入信号 ABC 是( )时,  $F_1(A,B,C)$ 和 $F_2(A,B,C)$ 的取值相等。

2. 图 1 所示的 CMOS 门电路中, 若  $V_1$  输入高电平,  $V_2$  输入低电平, 则输出信号 F 的状态是( )。

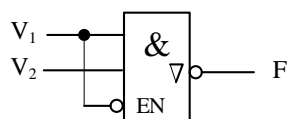


图 1

X	Y	$Q^{n+1}$
0	0	$\overline{Q}^n$
0	1	1
1	0	$\overline{Q}^n$
1	1	0

图 2

3. 已知某存储单元电路的特性表如图 2 所示(X、Y 为驱动信号), 则该电路状态方程的最简与或表达式为( )。

4. 用 PROM 实现一个能将 4 位二进制数转换为 4 位格雷码的代码转换电路, 所需 PROM 的最小容量为( )位。

5. 10 线—4 线优先编码器 74147 是最高位优先编码电路( $\overline{I}_9$  优先级最高), 输入低电平为有效电平, 输出为 8421BCD 码的反码。则当输入  $\overline{I}_1\overline{I}_2\overline{I}_3\overline{I}_4\overline{I}_5\overline{I}_6\overline{I}_7\overline{I}_8\overline{I}_9=110100011$  时, 输出  $\overline{Y}_3\overline{Y}_2\overline{Y}_1\overline{Y}_0$  为( )。

6. 一个 8 位 D/A 转换器的输入二进制码为 00010000 时产生 0.32V 的输出电压, 那么当输出的电压为 2.72V 时对应的输入二进制码为( )。

## 二、判断题(每题 2 分, 共 12 分)(叙述正确的题目填√, 叙述错误的题目填×)

1. 一个 1 分 10 的数据分配器, 至少需要 10 位地址码。( )

2. 逻辑函数  $F(A,B,C,D)=\overline{A}B+\overline{A}D+BC$ , 且  $\overline{A}+B=1$ , 则其最简的或非-或非表达式为  $\overline{\overline{A}+C+B+D}$ 。( )

3. 将三态门的输出端直接连在一起可以实现线与的功能。( )

4. 用上升边沿触发的 T' 触发器( $Q^{n+1}=\overline{Q}^n$ )串接形成异步二进制减法计数器时, 高位触发器的时钟脉冲  $CLK_i$  应接低位触发器的  $\overline{Q}_{i-1}$  输出端。( )

5. 对 8 片容量为  $2^8 \times 8$  位的 RAM 进行容量扩展, 扩展后的 RAM 最多可以有 11 条地址线。( )

6. 一个 10 位的 A/D 转换器在量化过程中可以采用只舍不入和有舍有入两种方式, 这两种量化方式的最大量化误差是一样的。( )

三、（共 12 分）按要求完成以下组合逻辑电路的分析和设计。

1. 分析图 3（a）所示组合逻辑电路，列出逻辑函数  $X(A, B, C)$  和  $Y(A, B, C)$  的真值表；
2. 仅用图 3（b）所提供的 3 线—8 线二进制译码器和门电路，实现逻辑函数  $F_1(A, B, C) = \overline{A}\overline{B} + \overline{A}C$  和  $F_2(A, B, C) = \sum m(0, 1, 2, 3, 4)$ ，要求画出电路图。

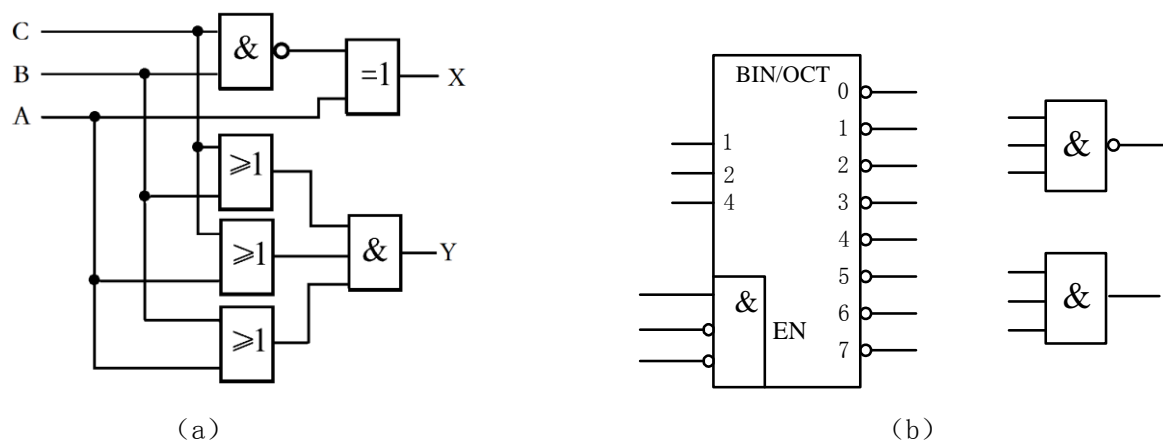
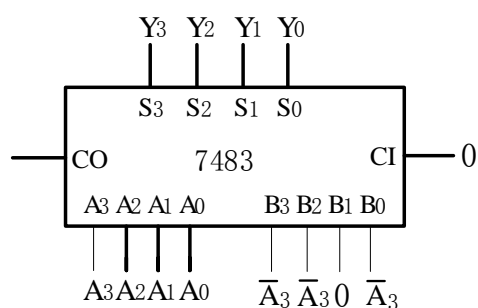


图 3

四、（共 12 分）7483 是 4 位二进制加法器，其中  $A_3A_2A_1A_0$  是一组加数， $B_3B_2B_1B_0$  是另一组加数，CI 为进位输入端， $S_3S_2S_1S_0$  为和，CO 为向高位的进位信号。

1. 分析图 4（a）所示电路，该电路的输入信号  $A_3A_2A_1A_0$  为余 3BCD 码，请列出  $Y_3Y_2Y_1Y_0$  与  $A_3A_2A_1A_0$  的代码转换关系表；
2. 仅用一片 7483 设计一个代码转换电路，该电路的输入信号  $X_3X_2X_1X_0$  为 8421BCD 码，输出信号为  $Z_3Z_2Z_1Z_0$ ，代码转换关系表如图 4（b）所示。要求写出设计过程，画出电路图。



（a）

	$X_3X_2X_1X_0$	$Z_3Z_2Z_1Z_0$
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 1 0 0
4	0 1 0 0	0 1 1 0
5	0 1 0 1	0 1 1 1
6	0 1 1 0	1 0 0 1
7	0 1 1 1	1 0 1 0
8	1 0 0 0	1 1 0 0
9	1 0 0 1	1 1 0 1

（b）

图 4

五、（共 16 分）图 5 是由 JK 触发器（ $Q^{n+1} = JQ^n + \bar{K}Q^n$ ）和 D 触发器（ $Q^{n+1} = D$ ）所构成的同步时序逻辑电路，分析电路并完成以下要求：

1. 写出电路中各触发器的驱动方程；
2. 写出各触发器的状态方程；
3. 列出状态表(要求按  $Q_0Q_1Q_2$  的顺序列表)；
4. 画出状态图(要求按  $Q_0Q_1Q_2 \longrightarrow$  的格式画图)。

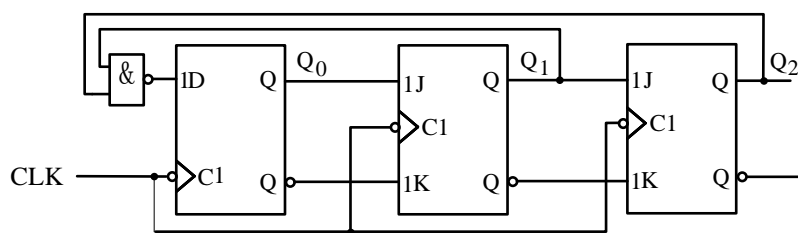
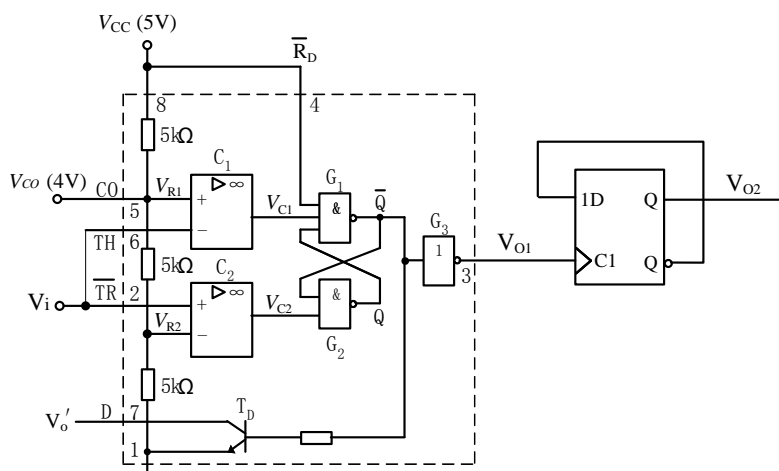


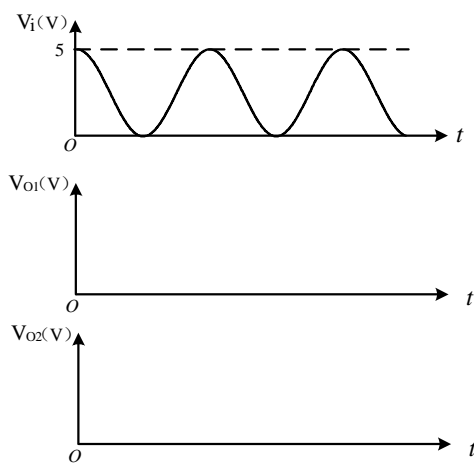
图 5

六、（共 12 分）图 6（a）是由 555 定时器所构成的波形变换电路，分析电路并完成以下要求：

1. 画出图 6（a）所示电路中 555 定时器的电压传输特性曲线（ $V_{O1} = f(V_i)$ ）；并在曲线上标明该电路的  $V_{T+}$ （上触发电平或正向阈值电压）和  $V_{T-}$ （下触发电平或负向阈值电压）的电压值各是多少？
2. 输入信号  $V_i$  波形如图 6（b）所示，设触发器的初始状态为 0，画出输出信号  $V_{O1}$  和  $V_{O2}$  的波形，并标明相应的参数。
3. 如果输入信号  $V_i$  的频率为 400Hz，则  $V_{O1}$  和  $V_{O2}$  波形的频率分别是多少？



(a)



(b)

图 6

七、（共 12 分）图 7（a）是由一片 4 位移位寄存器 74194 辅以少量门电路所构成的一种移位寄存器型计数器电路（74194 功能表见图 7（c）），分析电路并完成以下要求：

1. 画出 74194 工作的完整状态图（画成  $Q_0Q_1Q_2Q_3 \rightarrow$  的形式）；
2. 设 74194 的初始状态  $Q_0Q_1Q_2Q_3$  为 0000，完成图 7（b）所示的时序波形图。

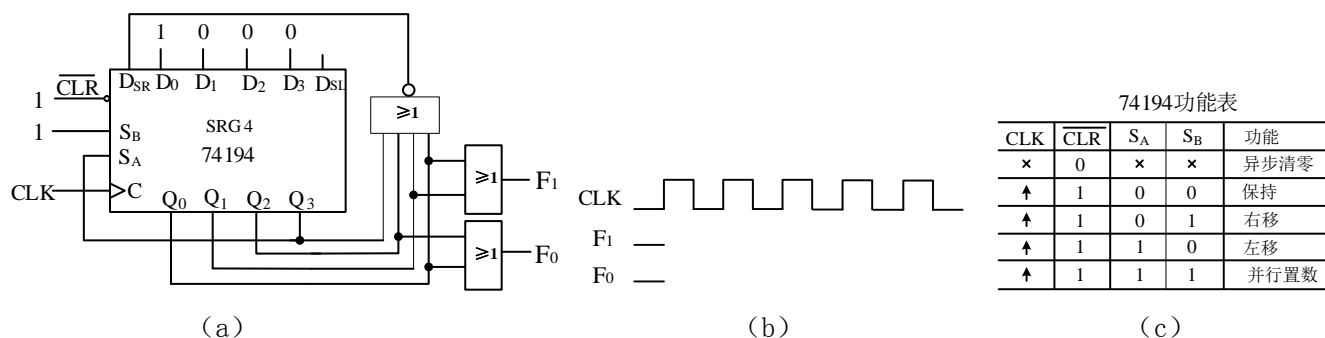
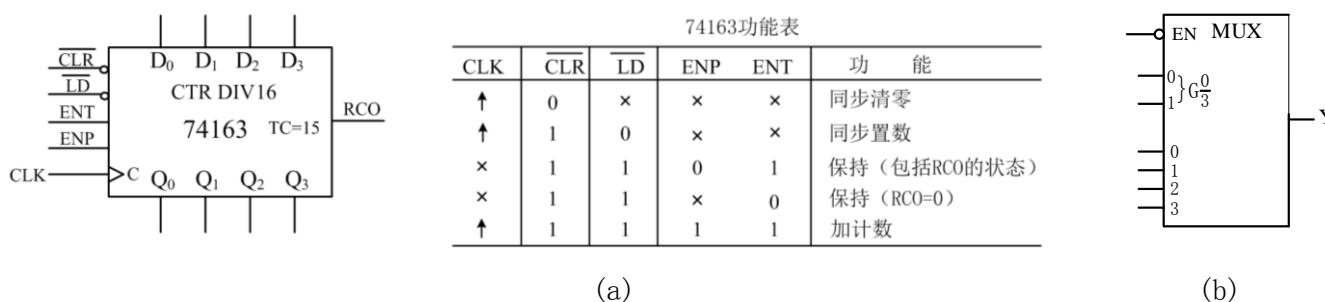


图 7

八、（共 12 分）74163 是 4 位二进制同步加法计数器，其逻辑符号及功能表如图 8（a）所示，完成以下要求：

1. 用一片 74163 和少量门电路设计一个模 8 计数器，此计数器的有效循环输出状态为：3→4→5→6→11→12→13→14→……。 （计数器的输出状态是指 74163 的  $Q_3Q_2Q_1Q_0$  所对应的十进制数，例如： $Q_3Q_2Q_1Q_0=1100$ ，即为 12）
2. 用一片 74163、一个 4 选 1 数据选择器、两个 2 输入端与非门设计一个多功能的计数电路，该电路在信号  $S_1$  和  $S_0$  的控制下可以完成如图 8（c）所示有效计数状态。请写出该计数电路的设计过程，并画出电路图。（4 选 1 数据选择器的逻辑符号如图 8（b）所示）



S1	S0	计数器输出 $Q_3Q_2Q_1Q_0$ 的状态	
0	0	0→1→2→3→4→5→6→7→8→9→10→……	
0	1	1→2→3→4→5→6→7→8→9→10→……	
1	0	2→3→4→5→6→10→11→12→13→14→……	
1	1	3→4→5→6→11→12→13→14→……	

(c)

图 8