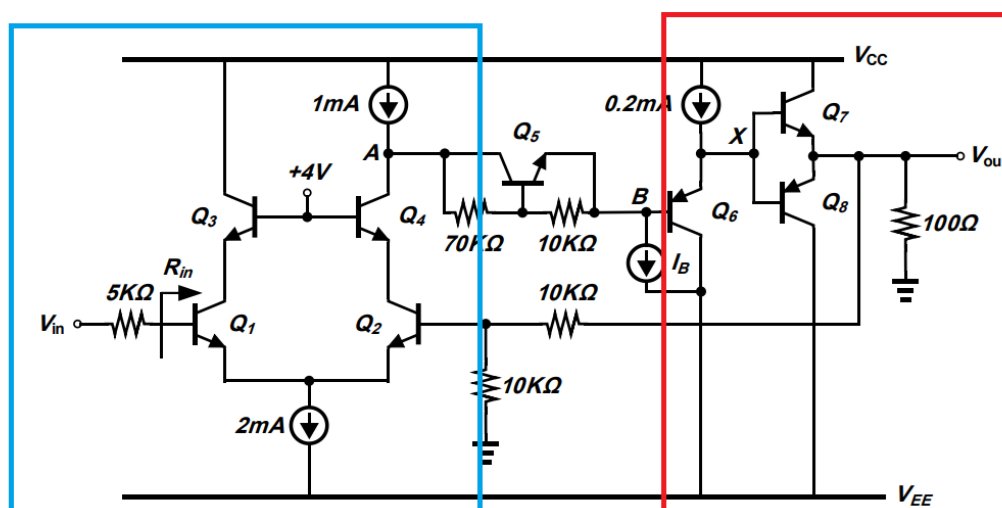


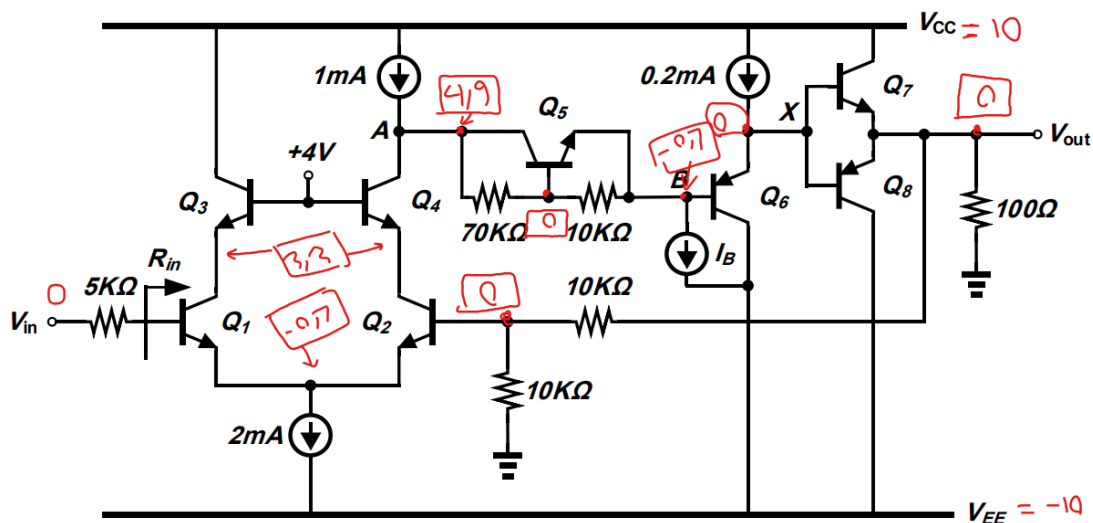
سوال ۱) طبقه ورودی با آبی مشخص شده و طبقه خروجی قرمز است.



سوال ۲)

ترانزیستور Q6 یک کامان کالکتور است یعنی ولتاژ به ما نمی دهد و فقط بافر است، ولی می تواند مقاومت دیده شده را بیشتر کند تا بهره طبقات قبل تحت الشعاع قرار نگیرد. منبع جریان برای تامین جریان مدار V_{be} multiplier قرار گرفته است، ترانزیستور Q5 برای بایاس است و به ما یک ولتاژ ثابت می دهد ولی این در صورتی است که روشن باشد و ولتاژ $V_{be(on)}$ روی بیس امیتر آن باشد، پس برای اطمینان از بایاس مدار یک منبع جریان قرار می دهیم تا از همیشه روشن بودن آن مطمئن شویم. جریان بیس Q6 احتمالاً ناچیز خواهد بود پس نگران آن نیستیم.

برای تعیین مقدار جریان از یک طرف بیش از حد قرار دادن آن توان تلفی را بالا می برد و از طرف دیگر اگر جریان کم باشد ممکن است جریان بیس Q6 آن را خراب کند یا شرایط طوری شود که Q5 خاموش شود. با فرض روشن بودن آن مدار را بایاس می کنیم تا به اردر جریان های گذرنده برسیم :



می بینیم که جریان I_B را ۲٪ میلی آمپر از مقاومت های کنار Q_5 می گذرد. برای یک تخمین سر انگشتی و وجود جای کافی می توانیم جریان I_B را ۲٪ میلی آمپر در نظر بگیریم تا از روشن بودن آن مطمئن باشیم. حالا با توجه به این مقادیر بایاس را در سوال بعد کامل میکنیم :

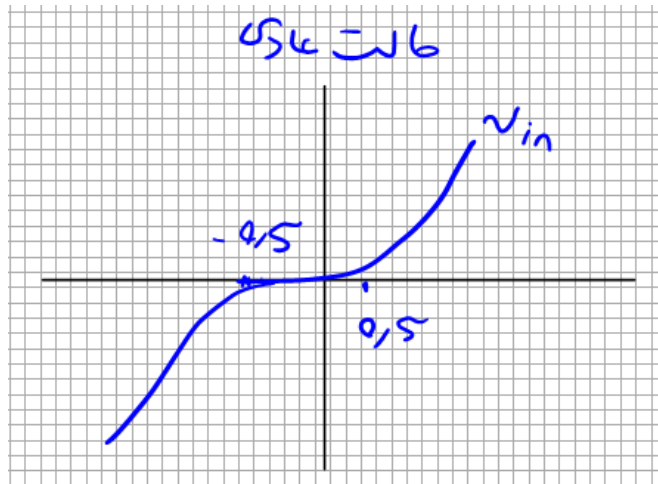
سوال ۳)

مطابق شکل بالا داریم:

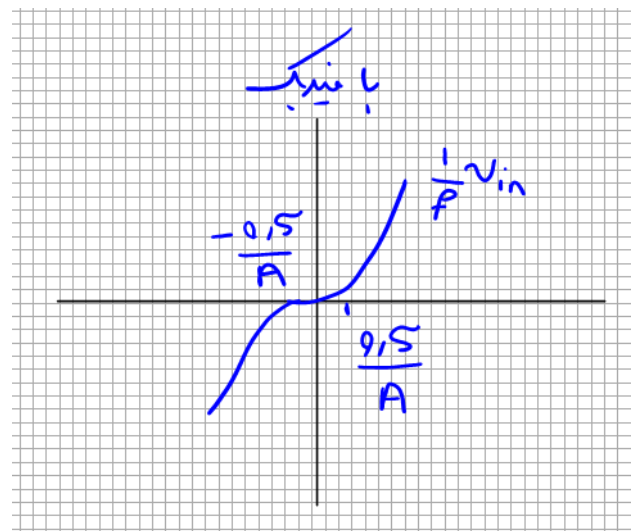
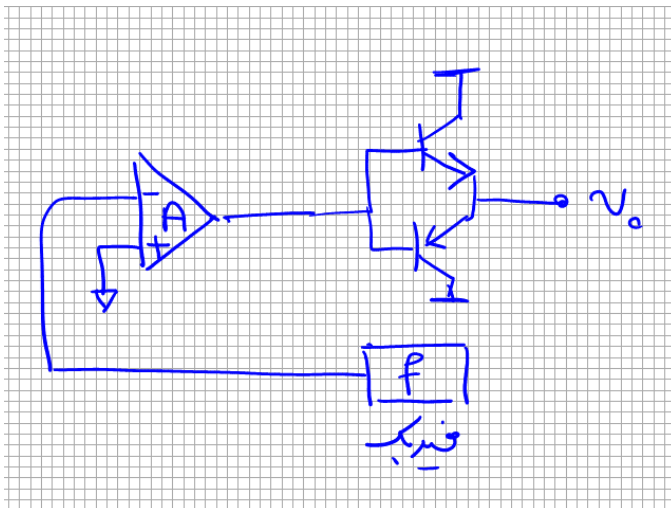
Q:	1	2	3	4	5	6	7	8
$I_c(\text{mA})$	0.1	0.1	0.1	0.1	0.13	0.2	0	0
$V_{ce}(\text{V})$	4	4	6.7	1.6	5.6	10	10	10

که البته بایاس طبقه خروجی بخاطر بزرگ بودن سیگنال ها وابسته به ورودی است و ممکن است تغییر کند ولی با فرض صفر بودن دی سی در ورودی و خروجی به مقادیر بالا میرسیم. مقدار I_B هم ۲٪ میلی آمپر فرض شده است.

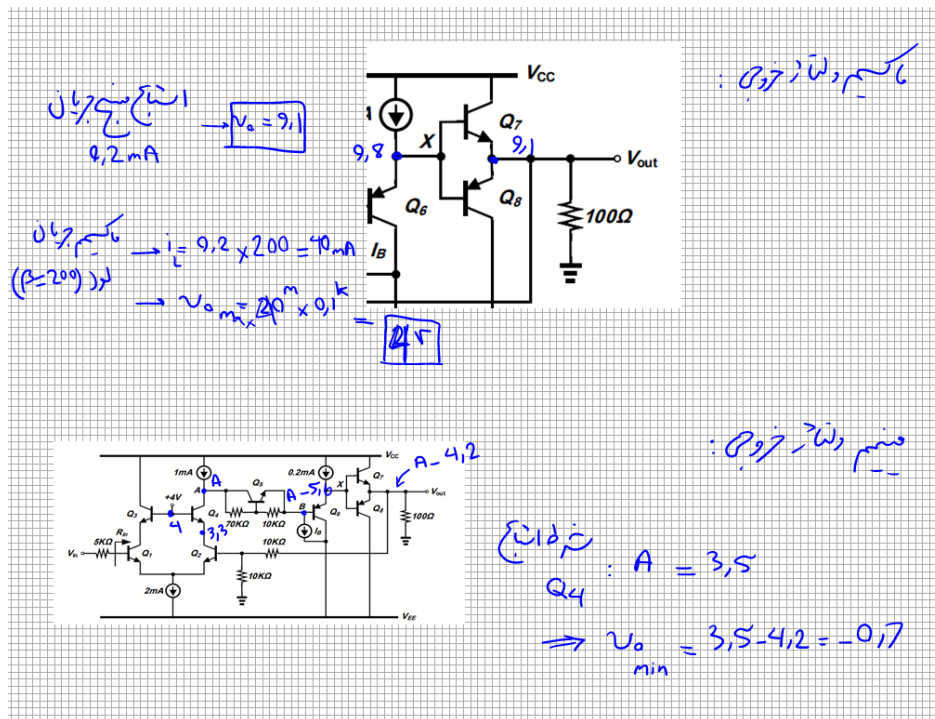
سوال ۴)



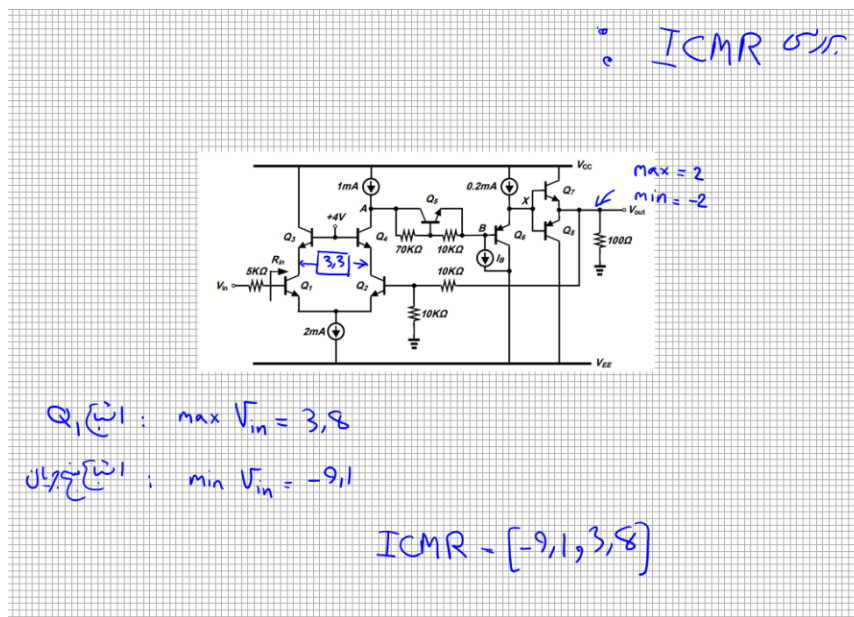
ناحیه مرده به این خاطر بوجود می آید که ترانزیستور Q7 در شرایطی روشن است که ولتاژ گره X از ۰.۷٪ بیشتر باشد (با فرض صفر بودن خروجی و خاموش بودن ترانزیستور قبل از آن -دقیقا اینطور نیست ولی تقریب خوبی است-) و در طرف مقابل Q8 در شرایطی فعال خواهد بود که ولتاژ گره X از ۰.۷٪ کمتر باشد. در این بین یعنی ۰.۷٪ تا هیچ کدام از ترانزیستورها روشن نیستند و در نتیجه سیگنالی از ورودی به خروجی نمیرسد که به اصطلاح به آن ناحیه مرده می گوییم. با اعمال یک فیدبک مناسب با استفاده از طبقات قبلی که گین خوبی داشته باشند می توانیم این ناحیه مرده را به حدی فشرده کنیم که در عمل دیده نشود (یعنی از منفی اپسیلون باشد تا مثبت اپسیلون، سیگنال آسیمی نبیند تقریباً) و حتی علاوه بر این یک گین $1/f$ هم روی کل مدار داشته باشیم. برای مثال مدار زیر می تواند گزینه خوبی باشد :



برای چک کردن شرط های سوئیچینگ هم باید ولتاژ ها را از نظر اشباع شدن ترانزیستور ها و منبع جریان ها چک کنیم و هم باید شرط جریان را چک کنیم تا بیشتر از جریانی که میشود در هر گره تامین کرد جریان مصرف نشود. در اینجا شرط جریان محدودیت اصلی را تعیین می کند:



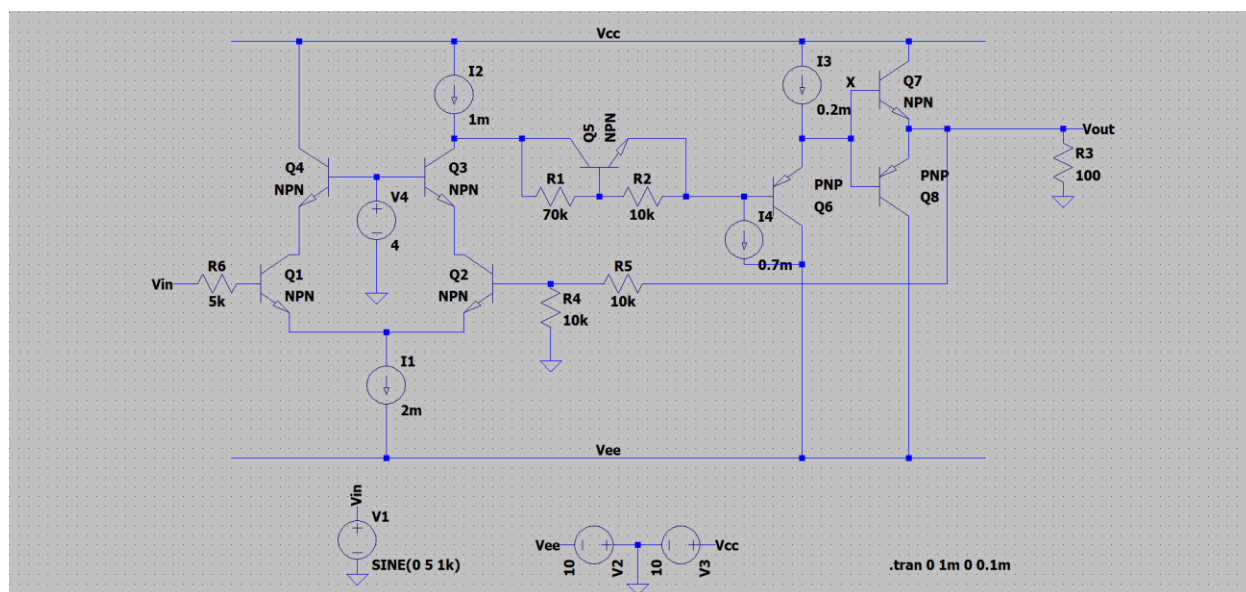
برای بررسی حداکثر مد مشترک ورودی هم :



سوال ۶)

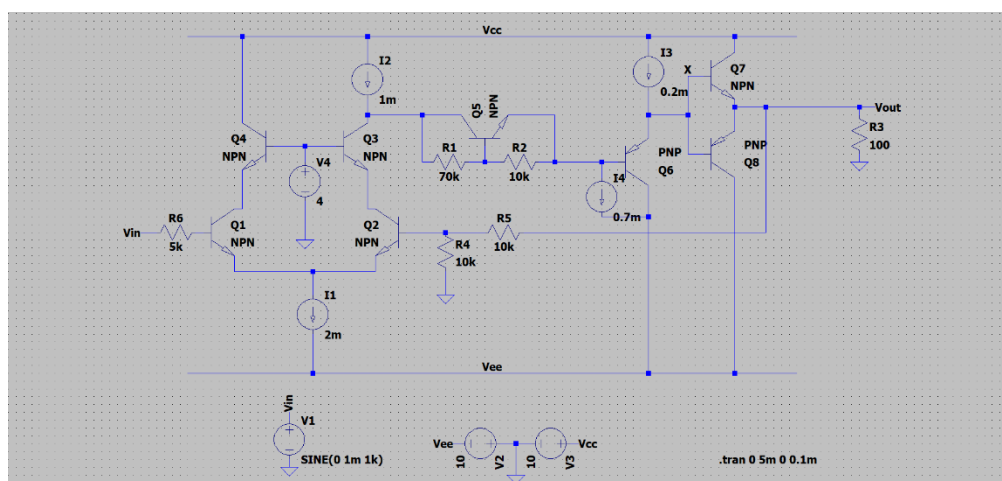
علت محدود شدن سوییچینگ همانطور که در محاسبات هم اشاره شد بخاطر کم بودن جریان قابل تامین توسط منابع جریان است. اگر منابع جریان بزرگتر داشتیم احتمالا سوییچینگ بهتری می گرفتیم. برای حد پایین، محدودیت اصلی بخاطر مقدار بایاس ۴ ولتی است که در طبقه دیفرانسیلی برای مقدار منبع جریان ها قرار دادیم.

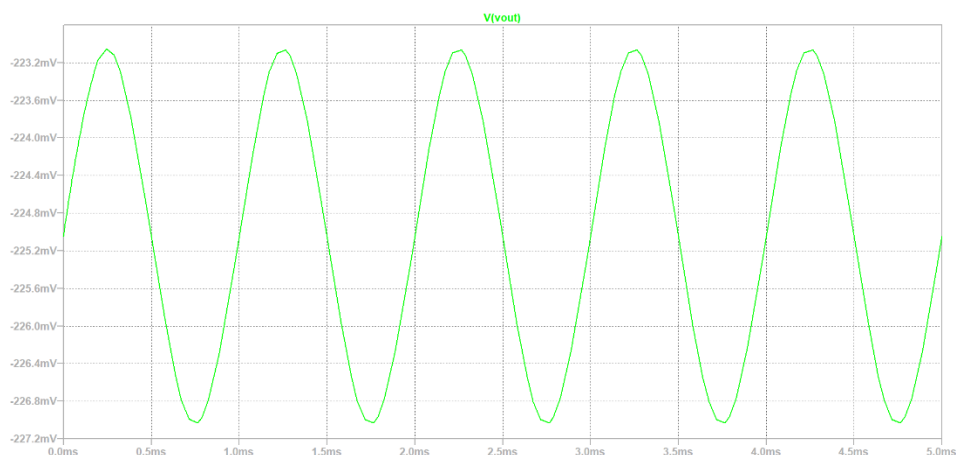
سوال ۸ ۷)



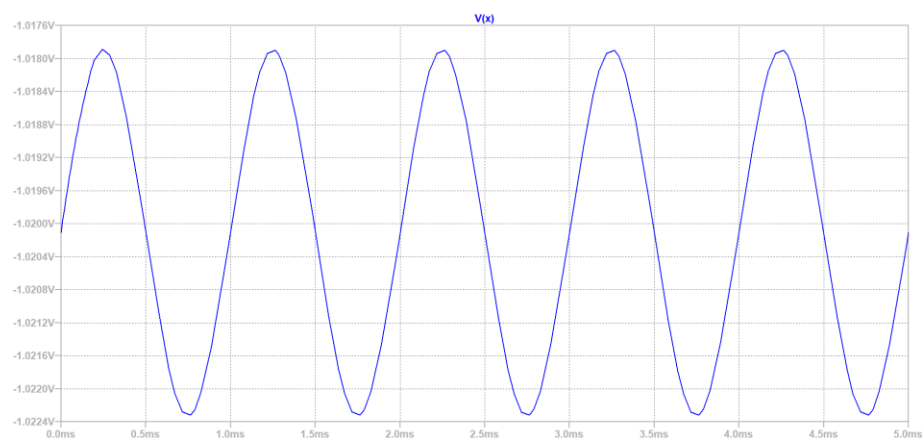
برای خطی تر شدن رفتار مدار و بهتر شدن خروجی مقدار I_b را روی ۷٪ ست کردیم تا خروجی تمیزتری بگیریم ولی بقیه موارد دقیقا همان مدار بالا است.

برای تعیین بهره مدار زیر را شبیه سازی می کنیم :



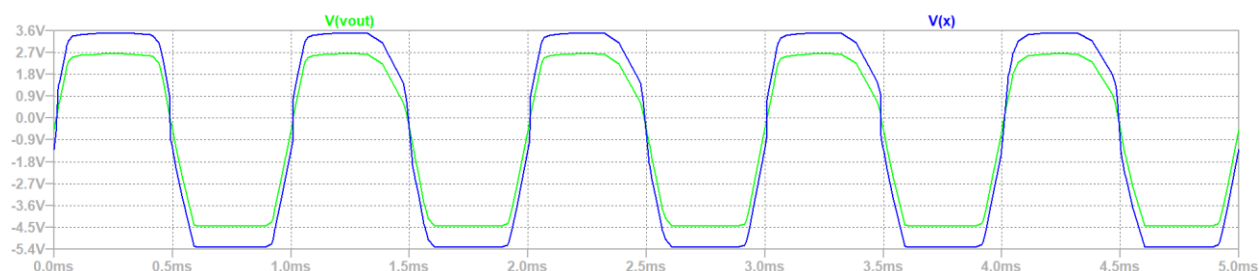
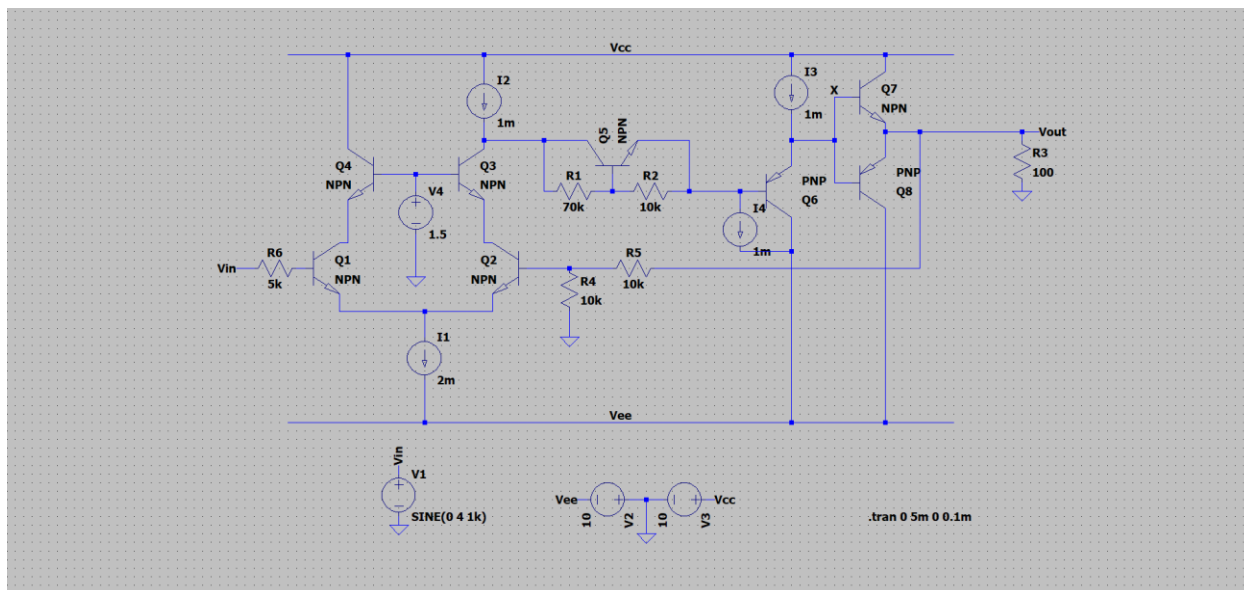


که دیده می شود که بهره کل تقریباً ۲ است ، یعنی همان $1/f$ که از مدار فیدبکی با بهره زیاد لوپ انتظار داشتیم.



همانطوری که در قسمت قبل هم انتظار داشتیم تنها تفاوت بین گره X و خروجی در دی سی است که حدود ۷٪ پایین تر است

سوال ۹) با توجه به اینکه عوامل محدود کننده در سویینگ را چک کردیم و دیدیم کدام منبع جریان ها و کدام ولتاژ ها محدود کننده هستند با کمی تغییر دادن پارامتر ها می توانیم به مدار زیر برسیم که سویینگ به نسبت بهتری می گیرد از مدار اولیه:

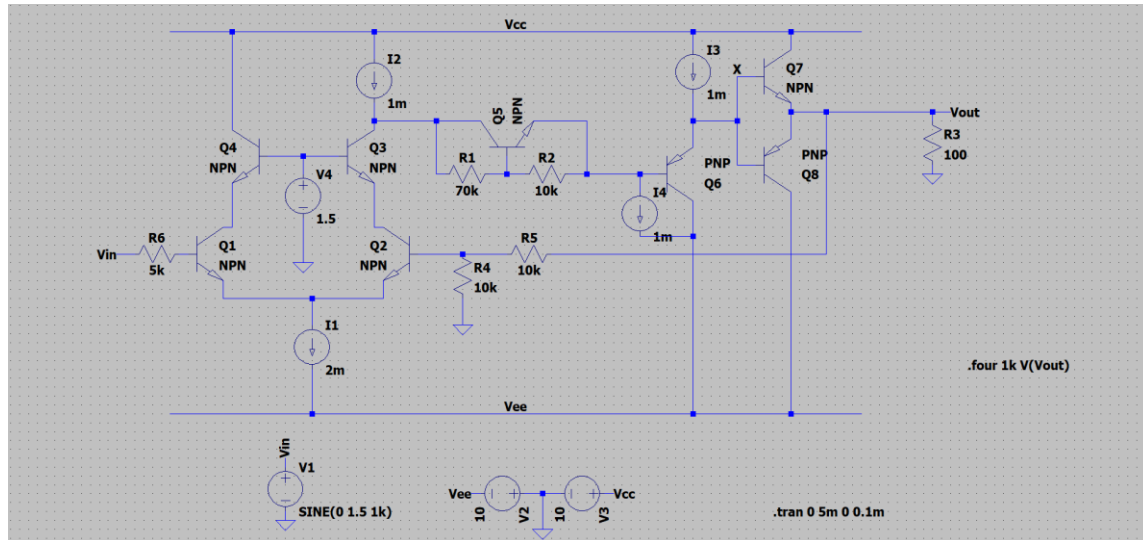


توانستیم سوینگ را از پایین خیلی بهتر کنیم ولی از بالا کمی محدود تر شدیم. در کل سوینگ متقارن پیک تو پیک بهبود قابل قبولی داشته است.

(سوال ۱۰)

یکی از مولفه هایی که می شود از طریق آن مقدار غیر خطی بودن یک مدار را بررسی کنیم THD یا total harmonic distortion است، یعنی اینکه اگر مثلاً یک ورودی با فرکانس f دادیم در سمت خروجی چقدر هارمونیک های دیگر $2f, 3f, \dots$ دیده شده است. یک تقویت کننده خطی ایده آل باید هیچ کدام از این هارمونیک ها را نداشته باشد و مقدار آن صفر باشد ولی در عمل هیچ مداری به صفر دست پیدا نمی کند چون ترانزیستور ها کلاً غیر خطی هستند و ما با تقریب های مختلف آنها را خطی در نظر می گیریم. برای مدار هایی مثل Class B که علاوه بر تقریبات سیگنال کوچک، مشخصه های غیر خطی دارند مقدار THD خیلی بالا است چون خطی نیستیم.

برای اینکه خود اسپایس برای ما مقدار THD را بدست آورد باید یک فوریه در مدار قرار دهیم. یعنی مدار را به این صورت تغییر بدهیم :



N-Period=1
Fourier components of V(vout)
DC component:-0.466206

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	2.915e+00	1.000e+00	0.40°	0.00°
2	2.000e+03	2.313e-02	7.934e-03	100.08°	99.67°
3	3.000e+03	2.468e-02	8.468e-03	-136.17°	-136.58°
4	4.000e+03	1.615e-02	5.540e-03	-113.31°	-113.71°
5	5.000e+03	9.745e-03	3.343e-03	-15.91°	-16.31°
6	6.000e+03	5.753e-03	1.974e-03	-152.67°	-153.07°
7	7.000e+03	8.195e-03	2.811e-03	41.01°	40.61°
8	8.000e+03	3.404e-03	1.168e-03	-45.97°	-46.37°
9	9.000e+03	1.377e-03	4.724e-04	92.81°	92.40°

Total Harmonic Distortion: 1.378106% (1.423154%)

بخش دوم :

سوال ۱) کسکد تا شده به صورت زیر است:

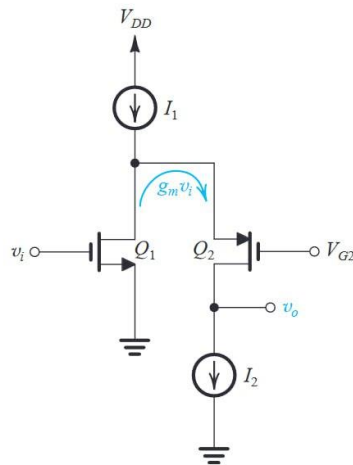
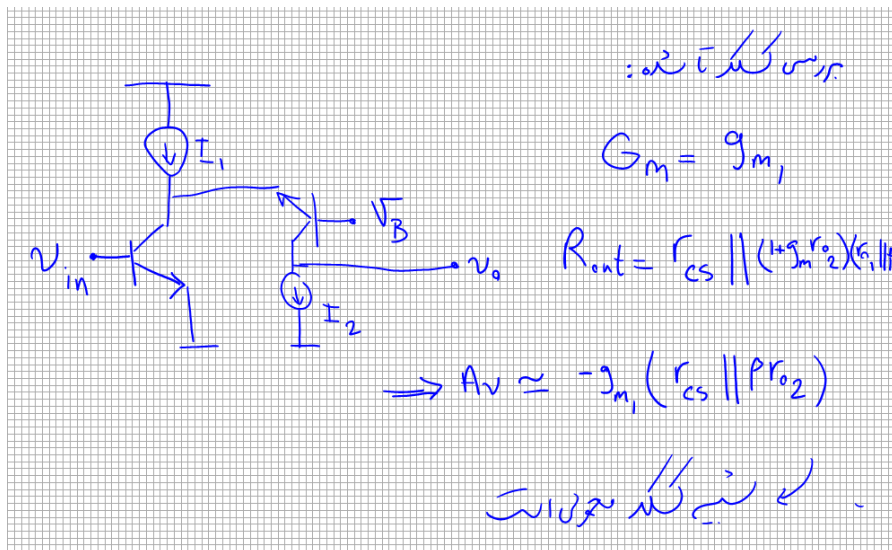
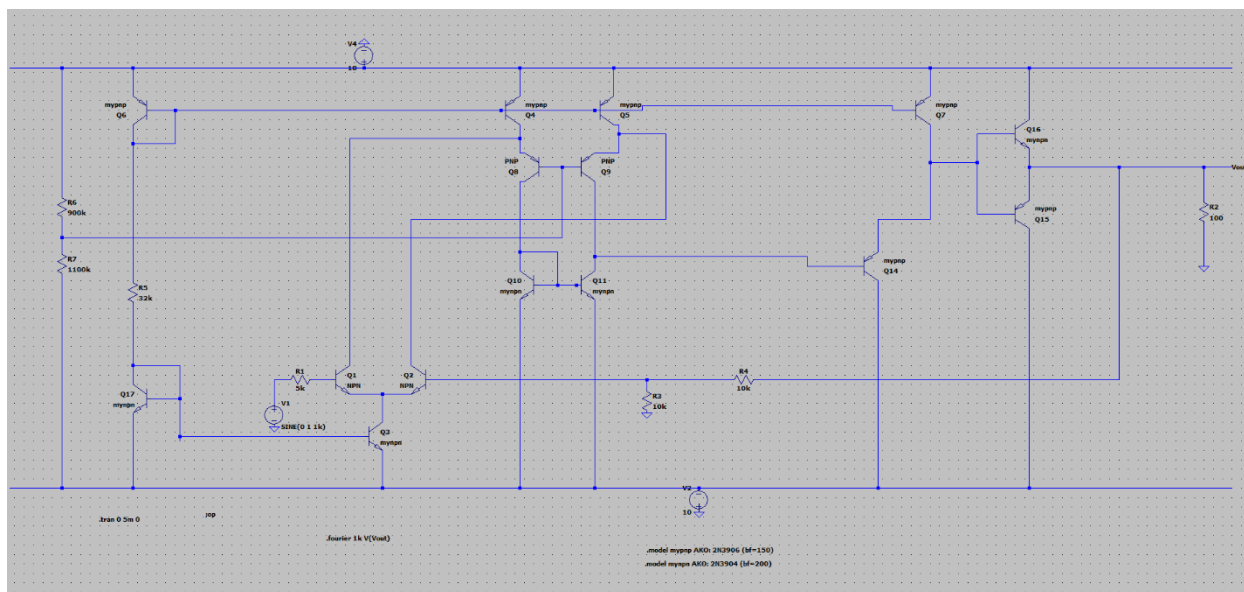


Figure 7.16 The folded cascode.



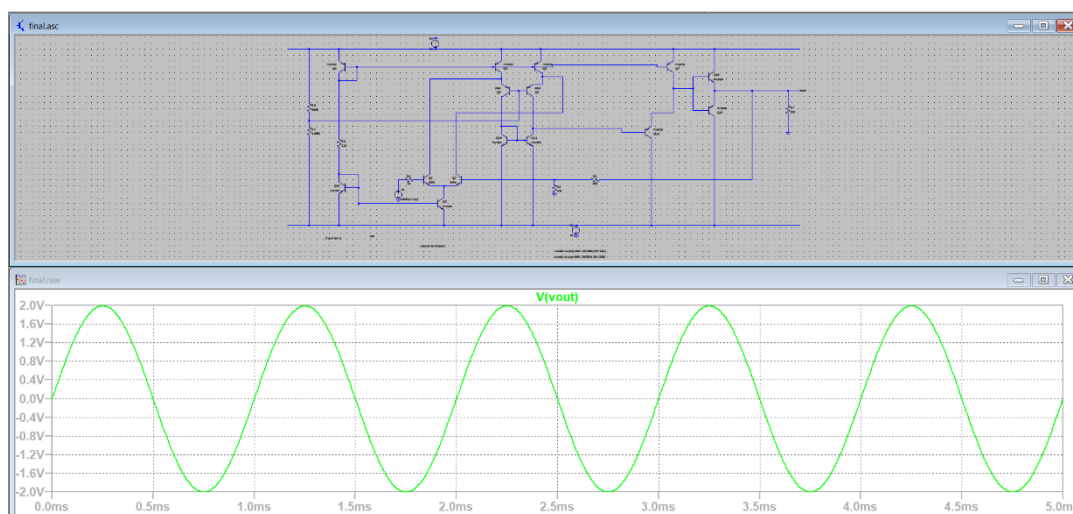
کسکد تا شده از نظر گین مشابه همان کسکد معمولی است ولی چون دو طبقه از هم جدا شده اند از نظر سوئینگ وضعیت بهتری داریم. مشکلی که پیش خواهد آمد این است که مصرف جریان بیشتر شده است چون در حالت تا نشده بایاس ترانزیستورها با هم بود ولی در این وضعیت دوتا بایاس جدا داریم. زیاد شدن سوئینگ و دو طرفه شدن مدار به خطی تر شدن کلی مدار و بهتر شدن THD هم کمک می کند چون هر چقدر به لبه های غیر خطی شدن نزدیک تر شویم مقدار هارمونیک های نامطلوب بیشتر می شود و غیر خطی تر خروجی میگیریم.

اگر همین مدار را در ورودی دیفرانسیلی هم پیاده کنیم به مدار زیر می رسیم :



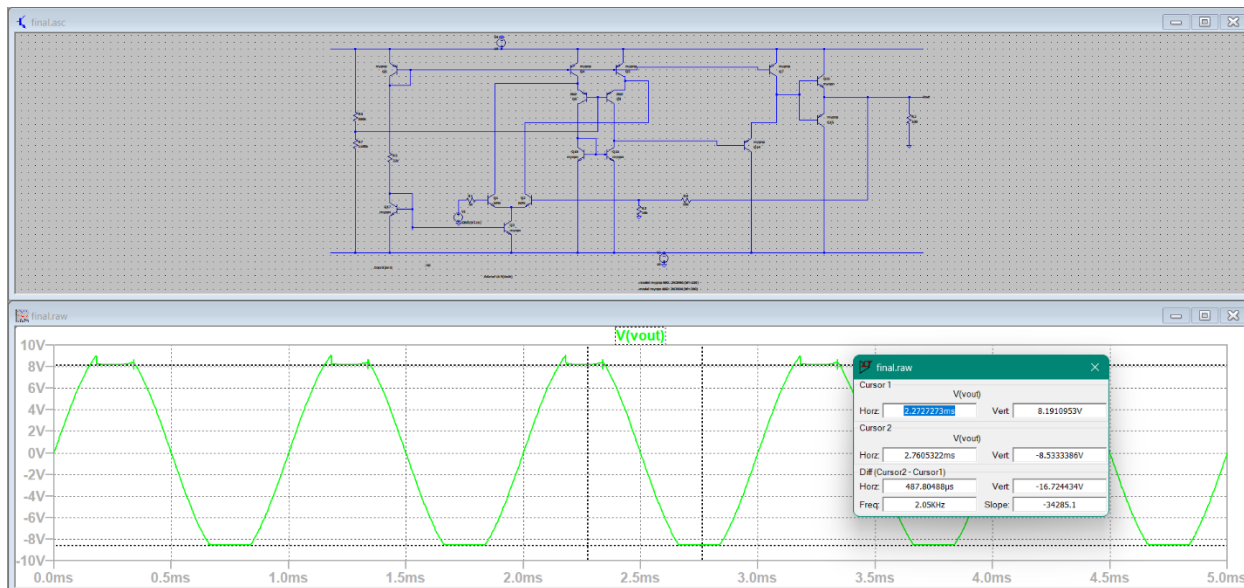
که در آن قسمت کسکد توسط ترانزیستور های ۸ و ۹ فراهم شده است که تا شده است (folded). برای بقیه قسمت ها مشابه مدار اولیه عمل کرده ایم ولی برای بیشتر کردن گین در قسمت دیفرانسیلی ورودی، یک منبع جریان هم پایین کسکد قرار داده ایم (ترانزیستور ۱۱۰). به کمک تعیین یک بایاس مناسب در پشت کسکد (که در مدار اولیه قسمت قبل ۴ ولت بود) می توانیم از V_{be} multiplier بی نیاز شویم و در مصرف منبع جریان و ترانزیستور صرفه جویی کنیم. کلا هم برای تامین ولتاژ های بایاس از تقسیم مقاومتی استفاده کردیم که احتمالا حساسیت های حرارتی و وابستگی های مدار را بالا می برد ولی چون محدودیت توان و ترانزیستور داشتیم و در مورد موارد دیگر چیزی ذکر نشده بود از این انتخاب استفاده کردیم.

خروجی به ازای ورودی با دامنه یک ولت :



یعنی گین همان دو شده که انتظار داشتیم. چون منبع جریان به پایین اضافه کردیم بهره بهتر شده و به $1/f$ رسیده است تقریباً.

برای بررسی سوینگ یک ورودی بزرگ می دهیم و بینیم کجا خراب می شود :



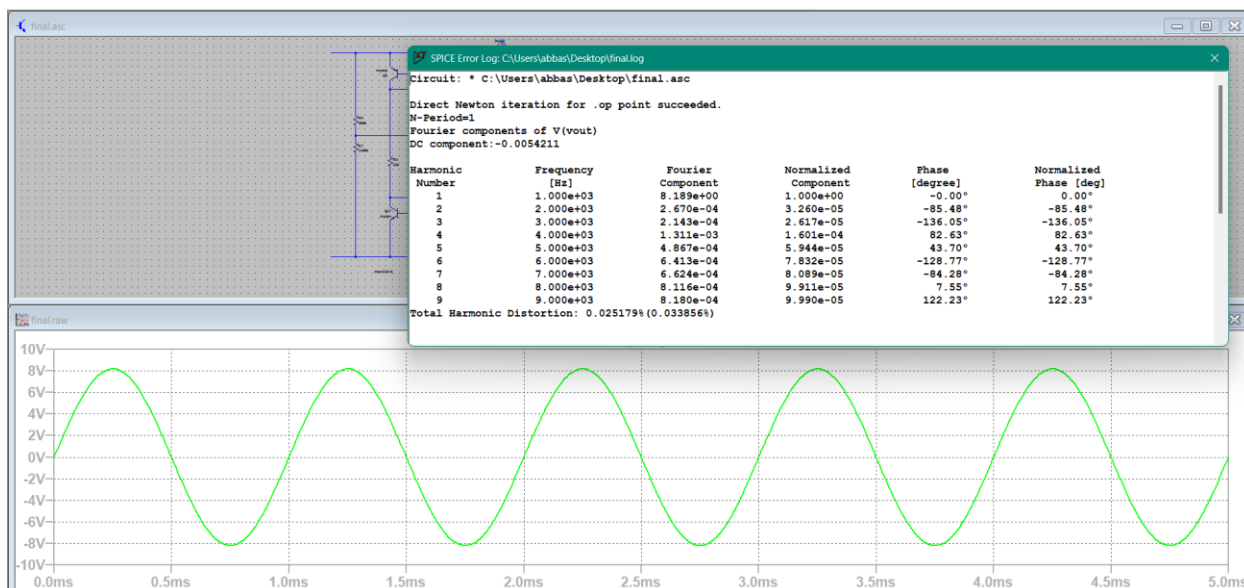
سوینگ پیک تا پیک تقریباً $16/8$ شده است که یعنی شرایط خواسته شده را دارا است.

برای بدست آوردن توان کل یا همان توان supply می توانیم روی هر کدام از منابع V_{cc} و V_{ee} موس را ببریم و توان هر کدام را ببینیم:

Left-click to plot I(V4). Right click to edit. DC operating point: I(V4) = -2.4122237mA Dissipation=-24.122237mW
Left-click to plot I(V2). Right click to edit. DC operating point: I(V2) = -2.4592888mA Dissipation=-24.592888mW

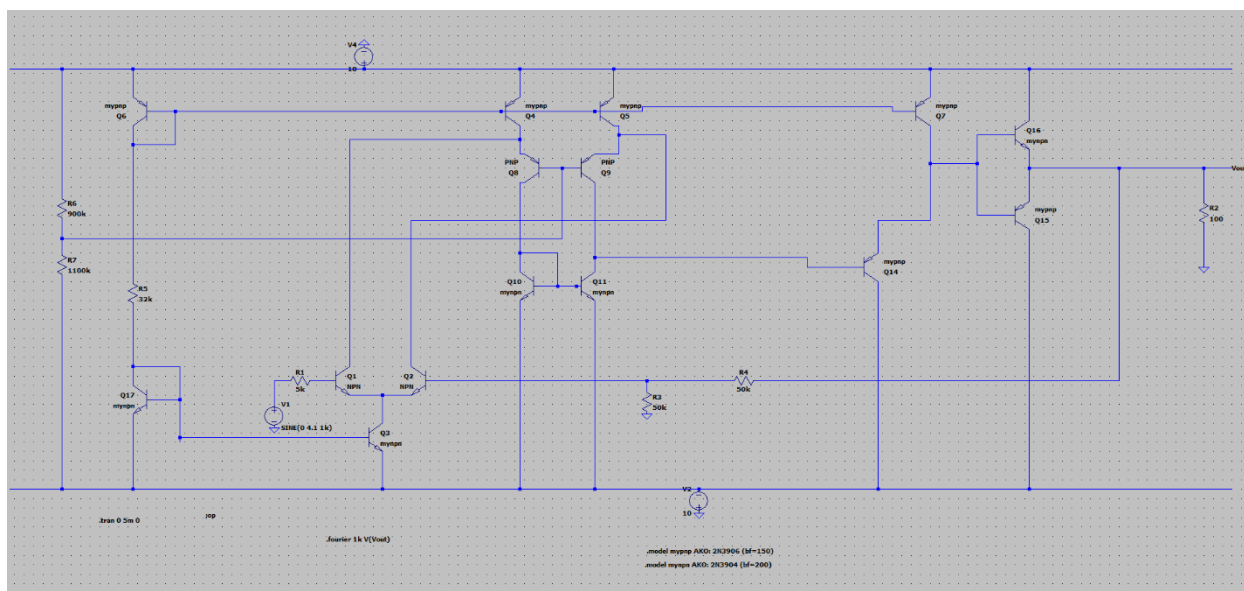
که این یعنی توان کل به ۴۹ میلی وات رسیده است. می توانستیم با کمتر کردن جریان بایاس میزان توان مصرفی را خیلی کمتر کنیم بدون آسیب دیدن سوینگ یا بهره ولی برای THD مقدار آن زیاد می شد. در کل سعی کردیم trade off بین مقدار هارمونیک های مزاحم و توان مصرفی را برقرار کنیم. اگر مشکل هارمونیک نداشتیم توان مصرفی با همین روش و فقط با تغییر دادن مدار آینه جریان (مقاومت 30k) می توانستیم توان مصرفی را تا حدود ۳۰ میلی وات برسانیم.

برای بررسی THD یک دستور fourier. که روی مدار قرار دادیم و از طریق error log می توانیم مقدار THD را بررسی کنیم :

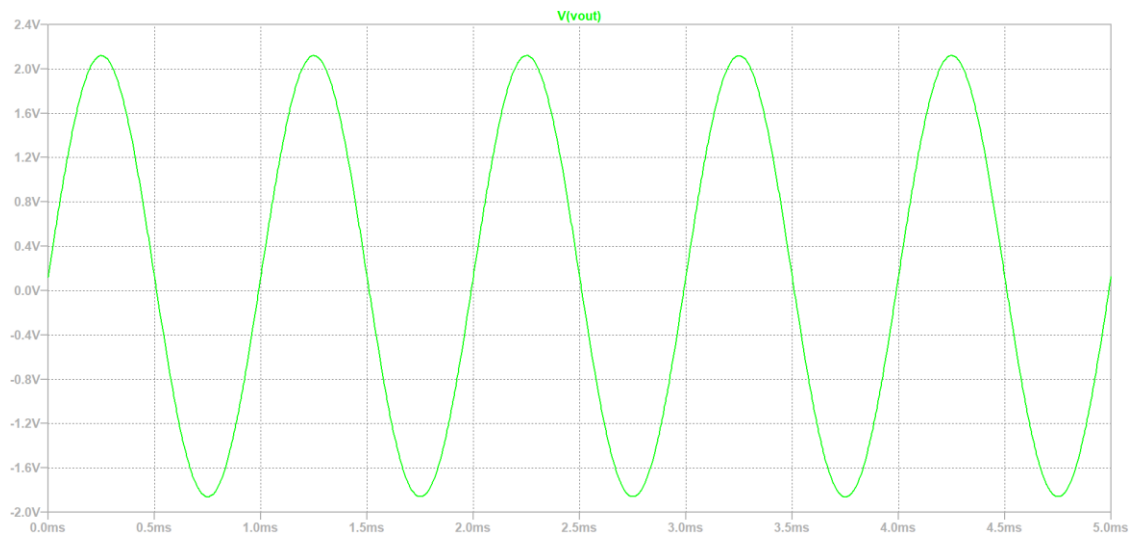


که تقریباً نصف مقدار خواسته شده است یعنی مدار شرایط لازم را دارد. برای بهتر شدن این مقدار می توانستیم جریان بایاس را زیاد کنیم تا عملکرد ترانزیستور ها خطی تر باشد ولی از محدوده توان خارج میشدیم. اگر کمی مقاومت های فیدبک را کمتر می کردیم هم هارمونیک ها کمتر می شدند ولی در دستور کار آمده بود فیدبک را تغییر ندهیم. در کل زیاد عوامل موثر بر THD در درس بررسی نشده بود و سعی کردیم ترانزیستور ها همه روشن باشند و جریان خوبی از آنها بگذرد ولی عوامل دقیق موثر بر هارمونیک ها را نمی دانستیم برای همین تا همینجای کار هم بصورت آزمون خطا مدار را بهتر کردم.

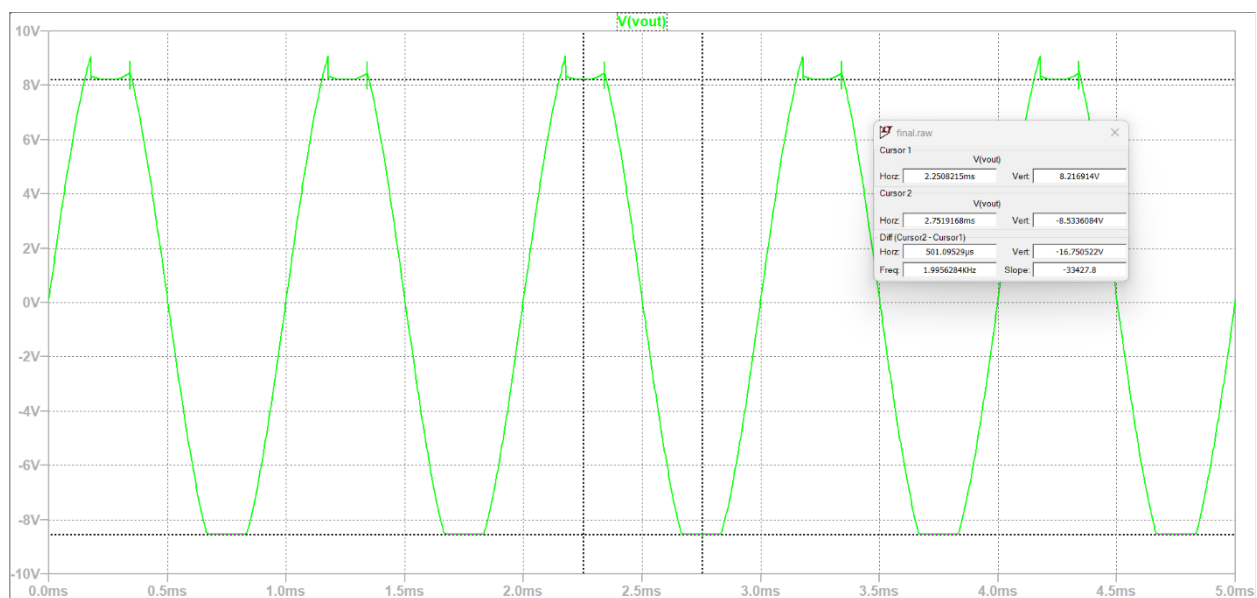
با تغییر دادن مقدار مقاومت های فیدبک :



مقدار بهره و سوینگ و THD و توان را بررسی می کنیم تا تغییرات را تشخیص دهیم:



بهره به ازای ورودی ۱ ولت. دیده می شود که مقدار بهره ثابت است ولی بایاس خروجی کمی از صفر فاصله گرفته است و مثبت تر شده است.

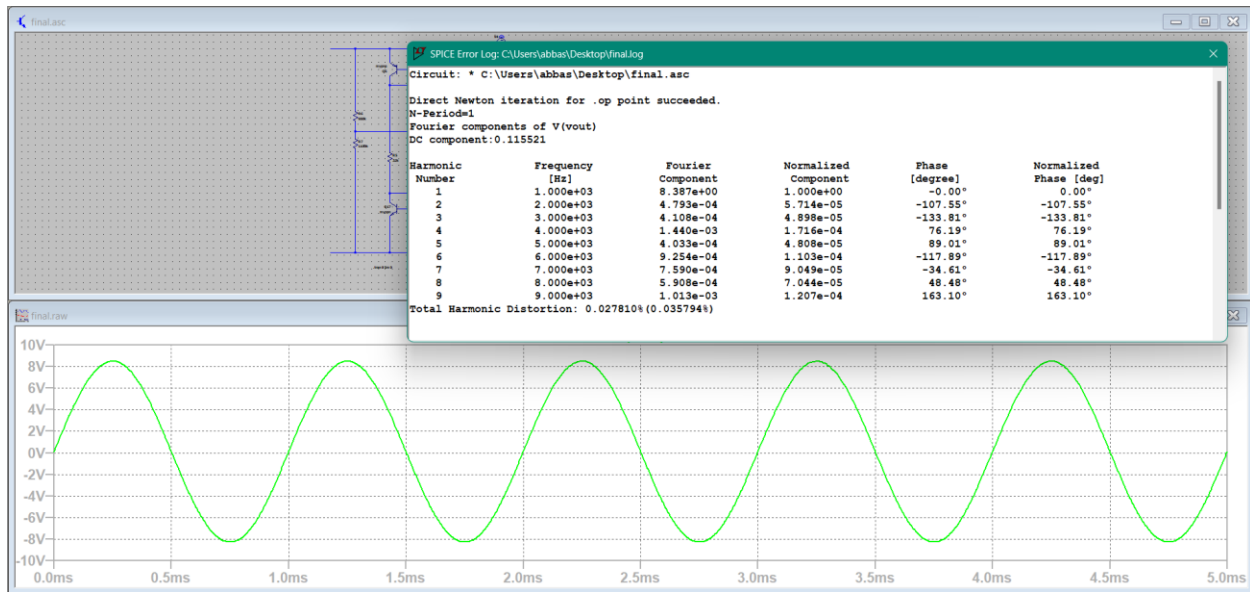


سوینگ هم ثابت مانده است و تغییر خاصی نداشته است

Left-click to plot I(V4). Right click to edit. DC operating point: I(V4) = -3.556171mA Dissipation=-35.56171mW

Left-click to plot I(V2). Right click to edit. DC operating point: I(V2) = -2.4055133mA Dissipation=-24.055133mW

توان مصرف شده در تغذیه های مدار افزایش پیدا کرده است



همانطور که دیده میشود تغییرات هارمونیک ها بیشتر از قبل است یعنی مدار غیر خطی تر شده است. البته بازهم در باز قابل قبول است ولی با توجه به اینکه تغییرات مثبتی در گین یا سوییگ نداشته ایم تغییر دادن جعبه فیدبک در کل به ضرر بوده است.

علت غیر خطی شدن مدار و خراب شدن THD می تواند بخاطر عوامل مختلفی باشد، چون علی رغم اینکه گین فیدبک ثابت بوده است ($f=1/2$) ولی مقدار مقاومت های دیده شده در هر طرف هم در دی سی و هم در سیگنال کوچک تغییر کرده است. چون مقاومت دیده شده از سمت ورودی راست 25k شده است پس تقارن ورودی ها در قسمت دیفرانسیلی را از دست داده ایم. خود این می تواند باعث غیر خطی شدن مدار باشد، چون تقویت کننده دیفرانسیلی برای عملکرد صحیح و جدا کردن کمان مد و دیفرانسیلی نیاز داشت تا تقارن در بایاس و مدار داشته باشد ولی با بهم زدن تقارن عملا وضعیت خطی مدار بهم خورده است.