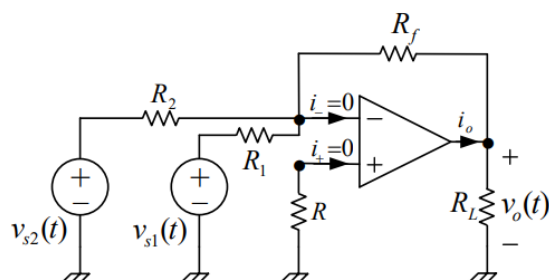


قسمت اول (مدار های خواسته شده با اپ امپ :

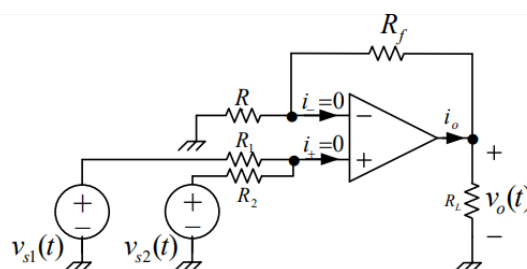


$$i_+ = 0 \Rightarrow v_+ = 0 \Rightarrow v_- = 0$$

$$\frac{0 - v_{s1}(t)}{R_1} + \frac{0 - v_{s2}(t)}{R_2} + \frac{0 - v_o(t)}{R_f} = 0 \Rightarrow v_o(t) = -\frac{R_f}{R_1} v_{s1}(t) - \frac{R_f}{R_2} v_{s2}(t)$$

$$i_o(t) = \frac{v_o(t)}{R_f} + \frac{v_o(t)}{R_L}$$

مدار negative adder که دو ولتاژ داده شده را بصورت منفی جمع می کند. با استفاده از فیدبک منفی و معادلات ارائه شده در بالا، می توانیم هر دو سیگنال دلخواه که مدار را اشباع نکنند جمع کنیم.



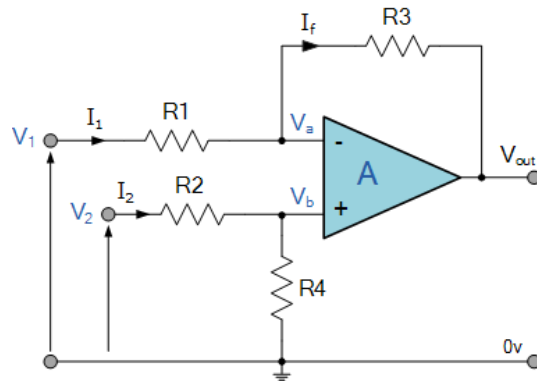
$$i_+ = 0 \Rightarrow v_+ = \frac{R_2}{R_1 + R_2} v_{s1}(t) + \frac{R_1}{R_1 + R_2} v_{s2}(t) \Rightarrow v_- = v_+$$

$$\frac{v_-(t) - 0}{R} + \frac{v_-(t) - v_o(t)}{R_f} = 0 \Rightarrow v_o(t) = \left(1 + \frac{R_f}{R}\right) v_-(t)$$

$$v_o(t) = \left(1 + \frac{R_f}{R}\right) \left[\frac{R_2}{R_1 + R_2} v_{s1}(t) + \frac{R_1}{R_1 + R_2} v_{s2}(t) \right]$$

$$i_o(t) = \frac{v_o(t) - v_-(t)}{R_f} + \frac{v_o(t)}{R_L}$$

مدار positive adder که ولتاژ های ورودی را بصورت مثبت جمع می کند. باز هم برای پایداری نیاز به فیدبک منفی داریم.



$$\text{If } V_2 = 0, \text{ then: } V_{\text{out(a)}} = -V_1 \left(\frac{R_3}{R_1} \right)$$

$$\text{If } V_1 = 0, \text{ then: } V_{\text{out(b)}} = V_2 \left(\frac{R_4}{R_2 + R_4} \right) \left(\frac{R_1 + R_3}{R_1} \right)$$

$$V_{\text{out}} = -V_{\text{out(a)}} + V_{\text{out(b)}}$$

$$\therefore V_{\text{out}} = -V_1 \left(\frac{R_3}{R_1} \right) + V_2 \left(\frac{R_4}{R_2 + R_4} \right) \left(\frac{R_1 + R_3}{R_1} \right)$$

مدار تفریق کننده. در معادلات برای ساده تر شدن از superposition استفاده کردیم و هر کدام از سورس ها را خاموش کردیم و سپس حاصل را جمع زدیم.

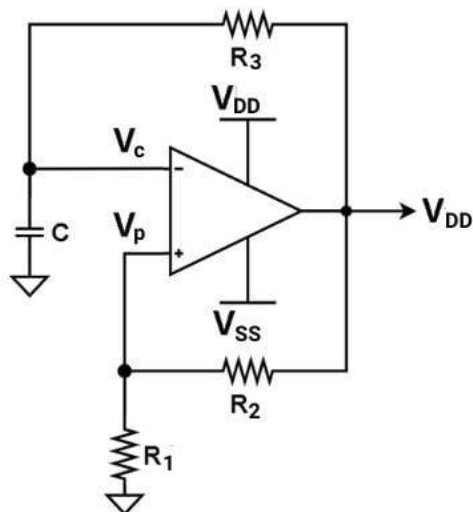
$$\frac{0 - v_s(t)}{R} + i_d(t) = -\frac{v_s(t)}{R} + I_s \left(e^{\frac{v_d(t)}{V_T}} - 1 \right) \approx -\frac{v_s(t)}{R} + I_s e^{\frac{v_d(t)}{V_T}} = -\frac{v_s(t)}{R} + I_s e^{-\frac{v_o(t)}{V_T}} = 0$$

$$\Rightarrow v_o(t) = -V_T \ln \left(\frac{v_s(t)}{R I_s} \right)$$

$$\frac{0 - v_o(t)}{R} - i_d(t) = -\frac{v_o(t)}{R} - I_s \left(e^{\frac{v_d(t)}{V_T}} - 1 \right) \approx -\frac{v_o(t)}{R} - I_s e^{\frac{v_d(t)}{V_T}} = -\frac{v_o(t)}{R} - I_s e^{\frac{v_s(t)}{V_T}} = 0$$

$$\Rightarrow v_o(t) = -R I_s e^{\frac{v_s(t)}{V_T}}$$

مدار برای محاسبه \ln و \exp . از روابط ریاضی توانیم به کمک این دوتا توابع لگاریتمی و نمایی با هر پایه را بسازیم، فقط به یک ضریب گین جداگانه نیاز داریم.

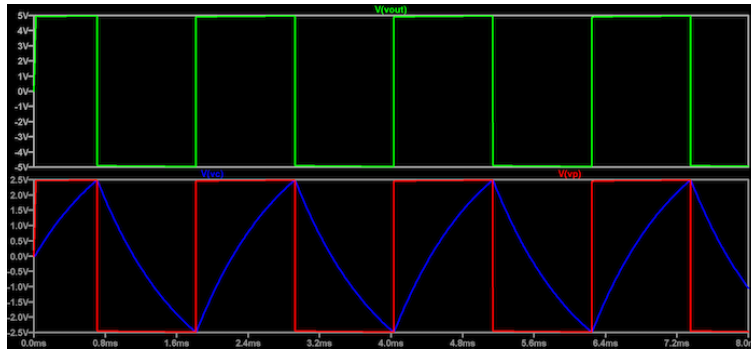


مدار تولید سیگنال مربعی. برای شروع توجه می کنیم که در صورت نبودن خازن این مدار شبیه اشmitt تریگر است که به سمت اشباع شدن می رود، با قرار گرفتن یک اختلاف ولتاژ کم که در تمام اپ امپ ها داریم، فیدبک مثبت مدار را به سمت اشباع در V_{DD} یا V_{SS} می برد. پس از رسیدن خروجی به ولتاژ تغذیه (با فرض رسیدن خروجی به تغذیه مثبت):

$$V_{p1} = V_{OUT} \frac{R_1}{R_1 + R_2} = V_{DD} \frac{R_1}{R_1 + R_2}$$

که این رابطه از طریق تقسیم ولتاژ در سمت پایین مدار بدست می آید. در همین حین سمت بالای مدار خازن شروع به شارژ شدن می کند. پس از مدتی شارژ شدن خازن ولتاژ آن از V_p بیشتر می شود و این باعث میشود خروجی به سمت تغذیه دیگر (منفی) برود. در این وضعیت خازن تخلیه و سپس با پولاریته برعکس شارژ می شود. این روند منجر به تولید سیگنال مربعی می شود.

$$V_{p2} = V_{OUT} \frac{R_1}{R_1 + R_2} = V_{SS} \frac{R_1}{R_1 + R_2}$$

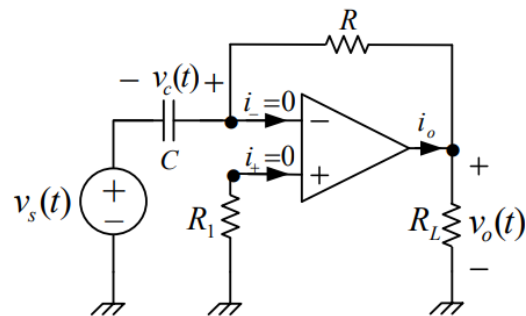


سبز : ولتاژ خروجی

قرمز : V_p

آبی: ولتاژ خازن

در ادامه ی مسیر برای تشکیل دادن سیگنال مثلثی نیاز داریم تا یک انتگرال گیر داشته باشیم. در اینجا مدار انتگرال گیر معرفی می شود :



$$i_+ = 0 \Rightarrow v_+ = 0 \Rightarrow v_- = 0 \Rightarrow v_c(t) + v_s(t) = 0$$

$$C \frac{dv_c}{dt} + \frac{0 - v_o(t)}{R} = 0 \Rightarrow v_o(t) = -RC \frac{dv_s(t)}{dt}$$

$$i_o(t) = \frac{v_o(t)}{R} + \frac{v_o(t)}{R_L}$$

از اتصال مدار انتگرال گیر در خروجی سیگنال مربعی به سیگنال مثلثی می رسم:

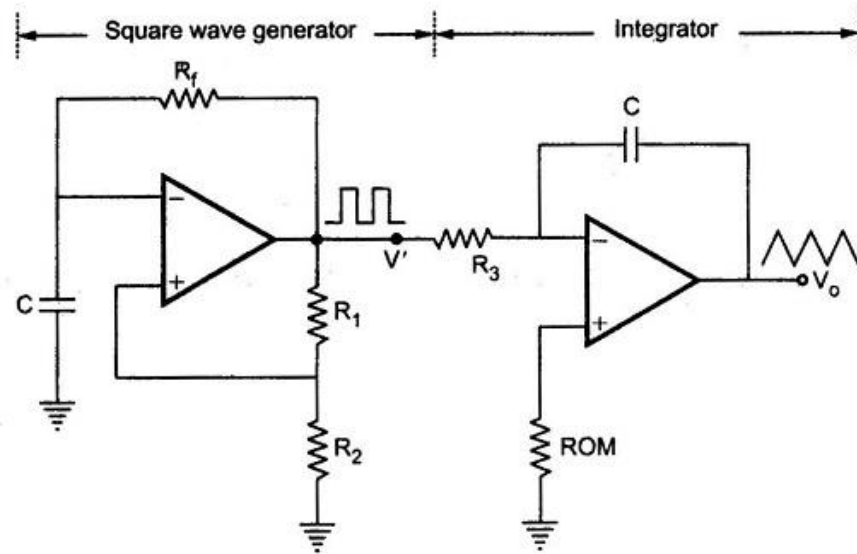
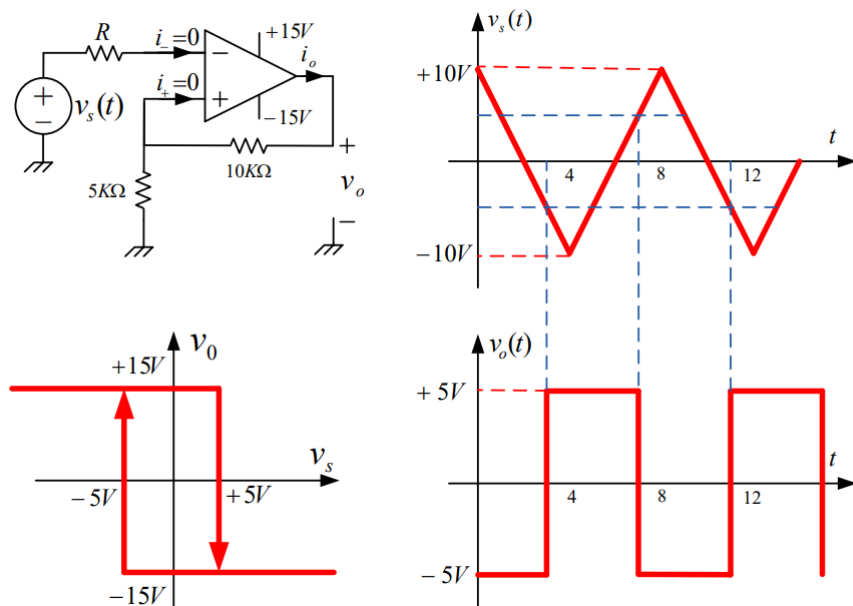
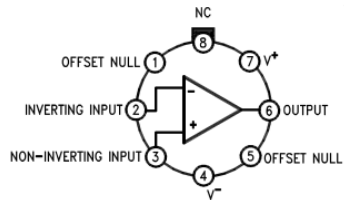


Fig. 2.85 Triangular wave generator



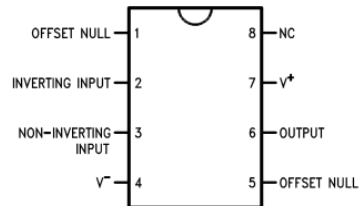
پیاده سازی اشمیت تریگر. وجود فیدبک مثبت باعث می شود مدار هیچ وضعیت پایداری بین دو ولتاژ تغذیه نداشته باشد و منحنی شبیه هیستریزس داشته باشد. با تنظیم مقاومتها می توانیم مشخص کنیم که ولتاژ خروجی روی چه ولتاژی به سمت دیگر برگردد.

LMC Package
8-Pin TO-99
Top View



LM741H is available per JM38510/10101

NAB Package
8-Pin CDIP or PDIP
Top View



Pin Functions

PIN		I/O	DESCRIPTION
NAME	NO.		
INVERTING INPUT	2	I	Inverting signal input
NC	8	N/A	No Connect, should be left floating
NONINVERTING INPUT	3	I	Noninverting signal input
OFFSET NULL	1, 5	I	Offset null pin used to eliminate the offset voltage and balance the input voltages.
OFFSET NULL			
OUTPUT	6	O	Amplified signal output
V+	7	I	Positive supply voltage
V-	4	I	Negative supply voltage

۱	برای تنظیم خروجی ، یعنی اگر ورودی صفر دادیم و خروجی صفر نشد با ولتاژ این پایه تنظیم می کنیم
۲	ورودی منفی اپ امپ
۳	ورودی مثبت اپ امپ
۴	تغذیه منفی
۵	برای تنظیم خروجی ، یعنی اگر ورودی صفر دادیم و خروجی صفر نشد با ولتاژ این پایه تنظیم می کنیم
۶	خروجی
۷	تغذیه مثبت
۸	نباید وصل شود

6.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
Supply voltage (VDD-GND)	LM741, LM741A	±10	±15	±22	V
	LM741C	±10	±15	±18	
Temperature	LM741, LM741A	-55		125	°C
	LM741C	0		70	

6.5 Electrical Characteristics, LM741⁽¹⁾

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
Input offset voltage		$R_S \leq 10\text{ k}\Omega$	$T_A = 25^\circ\text{C}$		1	5	mV
			$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$			6	mV
Input offset voltage adjustment range		$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{ V}$			± 15		mV
Input offset current		$T_A = 25^\circ\text{C}$			20	200	nA
		$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$			85	500	
Input bias current		$T_A = 25^\circ\text{C}$			80	500	nA
		$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$				1.5	μA
Input resistance		$T_A = 25^\circ\text{C}$, $V_S = \pm 20\text{ V}$		0.3	2		M Ω
Input voltage range		$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$		± 12	± 13		V
Large signal voltage gain		$V_S = \pm 15\text{ V}$, $V_O = \pm 10\text{ V}$, $R_L \geq 2\text{ k}\Omega$	$T_A = 25^\circ\text{C}$	50	200		V/mV
			$T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$	25			
Output voltage swing		$V_S = \pm 15\text{ V}$	$R_L \geq 10\text{ k}\Omega$	± 12	± 14		V
			$R_L \geq 2\text{ k}\Omega$	± 10	± 13		
Output short circuit current		$T_A = 25^\circ\text{C}$			25		mA
Common-mode rejection ratio		$R_S \leq 10\text{ }\Omega$, $V_{\text{CM}} = \pm 12\text{ V}$, $T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$		80	95		dB
Supply voltage rejection ratio		$V_S = \pm 20\text{ V}$ to $V_S = \pm 5\text{ V}$, $R_S \leq 10\text{ }\Omega$, $T_{\text{AMIN}} \leq T_A \leq T_{\text{AMAX}}$		86	96		dB
Transient response	Rise time	$T_A = 25^\circ\text{C}$, unity gain			0.3		μs
	Overshoot				5%		
Slew rate		$T_A = 25^\circ\text{C}$, unity gain			0.5		V/ μs
Supply current		$T_A = 25^\circ\text{C}$			1.7	2.8	mA
Power consumption		$V_S = \pm 15\text{ V}$	$T_A = 25^\circ\text{C}$		50	85	mW
			$T_A = T_{\text{AMIN}}$		60	100	
			$T_A = T_{\text{AMAX}}$		45	75	

محدوده ولتاژ ورودی : ۱ میلی ولت ، حداکثر ۵ میلی ولت.

محدوده ولتاژ تغذیه : ۱۵ ولت ، حداقل ۱۰ ولت

محدوده دما : -۵۵ تا ۷۰ درجه سلسیوس

جریان بایاس ورودی : ۸۰ نانو آمپر ، حداکثر ۵۰۰ نانو آمپر

مقاومت ورودی : ۲ مگا اهم ، حداقل ۳/۰ مگا اهم

سویینگ خروجی : ۱۴ ولت متقارن با تغذیه ۱۵ ولت ، حداقل ۱۲

CMRR : ۹۵ دسی بل ، حداقل ۸۰

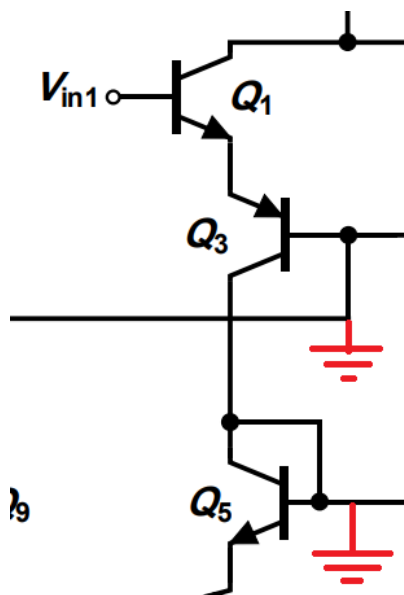
توان مصرفی : ۵۰ میلی وات ، حداکثر ۸۵ میلی وات

بخش اول: توضیح مدار)

شاخه شامل ترانزیستور های ۱۱ و ۱۰ برای بایاس و ایجاد جریان I_{ref} قرار گرفته است. ترانزیستور ۱۱ بصورت diode connected قرار گرفته و ولتاژ تقریباً ثابت دارد و صرفاً برای بایاس است. به کمک آینه جریان ویدلر که توسط ترانزیستور های ۱۰ و ۹ ساخته شده میتوانیم از طریق رابطه ای که در ادامه آورده شده است تابعی از جریان سمت چپ را در راست کپی کنیم. ترانزیستور های ۸ و ۷ یک آینه جریان معمولی تشکیل میدهند که دقیقاً همان جریان سمت چپ را در راست کپی میکند. ادامه ی مدار که در سمت راست قرار دارد طبقات دیفرانسیلی است که سیگنال دارند. ترانزیستور ۱ و ۲ کمان کلکتور است که بافر ولتاژ است و صرفاً مقاومت زیاد می دهد. شماره های ۳ و ۴ کمان بیس هستند که برای گین گرفتن طراحی شده اند و بهره جریان تقریباً ۱ دارند. شماره های ۵ و ۶ هم بعنوان لود اکتیو قرار گرفته اند تا مقاومت زیادی در خروجی طبقه قبل دیده شود و بهره افزایش پیدا کند، بدون محدود شدن سوینگ و بدون نیاز به ولتاژ بایاس جداگانه.

بخش دوم : طراحی مدار)

برای طراحی مدار خواسته شده، طبق اعلامی که بعداً شد قرار است که مقاومت ورودی را روی ۲ مگا اهم تثبیت کنیم. مقاومت ورودی این مدار در مد دیفرانسیلی برابر مقدار مقاومت دیده شده در نیم مدار به صورت زیر خواهد بود :



که مقدار آن هم به صورت زیر خواهد بود :

$$R_{in} = 2(r_{\pi 1} + \beta_1(r_{e3} || r_{o3}))$$

هرچقدر هم بخواهیم دقیق محاسبه کنیم، مقدار r_{e3} بسیار کمتر از r_{o3} خواهد بود، مخصوصاً وقتی که در ادامه می بینیم مقدار جریان کلکتور بسیار کم است و به همین خاطر مقدار r_o بسیار زیاد خواهد بود. پس مقدار مقاومت ورودی را ساده می کنیم :

$$R_{in} = 2(r_{\pi1} + \beta_1(r_{e3} || r_{o3})) = 2(r_{\pi1} + \beta_1(r_{e3}))$$

ضمناً همانطور که در شکل هم دیده می شود جریان کالکتور های Q1 و Q3 (تقریباً) مساوی است چون کالکتور ها به هم وصل شده اند، پس g_m و ... هم مساوی هستند.

$$R_{in} = 4r_{\pi1}$$

حالا مقدار مقاومت ورودی را برابر ۲ مگا اهم قرار می دهیم و جریان بایاس را پیدا می کنیم (در تمام قسمت های این گزارش فرض کردیم $V_T = 25m$ است):

$$2M\Omega = 4\left(\frac{\beta}{g_m}\right) = \frac{4\beta V_T}{I_C} \rightarrow I_C = \frac{4 \times 200 \times 25m}{2^M} = 10 \mu A$$

بایاس جریان شاخه اصلی پیدا شد، برای تقارن قسمت دیفرانسیلی باید بایاس شاخه مقابل هم همین مقدار باشد، پس باید آینه جریان بالای 20 microA را تامین کند. البته چون از r_o صرف نظر کردیم در مرحله قبل، با این جریان بایاسی که اکنون بدست آمده r_o را هم تاثیر می دهیم تا ببینیم چقدر خطا ایجاد می کند:

$$r_o = \frac{V_A}{I_C} = \frac{50}{10^{-5}} = 5M\Omega$$

که این مقدار در مقایسه با مقداری که برای r_e بدست می آید تقریباً ۱۰۰ برابر است، پس صرف نظر از آن تقریب خوبی بوده است.

محاسبات را با 20μA ادامه می دهیم. ترانزیستور های Q7 و Q8 یک آینه جریان معمولی هستند پس همان جریان از سمت چپ هم می گذرد. در سمت Q10 و Q9 یک آینه ویدلر داریم که رابطه جریان دو طرف به صورت زیر است :

$$V_{BE10} - V_{BE9} - I_{C9}R_3 = 0 \rightarrow \ln\left(\frac{I_{C10}}{I_{C9}}\right)V_T = I_{C9}R_3$$

محاسبات ما مقدار I_{C9} را تعیین کرده اند. می توانیم با توجه به محدودیت توان موجود در مدار و بقیه پارامترها یک مقدار منطقی برای مقدار I_{C10} در نظر بگیریم و به این ترتیب مقدار R_3 را حساب کنیم. اگر جریان شاخه مقابل را 100 microA در نظر بگیریم :

$$I_{C9} = 20\mu A, I_{C10} = 100\mu A \rightarrow R_3 = \frac{\ln(5)25^m}{20^\mu} \approx 2.012 k\Omega$$

که برای یک مقاومت در مدار مقدار معقولی است. برای تکمیل شاخه سمت راست و ایجاد جریان بایاسی که در نظر گرفتیم (۱۰۰ میکروآمپر) میتوانیم به کمک داده های مسئله V_{be} را برای دو ترانزیستور حساب کرده و سپس مقدار مقاومت R_4 را تعیین کنیم :

$$I_{C10} = 100\mu A \rightarrow V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) = 0.61 V$$

پس ولتاژ جریان مقاومت را داریم و میتوانیم مقدارش را بدست بیاوریم :

$$V \simeq 30 - 2 \times 0.61 = 28.78 \rightarrow R_3 = \frac{28.78}{10^{-4}} = 287.8k$$

مشابه همین روند را برای پیدا کردن R_1 و R_2 هم داریم :

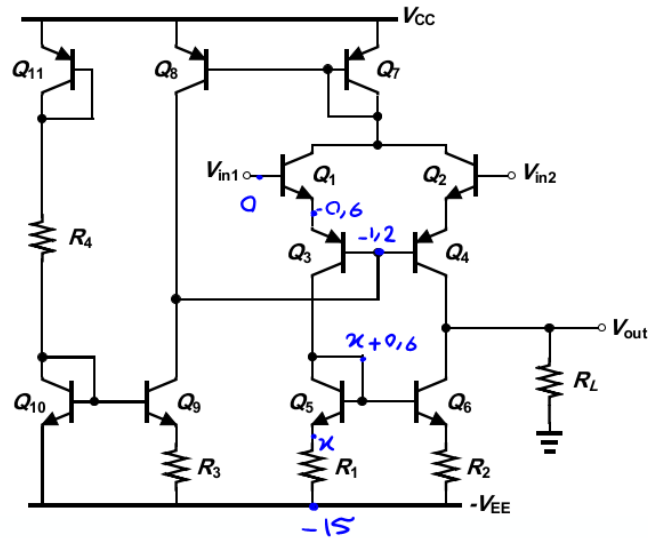
$$I_C = 10\mu A \rightarrow V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) = 0.575 \text{ or } 0.548 V \text{ (depending on whether it's PNP or NPN)}$$

پس :

$$I_{C10} = 100\mu A \rightarrow V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) = 0.61 V$$

برای گرفتن ماکسیمم گین در خروجی، بطور کلی باید مقاومت های R_1 و R_2 را به حداکثر مقدار ممکن برسانیم تا R_{out} زیاد شده و وقتی ضریب G_m می شود بیشترین گین ممکن را بدهد، ولی دو محدودیت اصلی داریم، یکی سوییچینگ خروجی که در دستور کار چیزی در رابطه با آن ذکر نشده است پس نگران آن نیستیم و می توانیم تا لبه اشباع ترانزیستور ها برویم، و دومی لودی است که قرار داده شده است، که باعث میشود مقاومت دیده شده در خروجی از مقدار مشخصی بیشتر نشود چون هرچقدر مقاومت دیده شده را زیاد کنیم مقدار آن ثابت است و در بهترین حالت حدی می توانیم به مقاومت مساوی لود برسیم که میشود $R_{out} = 1Meg$.

با توجه به نکات بالا ابتدا تحلیل مقدار ماکسیمم مقاومت ها را می کنیم:



تقریب : $x < -1,4$: استیج Q_3 : $x + 0,6 < -0,6 - V_{CE(sat)}$

حالت مرئی $I = 10^{-8}$ است $R_1 \times 10^6 = 13,6 \rightarrow R = 1,36 \text{ Meg-}\Omega$

ولی همانطور که گفته شد بالاتر بردن مقاومت R_1, R_2 بیشتر از حدی تاثیر ندارد چون لود داریم. آن مقدار را پیدا می کنیم :

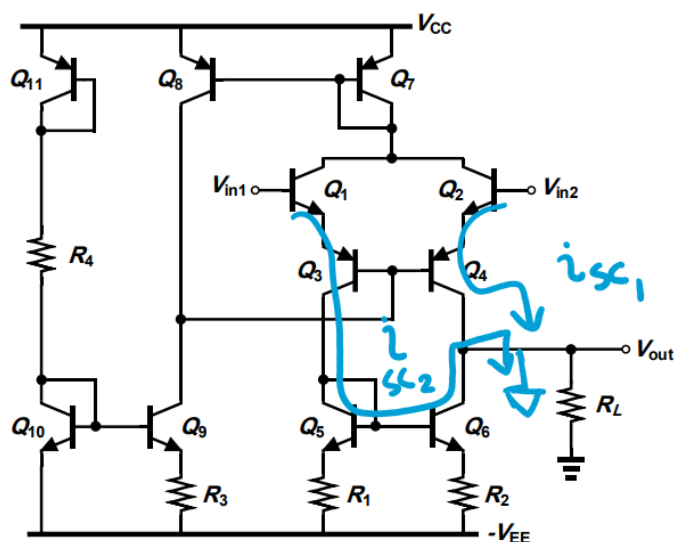
$$R_{out} = R_L \parallel (1 + g_m r_{\pi 6})(r_{\pi 6} \parallel R_2) \parallel \beta(r_{o2})$$

$$\text{if } R_2 \gg r_{\pi 6} \rightarrow R_{out} \simeq R_L \parallel \beta r_{o6} \parallel \beta r_{o2}$$

Bias with $I = 10 \mu A \rightarrow r_{\pi 6} \simeq 500k$
 $r_{o2} \simeq 20 \text{ Meg}, r_{o6} \simeq 5 \text{ Meg} \Rightarrow$ با تقریب خوبی : $R_{out} = R_L$

پس افزایش مقدار مقاومت ها تاثیر آنچنانی در گرفتن گین بیشتر ندارد و صرفا سوینگ ما را کاهش می دهد (با فرض ثابت بودن مقدار لود). بر همین اساس مقدار مقاومت ها را 50k قرار می دهیم که با وضعیت لبه اشباع فاصله کافی داشته باشد و در عین حال بیش از حد کم نباشد. البته توجه داریم در این وضعیت شرط $R_{pi} \ll R_2$ برقرار نیست ولی محاسبات ما نشان می دهد حتی در این وضعیت هم باز مقدار مقاومت دیده شده در خروجی تقریباً همان R_L است و بقیه مدار تاثیر ناچیزی دارد.

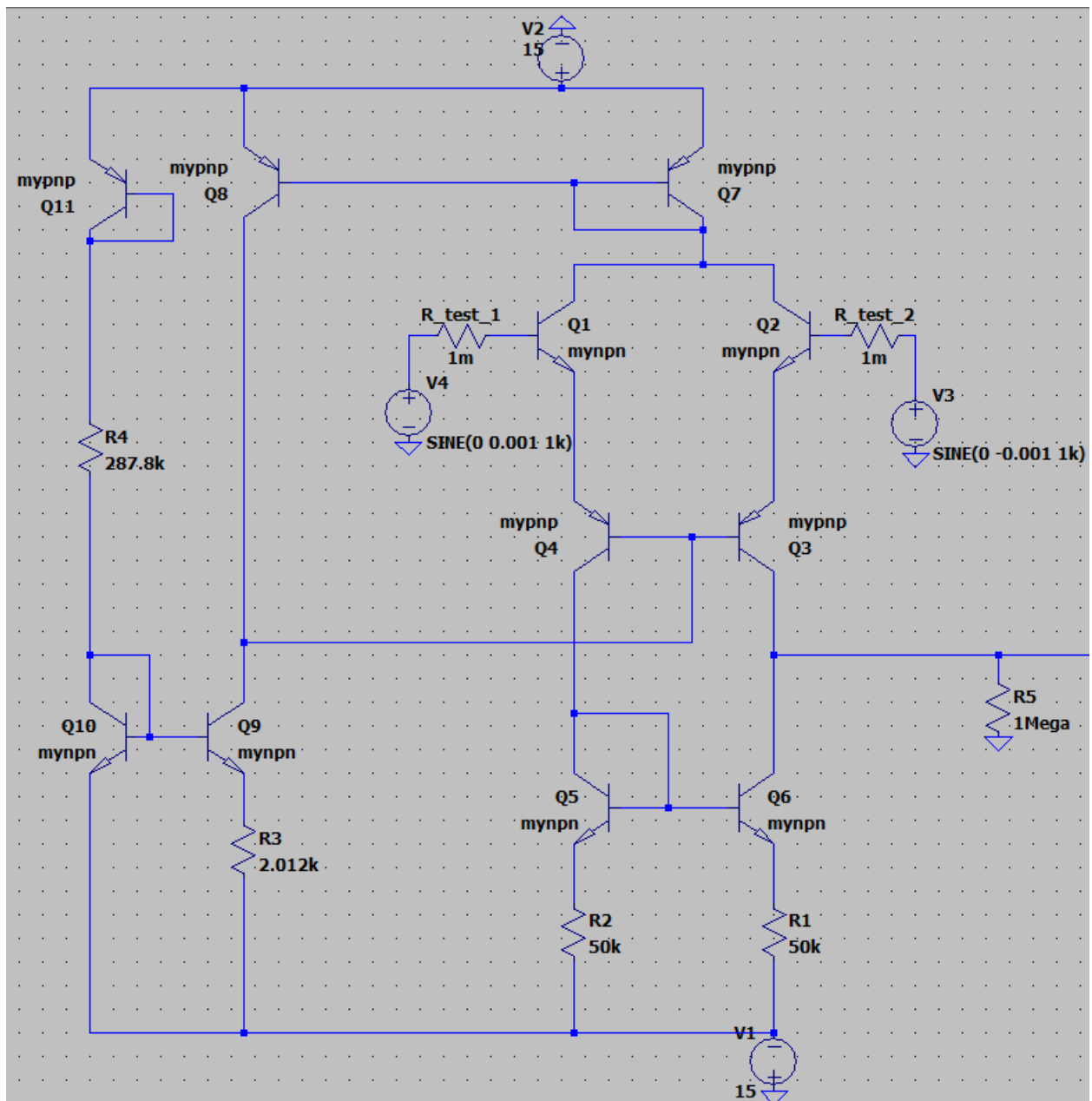
حالا با این مفروضات و تقریب هایی که زدیم محاسبه می کنیم مقدار گین چقدر خواهد بود تا ببینیم به هدف ۵۰ دسیبل می رسیم یا خیر. در دستور کار گفته شده بود اولویت مقاومت باشد و سپس گین را بررسی کنیم که ما هم همین کار را کردیم:



$$\begin{aligned} i_{sc1} &= \frac{v_{id}}{2} \times g_{m1} \\ i_{sc2} &= \frac{v_{id}}{2} \times g_{m2} \end{aligned} \quad \left\{ \begin{aligned} G_m &\approx g_m \Rightarrow A_v \approx R_L \times g_m \end{aligned} \right.$$

که این مقدار تقریب زیادی دارد، چرا که بطور کلی از اثر r_o و جریان بیس ها صرف نظر کردیم که ممکن است تقریب خوبی در هر مرحله باشد ولی چون جمع می شوند، در نتیجه نهایی تاثیر قابل توجهی دارند. بهرحال با همین تقریب زیاد هم گین به چیزی حدود 400 برای نیم مدار دیفرانسیلی میرسد که معادل ۲۰۰ در تک خروجی است که میشود حدود ۴۶ دسیبل و قابل قبول است، ولی انتظار داریم در صورت شبیه سازی و تاثیر دادن تمام جزئیات گین کمتری داشته باشیم.

در نهایت مداری که در بخش تئوری به آن میرسیم به شکل زیر است:



تحليل نقطه کار :

```

--- Operating Point ---

V(n002):      14.4209      voltage
V(n005):     -3.97788e-011 voltage
V(n008):     -0.589682      voltage
V(n006):     -3.54285e-011 voltage
V(n009):     -0.586685      voltage
V(n012):     -0.896927      voltage
V(n010):     -1.14676      voltage
V(n013):     -13.9856      voltage
V(n001):      15          voltage
V(n011):     -14.3448      voltage
V(n015):     -14.9578      voltage
V(n018):     -15          voltage
V(n003):      14.3731      voltage
V(n017):     -14.5752      voltage
V(n016):     -14.5768      voltage
V(n007):      0          voltage
V(n004):      0          voltage
V(n014):     -8.96838e-005 voltage
Ic(Q11):     -9.87959e-005 device_current
Ib(Q11):     -9.88243e-007 device_current
Ie(Q11):      9.97841e-005 device_current
Ic(Q8):      -2.07397e-005 device_current
Ib(Q8):      -1.58147e-007 device_current
Ie(Q8):      2.08979e-005 device_current
Ic(Q7):      -1.58155e-005 device_current
Ib(Q7):      -1.58163e-007 device_current
Ie(Q7):      1.59737e-005 device_current
Ic(Q4):      -8.50441e-006 device_current
Ib(Q4):      -6.76573e-008 device_current
Ie(Q4):      8.57207e-006 device_current
Ic(Q3):      -7.55893e-006 device_current
Ib(Q3):      -7.60214e-008 device_current
Ie(Q3):      7.63495e-006 device_current
Ic(Q6):      8.45586e-006 device_current
Ib(Q6):      3.96702e-008 device_current
Ie(Q6):      -8.49553e-006 device_current
Ic(Q5):      8.42262e-006 device_current
Ib(Q5):      4.21142e-008 device_current
Ie(Q5):      -8.46474e-006 device_current
Ic(Q10):     9.91902e-005 device_current
Ib(Q10):     4.96025e-007 device_current
Ie(Q10):     -9.96862e-005 device_current
Ic(Q9):      2.08834e-005 device_current
Ib(Q9):      9.79433e-008 device_current
Ie(Q9):      -2.09813e-005 device_current
Ic(Q2):      7.59952e-006 device_current
Ib(Q2):      3.54285e-008 device_current
Ie(Q2):      -7.63495e-006 device_current
Ic(Q1):      8.53229e-006 device_current
Ib(Q1):      3.97788e-008 device_current
Ie(Q1):      -8.57207e-006 device_current
I(R_test_2): 3.54285e-008 device_current
I(R_test_1): -3.97788e-008 device_current
I(R5):      -8.96927e-007 device_current
I(R4):      9.97841e-005 device_current
I(R3):      2.09813e-005 device_current
I(R2):      8.46474e-006 device_current
I(R1):      8.49553e-006 device_current
I(V4):      -3.97788e-008 device_current
I(V3):      -3.54285e-008 device_current
I(V2):      -0.000136656 device_current
I(V1):      -0.000137628 device_current

```

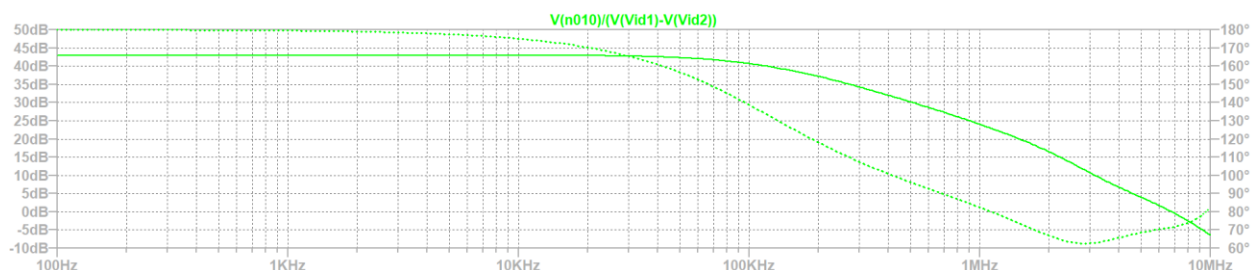
که برای راحتی مقادیر جریان کالکتور ها و ولتاژ را جدا می کنیم و در جدول دیگر نشان می دهیم:

Transistor	Vce	Ic	gm	beta	Rpi	VA	ro
Q1	15.011	8.53 μ	341.29 μ	200	586.01k	200	23.44M
Q2	15.006	7.6 μ	303.98 μ	200	657.94k	200	26.32M
Q3	0.31	-7.56 μ	302.36 μ	100	330.73k	50	6.61M
Q4	13.39	-8.5 μ	340.18 μ	100	293.97k	50	5.88M
Q5	0.59	8.42 μ	336.9 μ	200	593.64k	200	23.75M
Q6	13.67	8.46 μ	338.23 μ	200	591.31k	200	23.65M
Q7	0.58	-15.82 μ	632.62 μ	100	158.07k	50	3.16M
Q8	16.15	-20.74 μ	829.59 μ	100	120.54k	50	2.41M
Q9	13.8	20.88 μ	835.34 μ	200	239.42k	200	9.58M
Q10	0.66	99.19 μ	3.97m	200	50.41k	200	2.02M
Q11	0.63	-98.8 μ	3.95m	100	25.3k	50	506.09k

اولین نکته که در این شبیه سازی به چشم میخورد عدم تقارن در جریان بایاس شاخه ها است که در تئوری همیشه اولین فرض تقارن مدار است. این عدم تقارن بخشی بخاطر خروجی تک سر و قرار گیری لود است و بخش دیگر آن بخاطر عدم تقارن آینه جریان ها و اکتیو لود است. قسمت ویدلر مدار تقریباً همانطور که انتظار میرفت جریان مطلوب ما را تولید کرده است ولی بخاطر عدم تقارن در آینه های جریان مقدار جریان کمتری برای بایاس به قسمت دیفرانسیلی مدار رسیده است که احتمالاً بخاطر افت گین در مراحل بعدتر می شود ولی در عوض مقدار مقاومت ها را افزایش می دهد. با یک حساب سر انگشتی از روی جدول بالا و بررسی مقاومت پای می بینیم که مقدار مقاومت ورودی همان ۲ مگا اهم و حتی کمی بیشتر است که مطلوب است ولی برای بررسی گین نیاز به شبیه سازی بیشتر داریم.

بررسی در حالت ac:

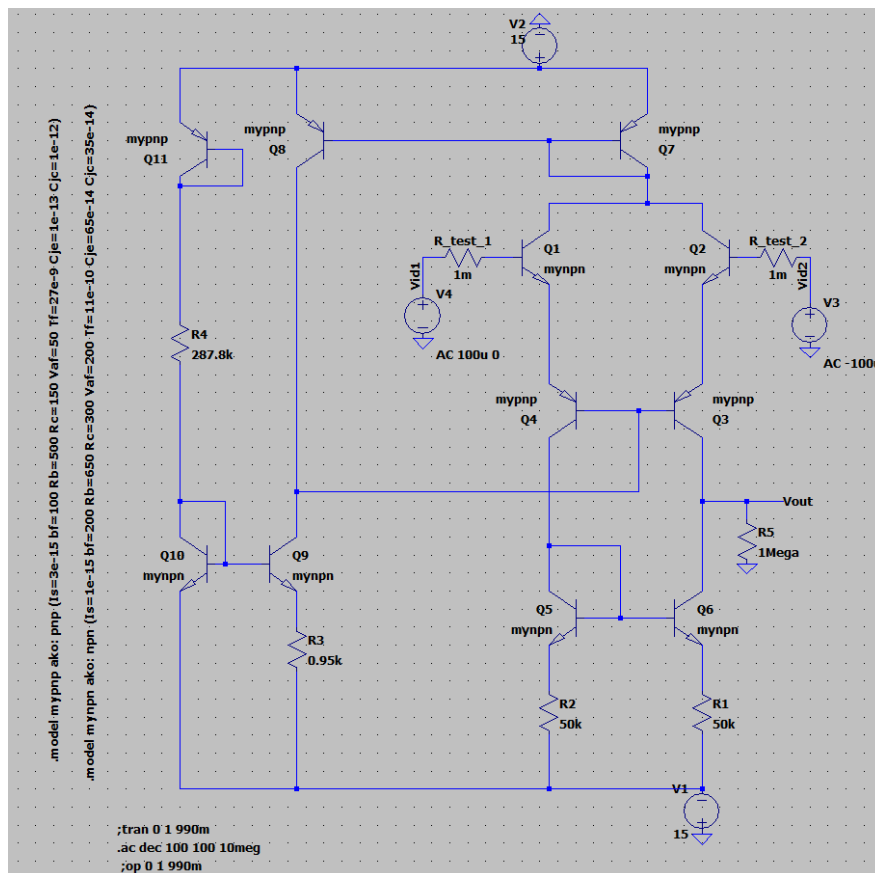
همانطور که در قسمت قبل دیدیم غیر ایده آل بودن مدار باعث شد جریان بایاس افت داشته باشد که در مورد مقاومت ورودی به نفع ما شد ولی به قیمت گین تمام شد و در اینجا می بینیم که علی رغم بررسی های تئوری، گین افت حدوداً ۷ دسی بل را تجربه کرده است. البته این مورد از روی مقدار gm در قسمت قبل هم قابل پیش بینی بود.



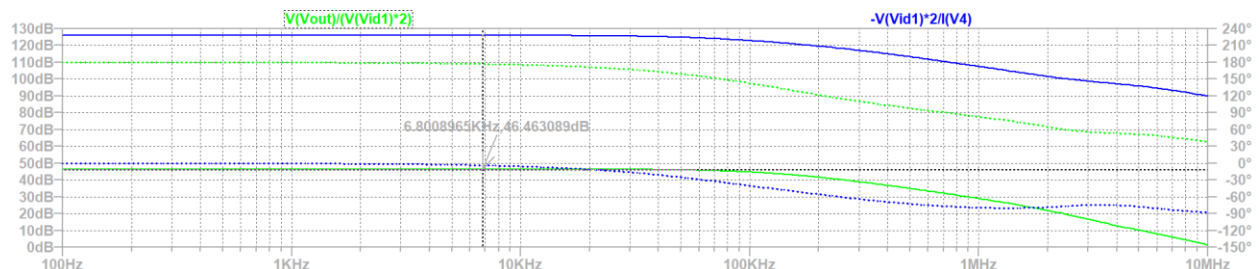
در صورتی که بخواهیم شرایط بایاس را شبیه حالت تئوری کرده و دوباره شبیه سازی انجام دهیم، می توانیم با اندکی تغییر در قسمت ویدلر مدار جریان بایاس را افزایش دهیم.

یک راه دیگر هم برای افزایش تقارن و بهتر کردن بایاس نامتقارن قرار دادن مقاومت های R_1 و R_2 است طوری که اثر وجود لود در یک طرف مدار را خنثی کند. البته این روش در مدار نهایی قابل استفاده نیست چون از مقدار لود خبر نداریم و باید مقاومت خروجی را با طبقات دیگر کم کنیم تا اثر لودینگ حداقل شود و مقدار گین وابسته به لود نباشد.

با کمی آزمون و خطا می توانیم جریان بایاس را تا حداکثر مقداری که مقاومت ورودی اجازه میدهد بالا ببریم و تقارن مدار را هم کمی بهم بزنییم تا به گین بیشتر برسیم:

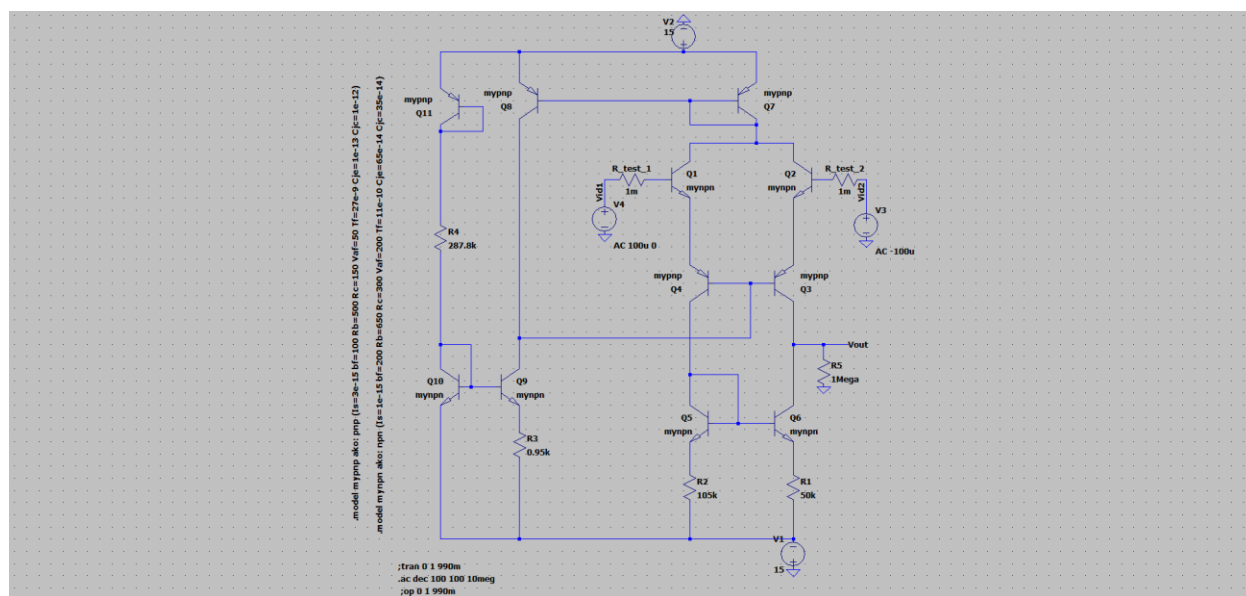
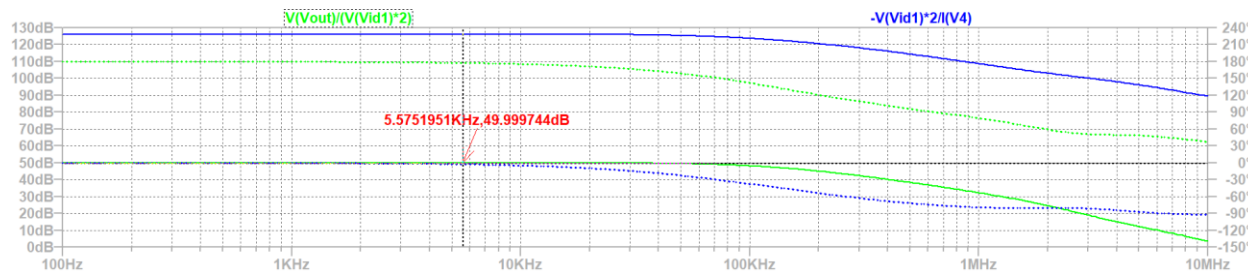


در این صورت گین به حدود ۴۷ دسیبل می رسد:



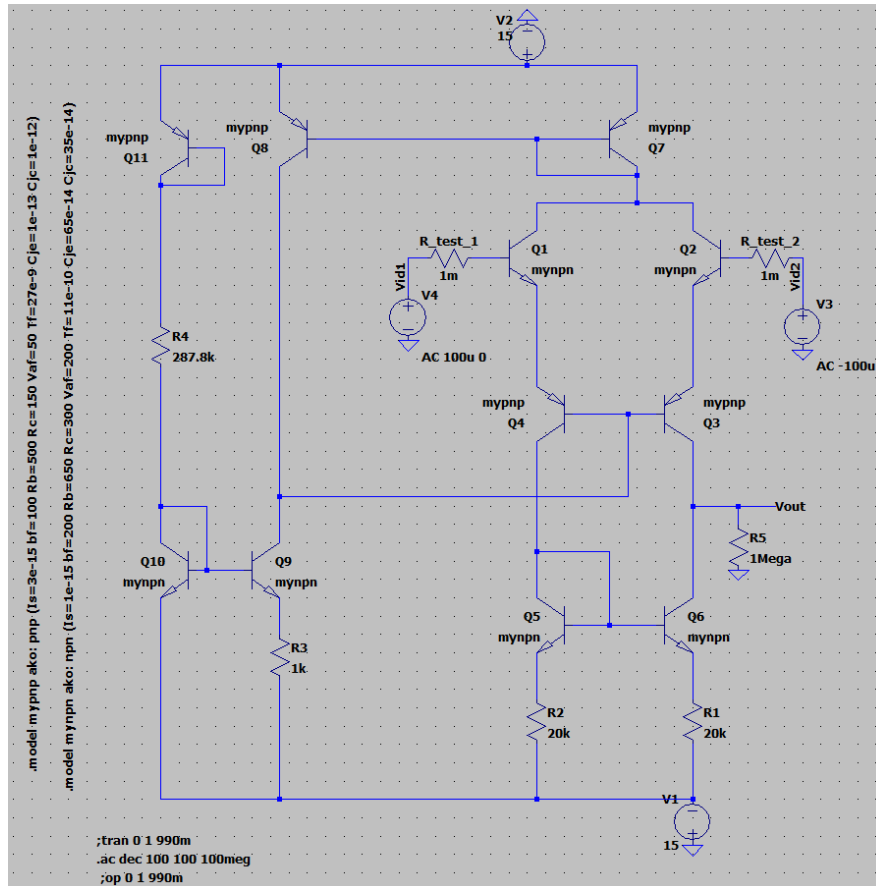
که این بیشترین مقدار جریان بایاسی است که می توانیم بدهیم چون بیشتر از این حالت مقاومت ورودی به زیر ۲مگا افت میکند. (۱۲۶ دسیبل)

با بهم زدن تقارن مقاومت های آمیترها می توانیم به گین های بسیار بیشتر هم برسیم:

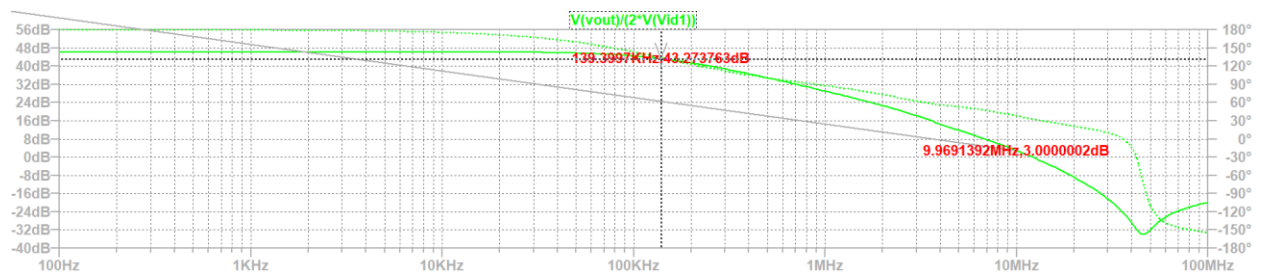


بهرحال برای ادامه دادن شبیه سازی ها تقارن مدار را بهم نمیزنیم تا شرایط مدار های دیفرانسیلی برقرار باشد ولی جریان بایاس را کمی افزایش می دهیم تا گین بهتر شود. چون جریان بایاس زیاد شده است برای حفظ سوپینگ می توانیم مقدار مقاومت های آمیتر را کم کنیم تا سوپینگ حفظ شود.

مبنای بقیه شبیه سازی ها و گزارشات مدار زیر است :

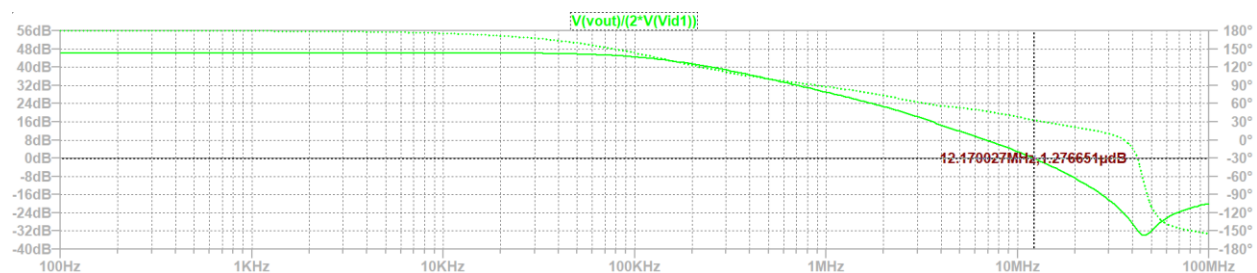


پیدا کردن افت به گین ۳ دسیبل :



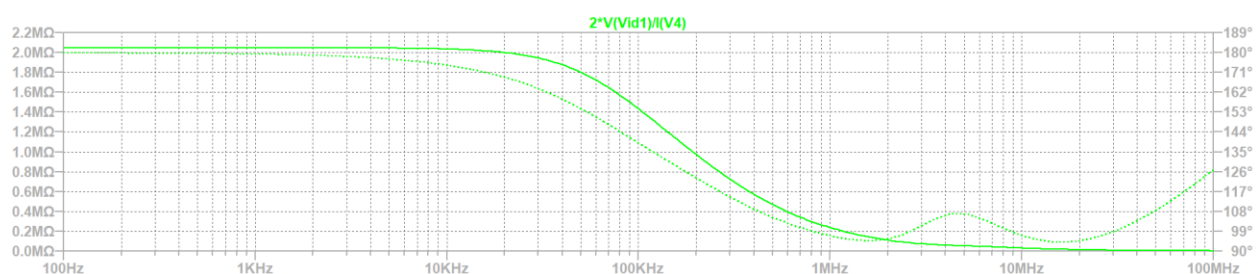
در فرکانس ۹۶۷ مگاهرتز گین ۳ دسیبل می شود. در فرکانس ۱۳۹/۴ کیلوهرتز مقدار گین نسبت به ماکسیمم خود ۳ دسیبل افت میکند. هردوی این موارد از پارامترهای مهم مدار حساب می شوند.

گین صفر دسیبل :



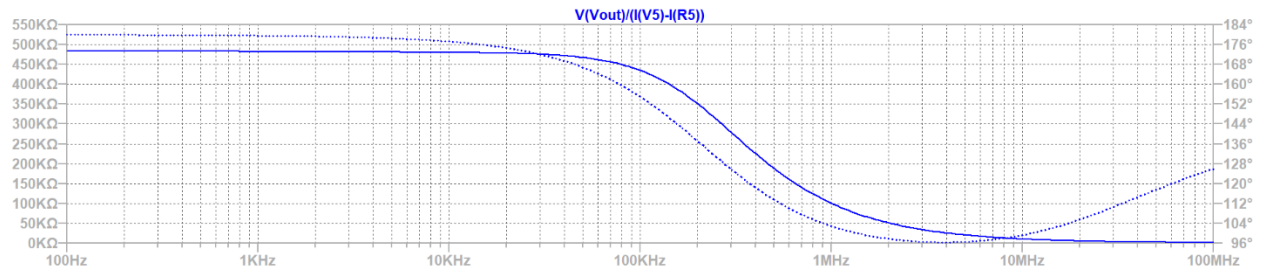
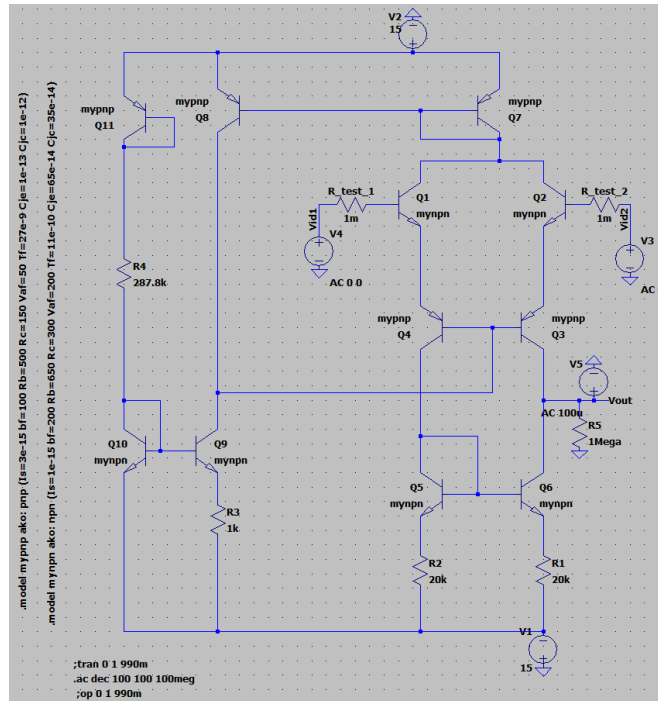
در فرکانس ۱۲/۱۷ مگاهرتز به گین واحد میرسیم.

مقاومت ورودی :



مقاومت خروجی :

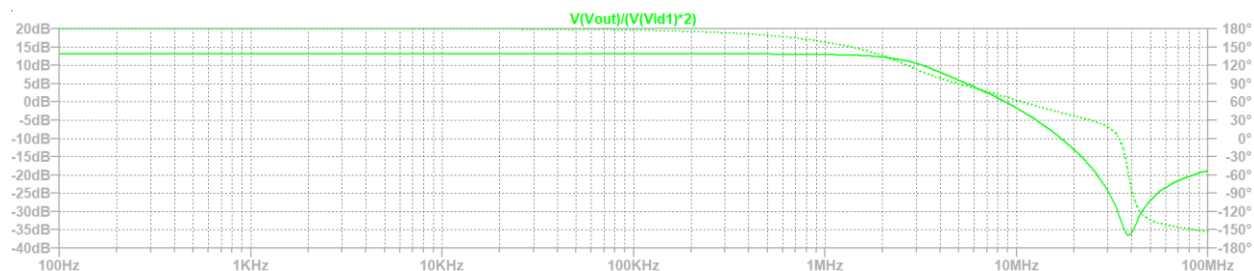
برای مقاومت خروجی مثل مدارهایی که بصورت دستی حل میکنیم ورودی را خاموش میکنیم و در خروجی یک سورس میگذاریم :



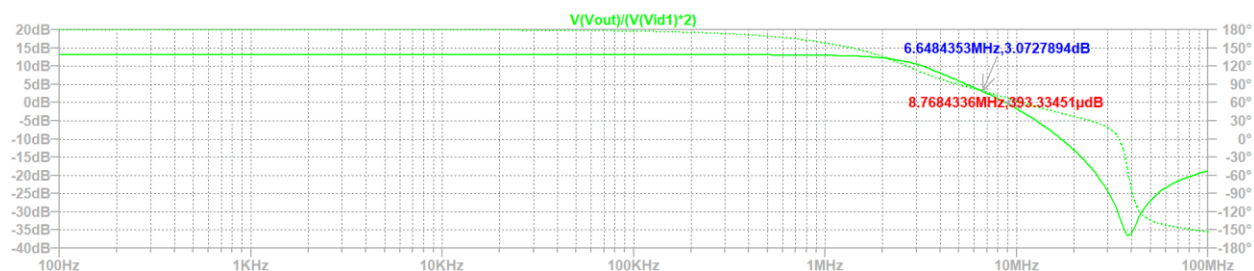
باید حواسمان باشد در محاسبه مقاومت خروجی لود را تاثیر ندهیم که برای همین جریان کشیده شده توسط آن را کم کرده ایم در محاسبات.

تکرار مراحل برای لود ۲۵۰ کیلو:

بررسی بهره :

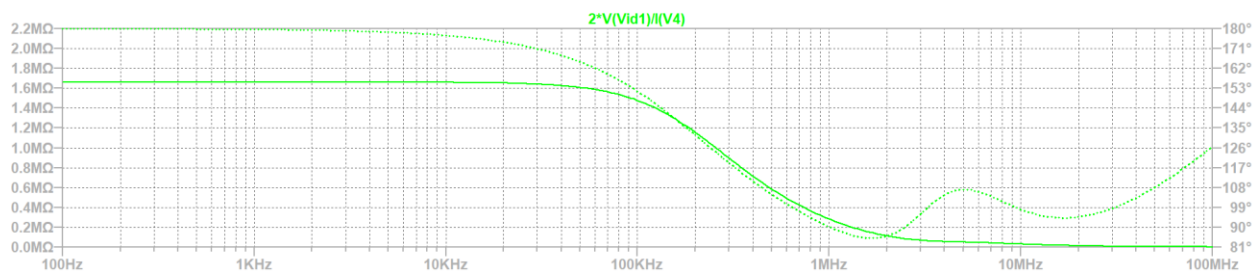


بررسی فرکانس های گین واحد و ۳ دسیبل :



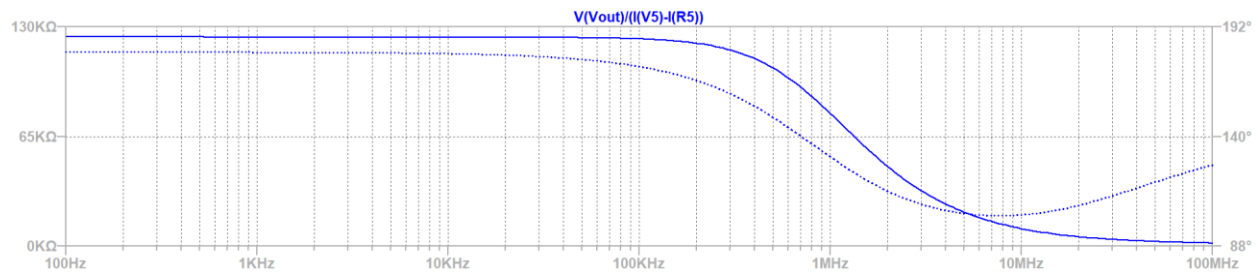
در فرکانس ۶/۶۵ مگاهرتز به بهره سه دسیبل میرسیم و بهره واحد در ۸/۷۷ مگاهرتز است.

مقاومت ورودی :

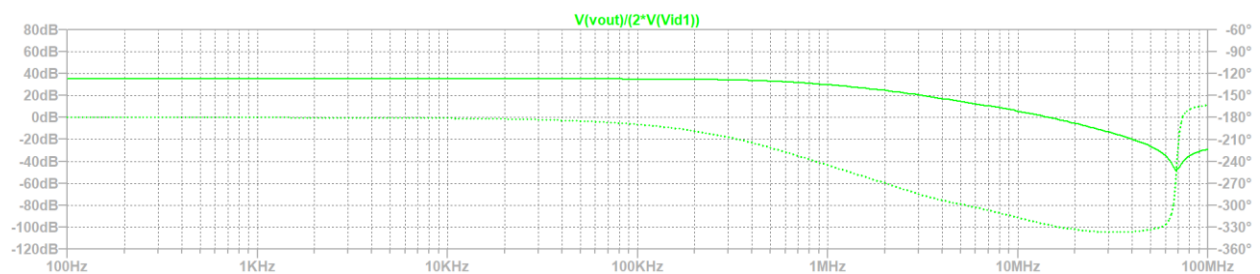
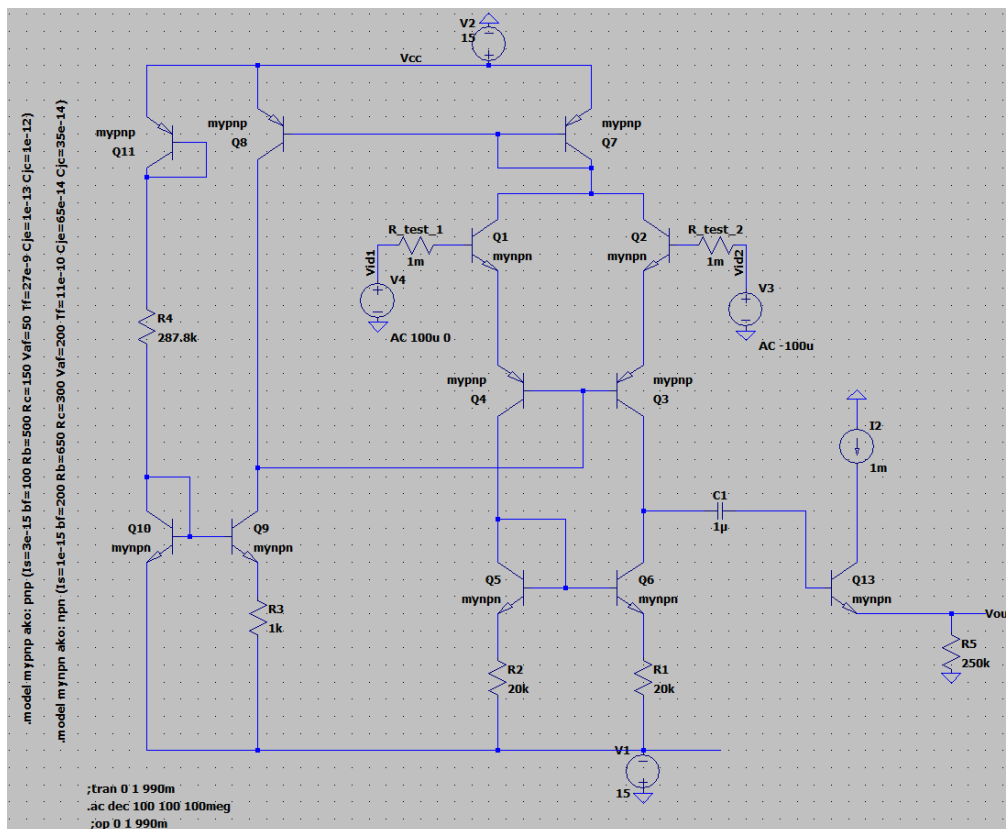


در قسمت قبل چون بایاس مدار را بصورت مرزی روی ۲مگا اهم تعیین کردیم، با کمی تغییر مدار در لود مقاومت افت میکند. در صورتی که به مقدار جریان بایاس تئوری که حساب کردیم بازگردیم مقاومت ورودی بهتر میشود ولی گین افت شدید می کند.

محاسبه مقاومت خروجی:



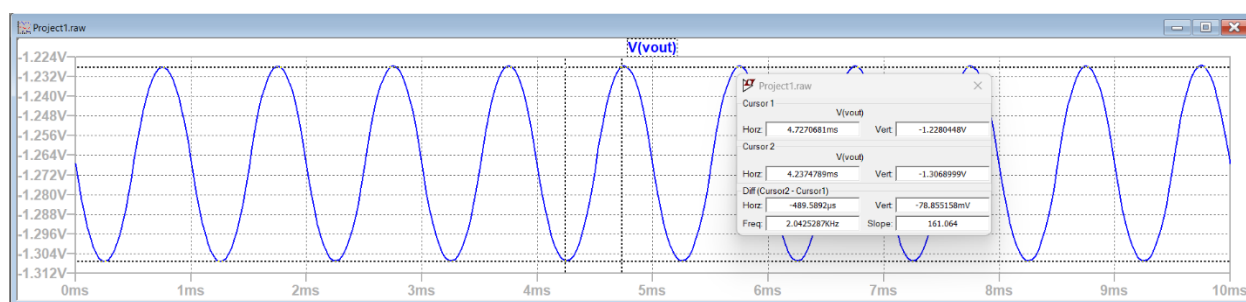
بایستی که تاثیر لود را در مدار خود کم کنیم تا هم بایاس را تغییر ندهد و هم گین را خراب نکند. این کار معمولاً در طبقات خروجی انجام میشود پس تعجبی ندارد که در طبقه ورودی lm741 تعبیه نشده است. بعنوان یک راه حل ساده که از الکترونیک ۱ بخاطر داریم میتوانیم یک بافر ولتاژ قرار دهیم:



همانطور که مشاهده می شود دیگر افت شدید بهره نداریم ولی همچنان تغییرات لود اثر کمتری دارند. در صورت استفاده از طبقات دارلینگتون و ... میتوانیم هرچه بیشتر اثر لود را کاهش دهیم.

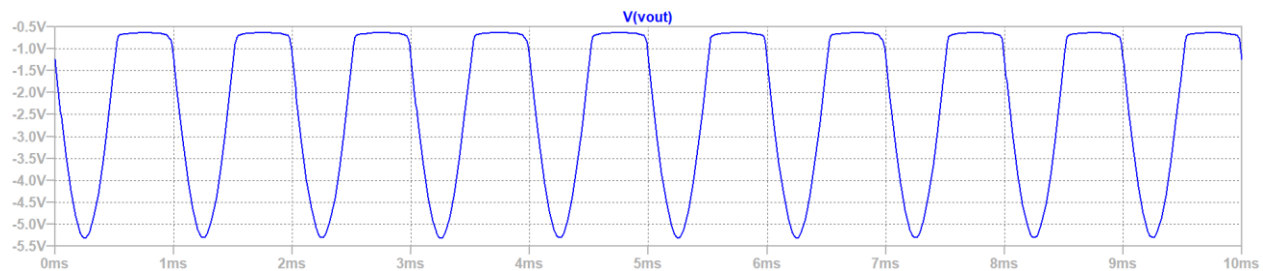
بررسی ترنزینت :

مدار در فرکانس یک کیلو پیک تا پیک حدود ۳۰۰ می‌دهد که یعنی با داده های قسمت قبل همخوانی داریم و خروجی طبق انتظار است.

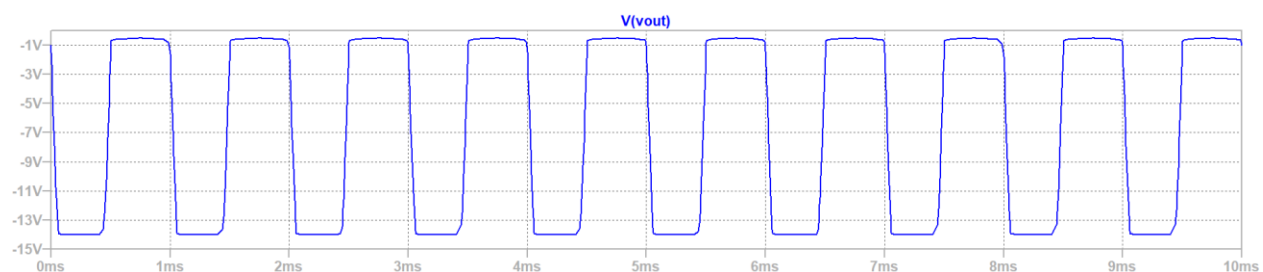


برای پیدا کردن سوینگ خروجی ورودی های با دامنه بزرگتر می دهیم تا مقدار خروجی هایی که در آن خاموش یا اشباع شدن صورت میگیرد را پیدا کنیم:

ورودی ۱۰ میلی ولت:



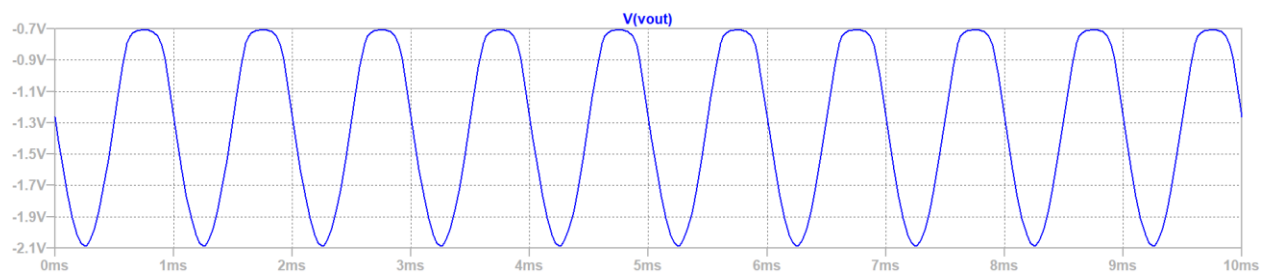
ورودی ۱۰۰ میلی ولت :

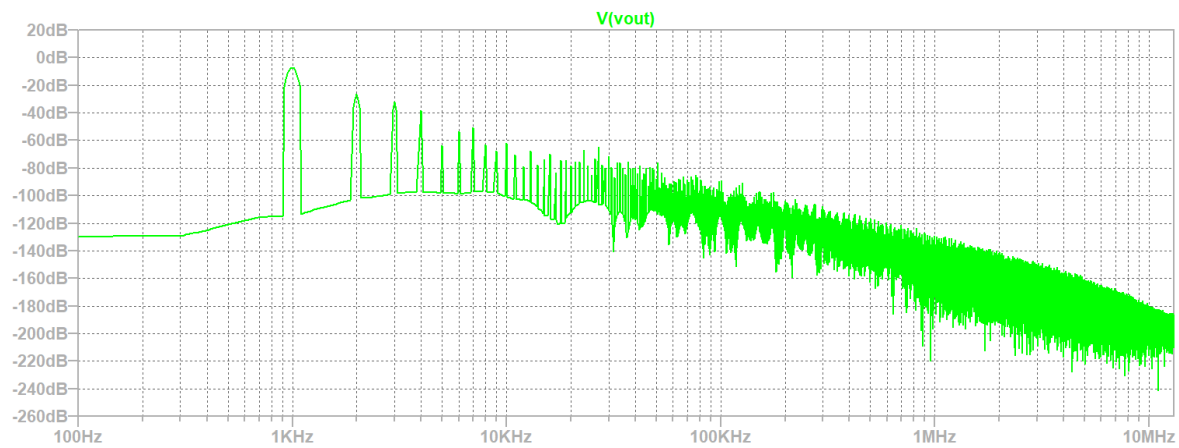


همانطور که در شکل دیده می شود مقدار ماکسیمم خروجی -۵۲٪ ولت است و مقدار مینیمم خروجی -۱۴ ولت است. بایاس خروجی ولتاژ -۱۲۶ ولت است پس سوینگ متقارن در حدود ۷۴٪ ولت است.

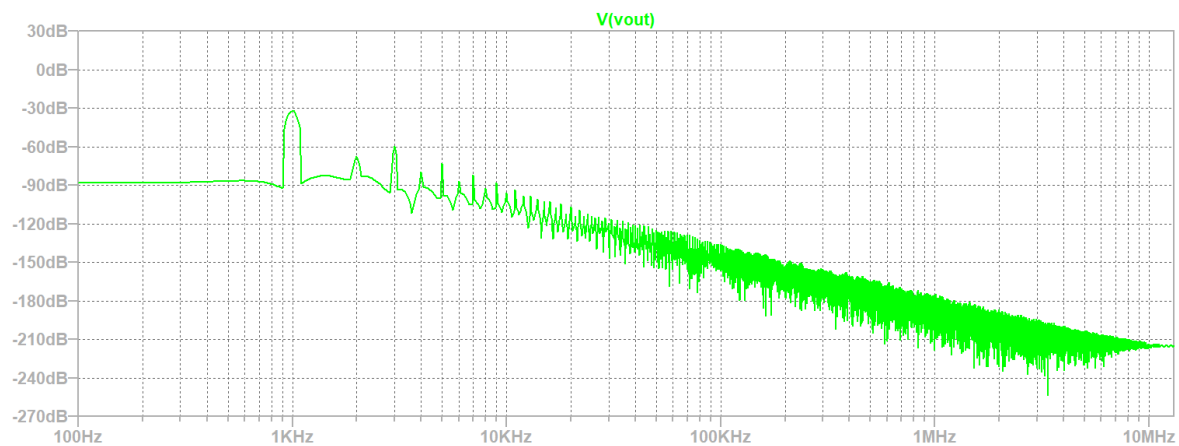
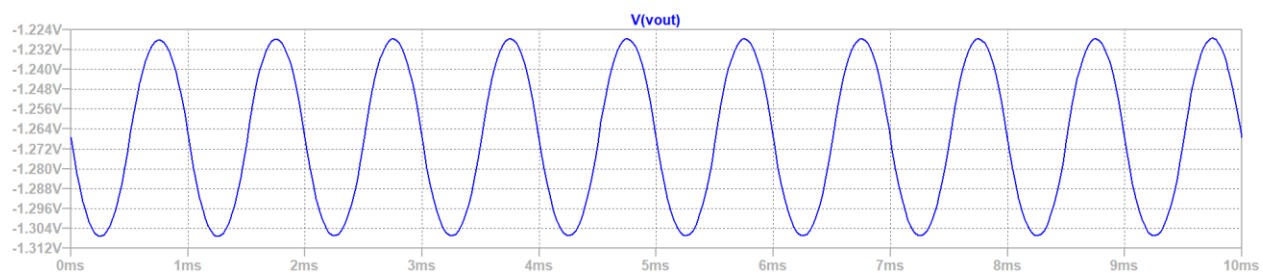
ورودی ۲ میلی ولت تقریباً مرزی است که با بیشتر شدن ورودی از آن خروجی شروع به تغییر شکل شدن میکند. برای ورودی های ۲ میلی ولت و ۱۰۰ میکرو ولت خروجی ها را بررسی میکنیم:

ورودی ۲ میلی ولت :





ورودی ۱۰۰ میکرو ولت:



وقتی ورودی کوچک است و شرایط small signal برقرار است، تقریب خطی مدار دقیق است و اگر ورودی سینوسی بدهیم، خروجی هم از جنس سینوس خواهد بود که یعنی یک دلتا در فرکانس سینوسی که داده شده است. قطعا اینکه فقط یک دلتا در خروجی باشد در شرایط ایده آل است و مقداری نویز و غیر خطی بودن در مدار داریم، ولی هرچقدر دلتایی که دیده می شود بزرگتر از بقیه فرکانس ها باشد یعنی تقریب خطی مدار دقیق تر است.

در حالت دوم که خروجی به وضوح از حالت خطی رد شده است، دیگر تقریب small signal دقت کافی ندارد و مدار نوعی از تابع exp خواهد بود که یعنی رابطه ورودی و خروجی از جنس $1+x + x^2/2 + \dots$ خواهد بود، که اگر ورودی این تابع را سینوس بدهیم، در خروجی توان های بالاتر سینوس ظاهر خواهند شد. از طریق اتحاد های مثلثاتی می دانیم که توان سینوس ها میتواند تبدیل به ضرب های بالاتر فرکانس ها شود، پس در خروجی می بینیم که تبدیل فوریه در ضرایب بالاتر از فرکانس ورودی هم پیک دارد که نشانه از طبیعت غیر خطی مدار است.

مشخصه slew rate نشان دهنده این است که مقدار خروجی مدار حداکثر با چه نرخ می تواند تغییر کند. طبعاً هرچقدر این پارامتر برای یک اپ امپ بیشتر باشد کاربردی تر و بهتر است. از طریق همین پارامتر می توانیم بفهمیم حداکثر فرکانس ورودی که میتوانیم برای یک مدار داشته باشیم چقدر است.

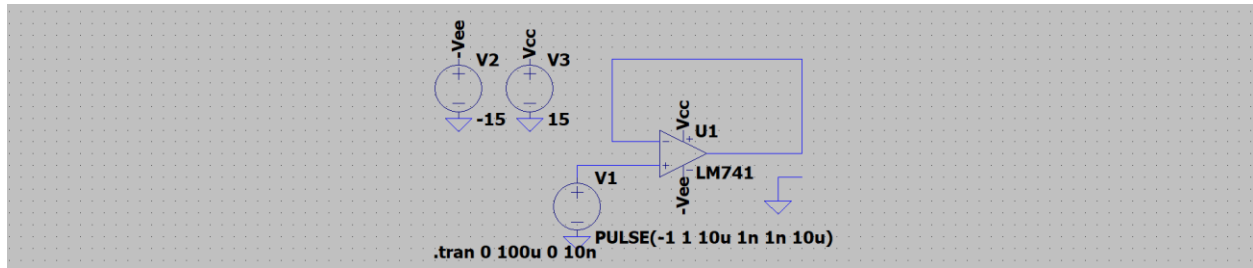
در بعضی موارد که گین رو سرعت مدار تاثیر دارد slew rate در گین واحد محاسبه می شود تا اندازه گیری ها استاندارد تر شوند. اگر بخواهیم برای تعاریف ارائه شده در پاراگراف قبل توصیف ریاضی ارائه دهیم :

$$S = \left. \frac{dV_0}{dt} \right|_{\text{maximum}} \text{ Volts}/\mu\text{S}$$

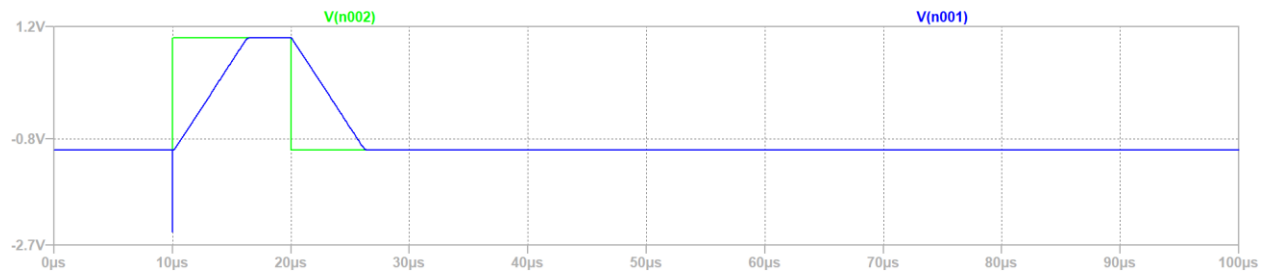
روش عملی اندازه گیری slew rate شامل دادن یک ورودی پله بزرگ و دیدن تغییرات در خروجی است به این صورت که چقدر زمان طول میکشد تا خروجی به مقدار حداکثر خود برسد، به بیان دیگر :

$$\text{Slew Rate}(S) = \frac{dV_0}{dt} = \frac{V_0(90\%) - V_0(10\%)}{t_{(90\%)} - t_{(10\%)}}$$

برای پیاده سازی از مدار زیر استفاده می کنیم:



که خروجی به صورت زیر است :



که تاخیر کاملاً مشهود است.

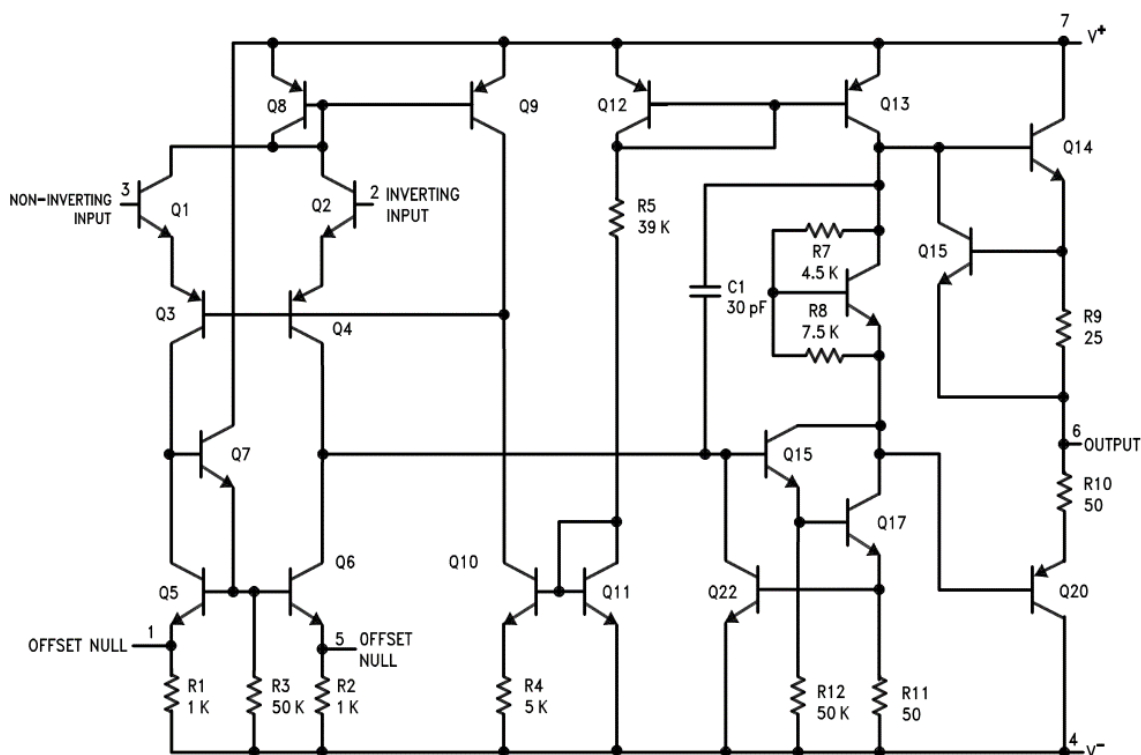
برای محاسبات هم چون خروجی به شکل خط است نیازی به مقدارهای ده درصد و نود درصد نداریم، فقط شیب خروجی را حساب میکنیم.

$$slewrate = \frac{2V}{6.184\mu s} = 0.323 V/\mu s$$

که مقدار تیپیکال آن در unity gain حدود ۵٪ ذکر شده است که نزدیک به جوابی است که ما گرفتیم.

بررسی آفست و مقابله با آن :

همانطور که در بین های اپ امپ هم دیدیم پدیده آفست وجود دارد و باید راه هایی باشد که با آنها مقابله کنیم چون offset null داریم. مدار کشیده شده در دیتاشیت به شکل زیر است:



همانطور که دیده میشود مدار اصلی ورودی هایی برای offset null دارد تا عدم تقارن ها و غیر ایده آل بودن های مدار را جبران کند. روش استفاده از این ورودی ها این است که باید یک مدار خارجی مثل یک پتانسیومتر یا مقاومت با ضریب دمایی مشخص را قرار می دهیم تا ولتاژ مورد نظری را بین پایه ها برقرار کند، تا مدار به صورت ایده آل شود و بتوانیم با ورودی صرف خروجی صفر بگیریم.

مدار اولی که میتوانیم برای تقارن بخشیدن به مدار استفاده کنیم به این صورت است :

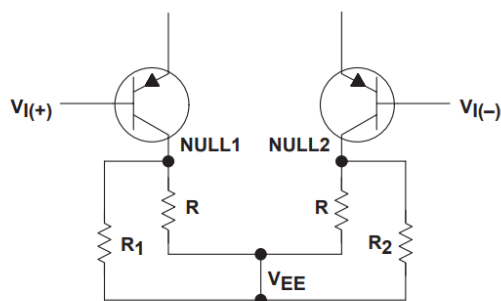
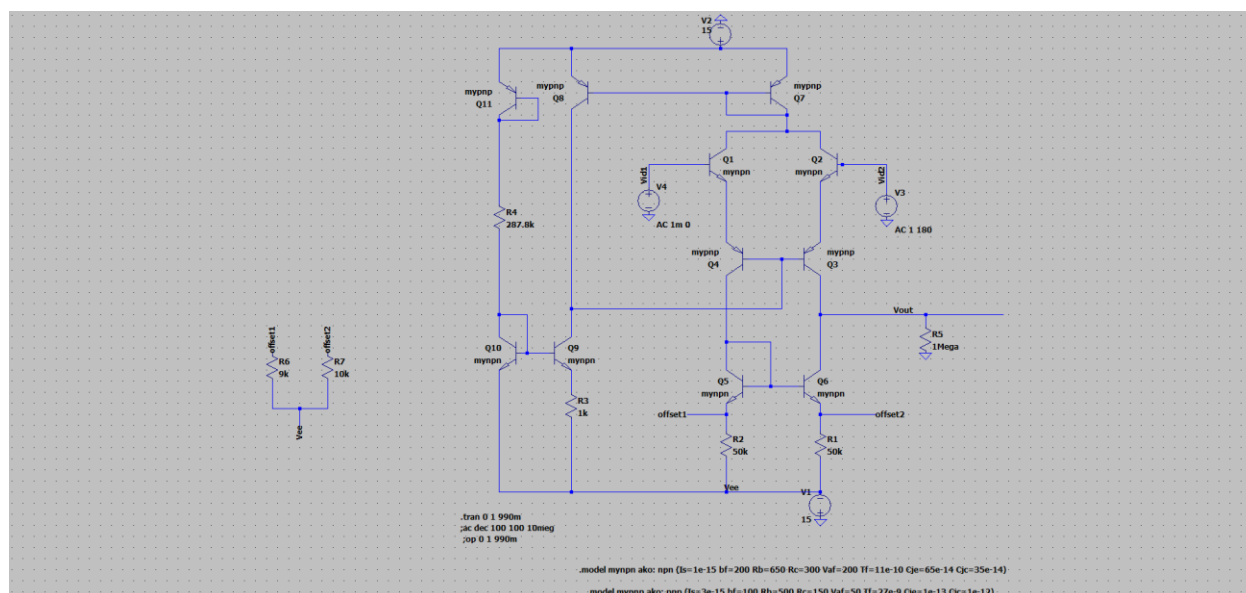


Figure 3. The Null Pins Connected to the Op Amp

با تغییر دادن مقدار های R_1 و R_2 می توانیم کمی عدم تقارن در مدار ایجاد کنیم تا عدم تقارن در بقیه قسمت های مدار را جبران کند. چیزی که ما در نهایت می خواهیم این است که وقتی ورودی دیفرانسیلی صفر است مقدار جریان گذرنده از دو شاخه مدار دقیقاً یکسان باشد.

با نگاه کردن به طبقه ورودی lm741 و تطبیق دادن آن با مدار خودمان برای افزودن پایه های offsetnull به مدار خودمان به شکل زیر اقدام می کنیم :



با تشکیل این مدار جریان شاخه های تقویت کننده دیفرانسیلی تقریباً برابر می شوند که باعث میشود افست در خروجی شکل نگیرد که همان مورد مطلوب ما است.