

# 运算器的踩坑之路

---

Verilog建模的方式有三种：

1. 行为级
2. 门级（逻辑级）
3. 数据流建模

在进行这个仿真实验的时候我将三种建模方式都尝试了一遍，但是都与老师给的波形图不符合，这一定是哪里出错了

## M的作用

---

M是为了区分算数运算和逻辑运算的一个标志，当M为0的时候进行算术运算，当M为1的时候进行逻辑运算

## CN的作用

---

CN是由ALU产生的向高位的进位，这里采用的是负逻辑，当CN为0的时候才表示向高位的进位，当然这里的进位应该这样理解：当我们进行加法的时候，进位是向上+1，减法的时候是向高位借1

## Verilog中的位提升

---

当我们将一个4位的运算式赋值给一个5位的结果的时候，运算式中的变量数值都会进行位提升，补齐位数，即

```
reg[3:0] A = 4'h5;
reg[3:0] B = 4'h7;
wire[4:0] F = A|~B;
F = 5'b11101而不是5'b01101
```

## 逻辑0和逻辑1

---

以8位数据为例：

逻辑0为8'h00;

逻辑1为8'hff;

并且这时候应该保证进位为逻辑值