

Architecture des processeurs RISC-V(RV32I)

Architecture monocycle

Michel Agoyan (michel.agoyan@thalesgroup.com),
Clément Fanjas (clement.fanjas@cea.fr),
Théophile Gousselot (theophile.gousselot@emse.fr),
Marc Lacruche (marc.lacruche@st.com),
Louis Noyez (louis.noyez@emse.fr),
Simon Pontié (simon.pontier@cea.fr),
Olivier Potin (olivier.potin@emse.fr),
Jean-Baptiste Rigaud (rigaud@emse.fr).

26 novembre 2022

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Plan

1 Architecture du Microprocesseur

- Introduction

2 Les composants du chemin de données

- Le banc de registres
- L'unité arithmétique et logique
- La mémoire

3 Format des instructions

4 Retour TD1

5 Construction du chemin de données

- La mémoire instructions
- Les instructions de type R
- Les instructions de type I

- Les instructions de type U

- Extraction des valeurs immédiates

- Chargement de valeur immédiate 32 bits

- Instructions Load W et Store W

- Les instructions de type S

- Les instructions de type I

6 Analyse temporelle

- La bascule D

- Analyse de performance format R-I

- Analyse de performance format S : SW

- Analyse de performance format I : LW

- Analyse temporelle : fin

- Analyse de performance : fin

Outline

1 Architecture du Microprocesseur

● Introduction

2 Les composants du chemin de données

- Le banc de registres
- L'unité arithmétique et logique
- La mémoire

3 Format des instructions

4 Retour TD1

5 Construction du chemin de données

- La mémoire instructions
- Les instructions de type R
- Les instructions de type I

● Les instructions de type U

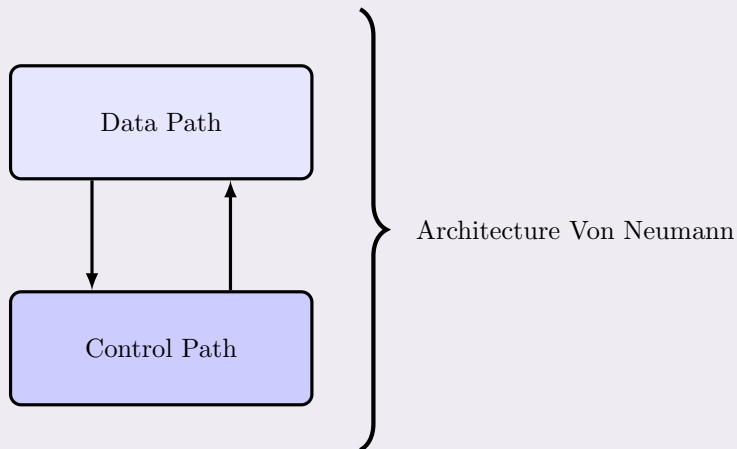
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6 Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

Synoptique Général

Architecture de Von Neumann



Plan

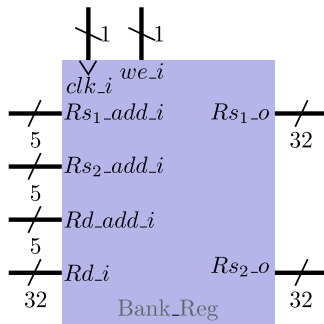
- 1 Architecture du Microprocesseur
 - Introduction
- 2 **Les composants du chemin de données**
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I
- 6 Analyse temporelle
 - Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 **Les composants du chemin de données**
 - **Le banc de registres**
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

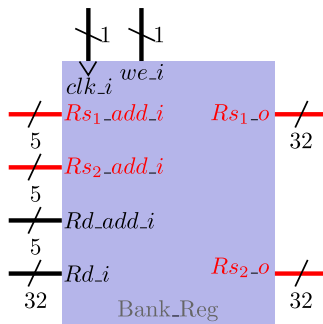
Le banc de registres



Caractéristiques

- 32 registres de 32 bits
- Dans l'architecture RISC-V, R_0 est câblé à 0 sans écriture possible.

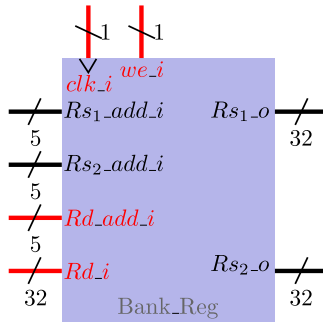
Le banc de registres



Lecture

- asynchrone
- 2 sorties de 32 bits de registre : $Rs1_o$ et $Rs2_o$ à destination de l'ALU pour l'opérande 1 (Op_1) et l'opérande 2 (Op_2)
- $Rs1_o$ et $Rs2_o$ sont indexés par $Rs1_add_i$ et $Rs2_add_i$

Le banc de registres



Écriture

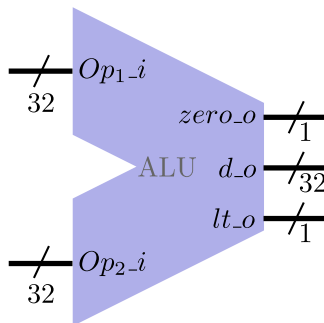
- synchrone (sur front montant de l'horloge)
- qualifié par *we_i* actif à l'état haut
- la valeur sur l'entrée de 32 bits *Rd_i* est copiée dans le registre indexé par *Rd_add_i*.

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 **Les composants du chemin de données**
 - Le banc de registres
 - **L'unité arithmétique et logique**
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

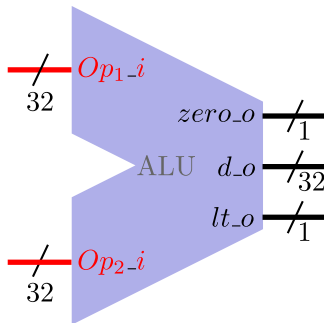
L'ALU



Caractéristiques

Dans l'architecture RISC-V RV(32I), l'ALU réalise des opérations simples (1 cycle horloge) \Rightarrow pas de multiplication ni de division.

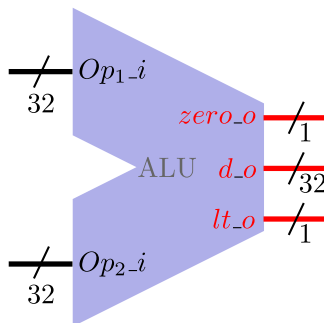
L'ALU



Entrées

- 2 opérandes sur 32 bits : Op_1_i et Op_2_i
- une sélection de fonction 4 bits : $func_i$ (addition , soustraction, décalage, comparaison)

L'ALU



Sorties

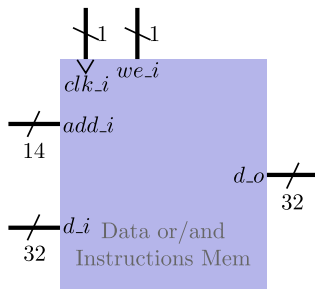
- d_o sur 32bits
- résultats sur 1 bit de la fonction de comparaison :
 - $zero_o$
 - lt_o (less than)

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 **Les composants du chemin de données**
 - Le banc de registres
 - L'unité arithmétique et logique
 - **La mémoire**
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 **Analyse temporelle**
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

La mémoire



Caractéristiques

- utilisée pour les instructions et les données
- lecture asynchrone
- écriture synchrone (ie : sur front montant de l'horloge) qualifiée par we_i . Largeur 32 bits, profondeur $4096 = 2^{12}$ mots
- dans le de l'architecture RISC-V simplifiée : pas d'accès demi-mot ou octet mais l'adressage reste un adressage sur octet

Plan

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 **Format des instructions**
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I
- 6 Analyse temporelle
 - Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I

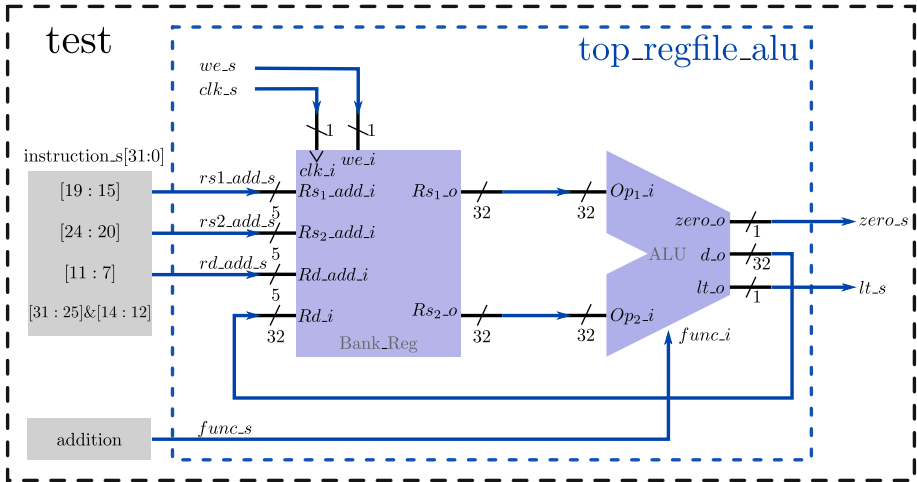
Format des instructions (RV32I)

31	30	25	24	21	20	19	15	14	12	11	8	7	6	0			
funct7				rs2			rs1		funct3		rd			opcode 0110011		R-type	
imm[11:0]						rs1		funct3		rd			opcode 0010011		I-type		
imm[11:5]				rs2			rs1		funct3		imm[4:0]			opcode 0100011		S-type	
imm[12]		imm[10:5]			rs2			rs1		funct3		imm[4:1]		imm[11]		opcode 1100111	B-type
imm[31:12]										rd			opcode 0110111		U-type		
imm[20]		imm[10:1]			imm[11]		imm[19:12]			rd			opcode 1101111		J-type		

Plan

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1**
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I
- 6 Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Test bench du TD1 : Banc de registres et ALU



Plan

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I
- 6 Analyse temporelle
 - Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I

Outline

1 Architecture du Microprocesseur

- Introduction

2 Les composants du chemin de données

- Le banc de registres
- L'unité arithmétique et logique
- La mémoire

3 Format des instructions

4 Retour TD1

5 Construction du chemin de données

- **La mémoire instructions**
- Les instructions de type R
- Les instructions de type I

- Les instructions de type U

- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

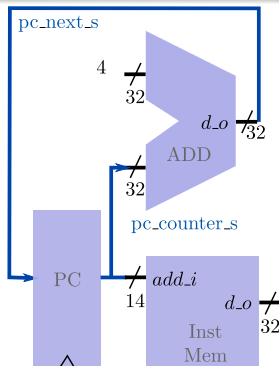
6 Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

La mémoire instructions

Basic Block

- Pour l'exécution d'un bloc basique, c'est à dire une séquence d'instructions successives sans rupture du flot d'exécution, les instructions sont lues à des adresses consécutives (distantes de 4.)

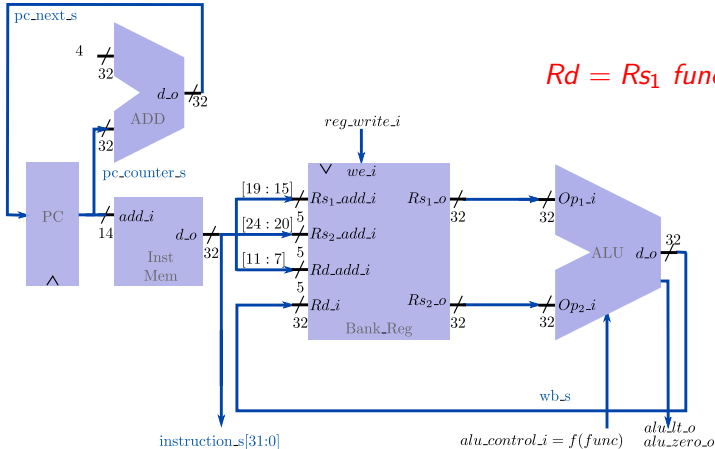
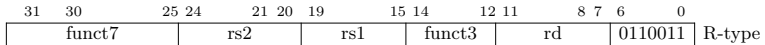


Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - **Les instructions de type R**
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 **Analyse temporelle**
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

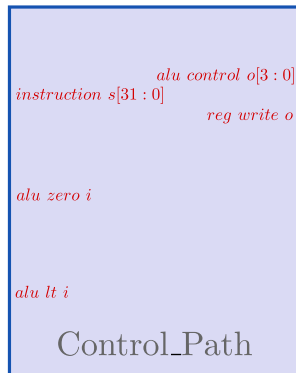
Les instructions arithmétiques et logiques de format R



Logique de contrôle du chemin de données

Le "Control_Path" est constitué de fonctions logiques combinatoires :

- Dont les entrées sont :
 - l'instruction qui contient l'**opcode**, **funct**
 - les bits de statut de l'ALU
- Les sorties contrôlent le "Data_Path"
 - Pour les instructions registre-registre, le but est de traduire **funct** dans le bon mot de contrôle de l'ALU
 - de commander l'écriture dans le banc de registres.

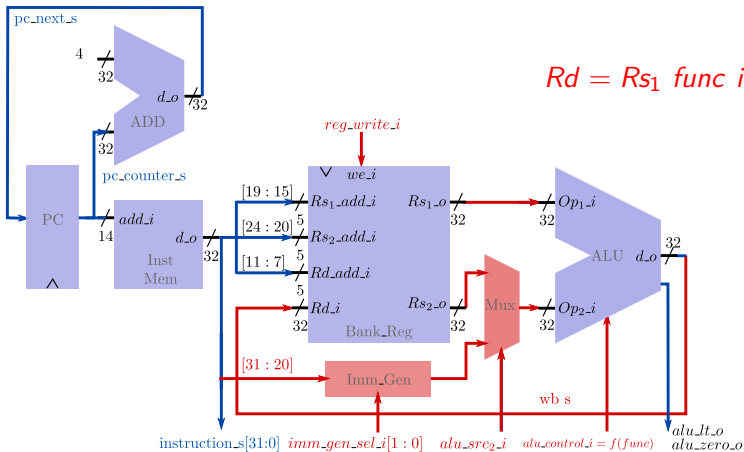
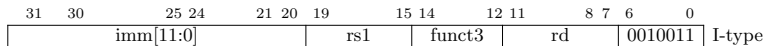


Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - **Les instructions de type I**

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle**
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Les instructions arithmétiques et logiques de format I



Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

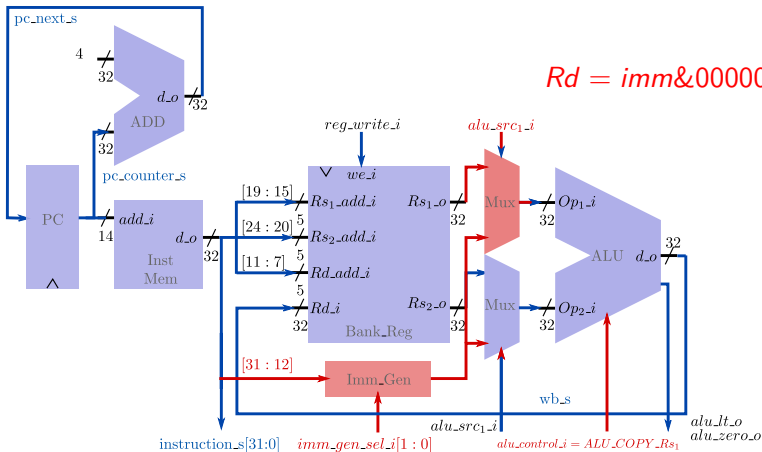
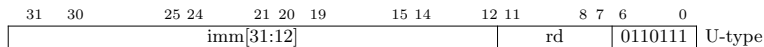
● Les instructions de type U

- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6 Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

Les instructions de format U : Lui



Logique de contrôle pour les instructions de type I et U

On ajoute à la logique du "Control_Path" :

- Le décodage des instructions de type I et U qui va permettre de :
 - générer le signal de pilotage *alu_src₁* et *alu_src₂*
 - choisir le traitement de la valeur immédiate *imm_gen_sel[1 : 0]*



Outline

1 Architecture du Microprocesseur

- Introduction

2 Les composants du chemin de données

- Le banc de registres
- L'unité arithmétique et logique
- La mémoire

3 Format des instructions

4 Retour TD1

5 Construction du chemin de données

- La mémoire instructions
- Les instructions de type R
- Les instructions de type I

- Les instructions de type U

● Extraction des valeurs immédiates

- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6 Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

Extraction des valeurs immédiates

- Pourquoi l'encodage des valeurs immédiates semble si étrange et complexe ?
- Le bit 1 de la valeur immédiate ne peut venir que du bit 8 pour une instruction S ou B D, 21 d'une instruction I ou J ou être fixé à 0 pour une instruction U
- Le bit 0 de la valeur immédiate ne peut venir du bit 7 pour une instruction S, 20 pour une instruction I ou être à 0
- Limiter la complexité des multiplexeurs qui agencent la valeur immédiate

31	30	25	24	21	20	19	15	14	12	11	8	7	6	0			
funct7				rs2			rs1		funct3		rd			0110011		R-type	
imm[11:0]						rs1		funct3		rd			0010011		I-type		
imm[11:5]				rs2			rs1		funct3		imm[4:0]			0100011		S-type	
imm[12]		imm[10:5]			rs2			rs1		funct3		imm[4:1]		imm[11]		1100111	B-type
imm[31:12]										rd			0110111			U-type	
imm[20]		imm[10:1]			imm[11]		imm[19:12]			rd			1101111			J-type	

Extraction des valeurs immédiates

Détail du traitement des valeurs immédiates

- Pour les instructions de type I d'opérations arithmétiques et les instructions d'opérations logiques (ADDI, ORI...):
 - La valeur immédiate 12 bits est considérée comme signée et est étendue à 32 bits \Rightarrow les bits 31 à 12 sont égaux à la valeur du bit 11
- Pour les instructions de type U (LUI...):
 - Les 20 bits de poids fort sont ceux de l'instruction, les 12 bits de poids faibles sont à zéro

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - **Chargement de valeur immédiate 32 bits**
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Chargement de valeur immédiate 32 bits

- Le chargement d'une valeur immédiate de 32 bits dans un registre se fait à l'aide de la séquence d'instruction LUI et ADDI , symbolisée en assembleur par LI :
- $\text{LUI } \langle \text{=>} \text{ Rd} = \text{imm}[31 : 12] \ \& \ [000000000000]$
 - Exemple : $\text{LUI R1, \#0x12345} \langle \text{=>} \text{ R1} = 0\text{x12345000}$
- $\text{ADDI } \langle \text{=>} \text{ Rd} = \text{Rs1} + \text{sigext}(\text{imm}[11 : 0])$
 - Exemple : $\text{ADDI R1,R1,\#0x678} \langle \text{=>} \text{ R1} = 0\text{x12345678}$
- Quelle est la séquence LUI, ADDI pour charger la valeur 0xDEADBEEF dans R1 ?(TD2)

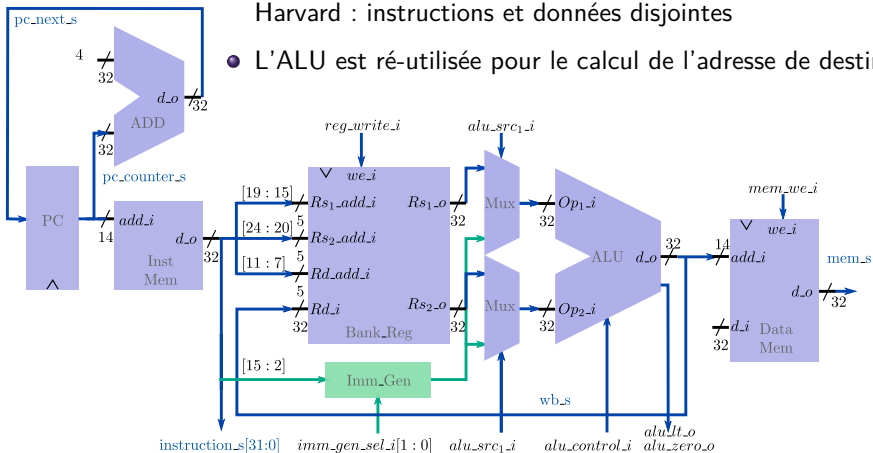
Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - **Instructions Load W et Store W**
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Instructions Load W et Store W

- L'architecture mono-cycle impose une architecture mémoire Harvard : instructions et données disjointes
- L'ALU est ré-utilisée pour le calcul de l'adresse de destination

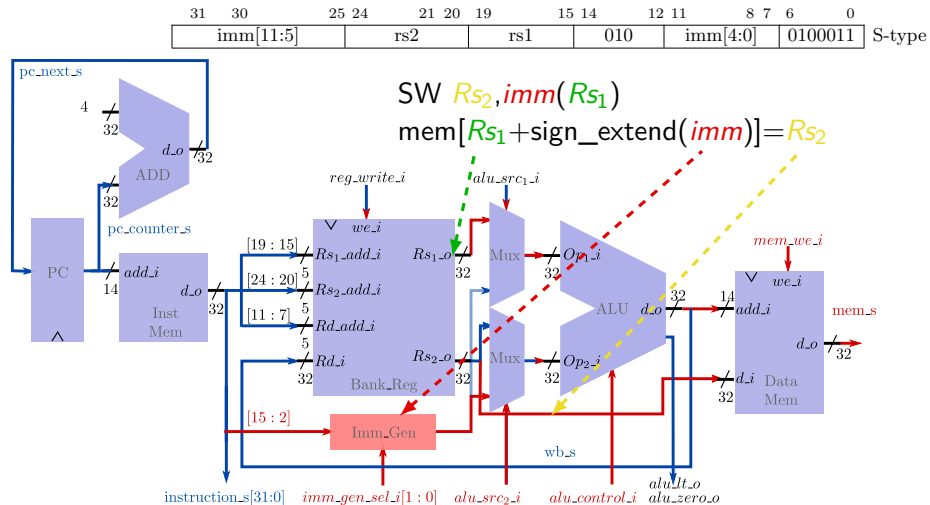


Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - **Les instructions de type S**
 - Les instructions de type I
- 6 **Analyse temporelle**
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

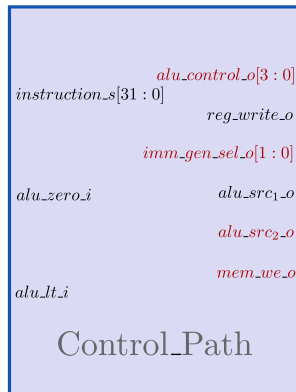
Instructions Store W (format S)



Logique de contrôle pour l'instruction Store W (format S)

On ajoute à la logique du "Control_Path" :

- Le décodage des instructions de type S qui va permettre de :
 - générer le signal de pilotage *alu_src2*
 - choisir le traitement de la valeur immédiate *imm_gen_sel[1 : 0]*
 - générer le signal de demande d'écriture dans la mémoire de données

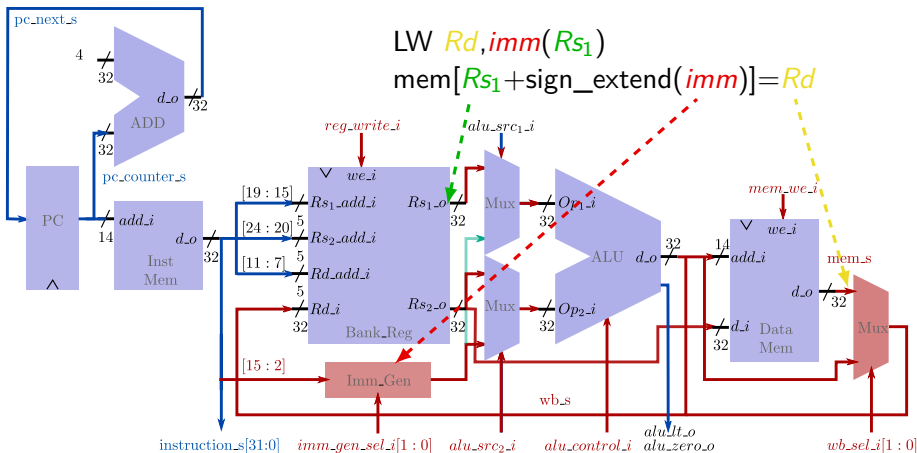
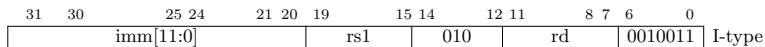


Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 **Construction du chemin de données**
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - **Les instructions de type I**
- 6 **Analyse temporelle**
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Instructions Load W (format I)



Logique de contrôle pour l'instruction Laod W (format I)

On ajoute à la logique du "Control_Path" :

- Le décodage des instructions de type I qui va permettre de :
 - générer le signal de pilotage *alu_src2*
 - choisir le traitement de la valeur immédiate *imm_gen_sel[1 : 0]*
 - générer le signal de demande d'écriture dans la mémoire de données
 - piloter le signal du mux pour le wb *wb_sel[1 : 0]*



Plan

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I
 - Les instructions de type U
 - Extraction des valeurs immédiates
 - Chargement de valeur immédiate 32 bits
 - Instructions Load W et Store W
 - Les instructions de type S
 - Les instructions de type I
- 6 Analyse temporelle
 - La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

Outline

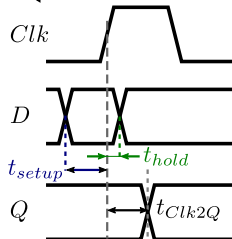
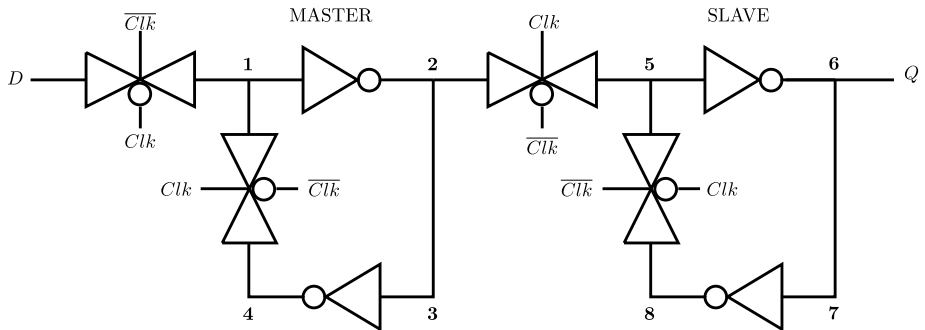
- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

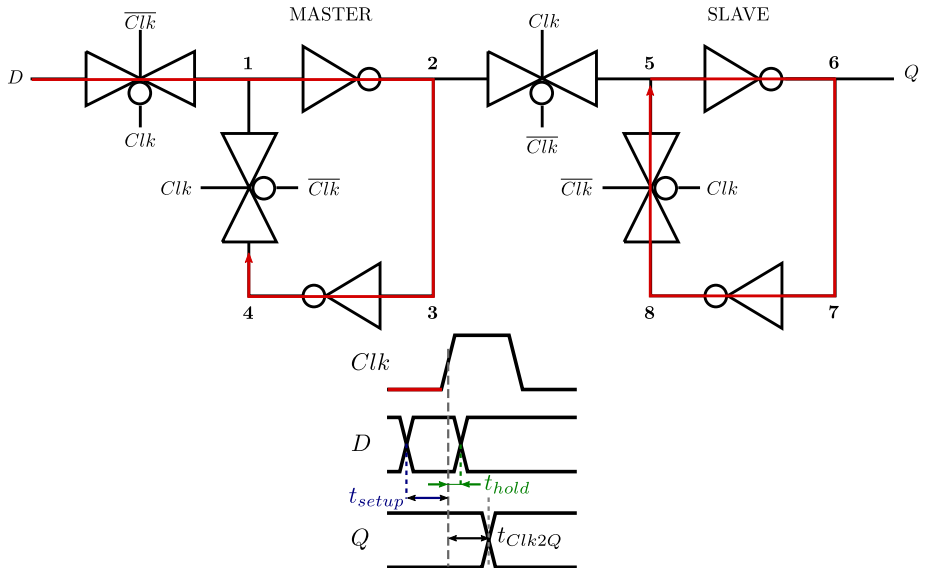
6 Analyse temporelle

- La bascule D
 - Analyse de performance format R-I
 - Analyse de performance format S : SW
 - Analyse de performance format I : LW
 - Analyse temporelle : fin
 - Analyse de performance : fin

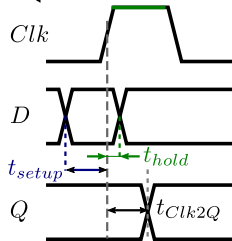
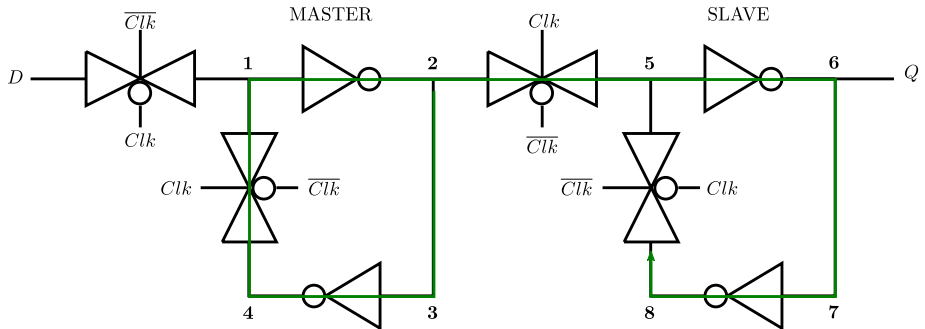
La bascule D



La bascule D



La bascule D



Outline

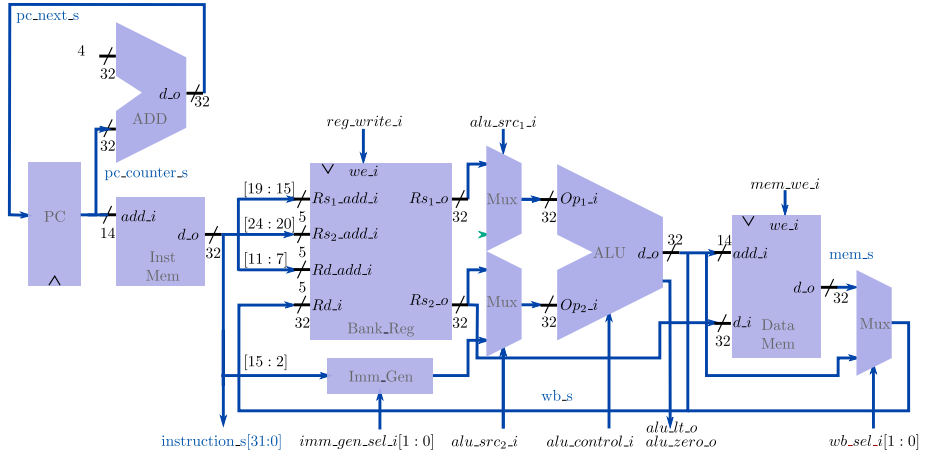
- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

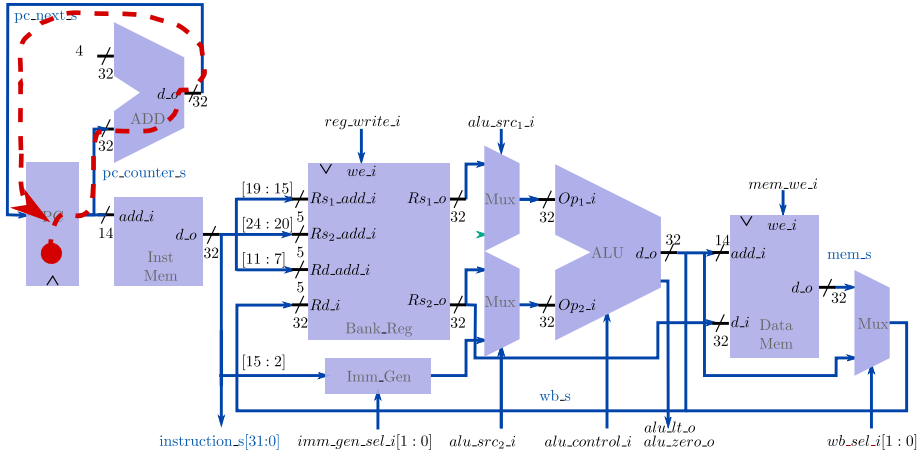
6 Analyse temporelle

- La bascule D
- **Analyse de performance format R-I**
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

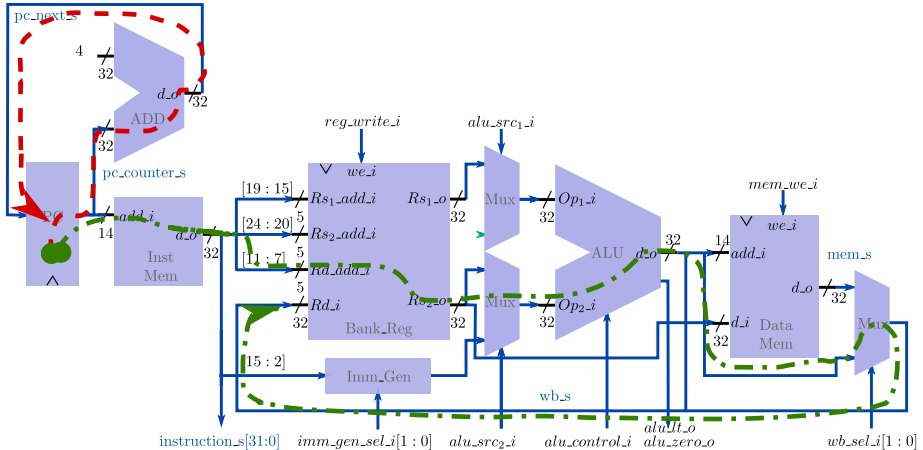
Analyse de performance format R-I



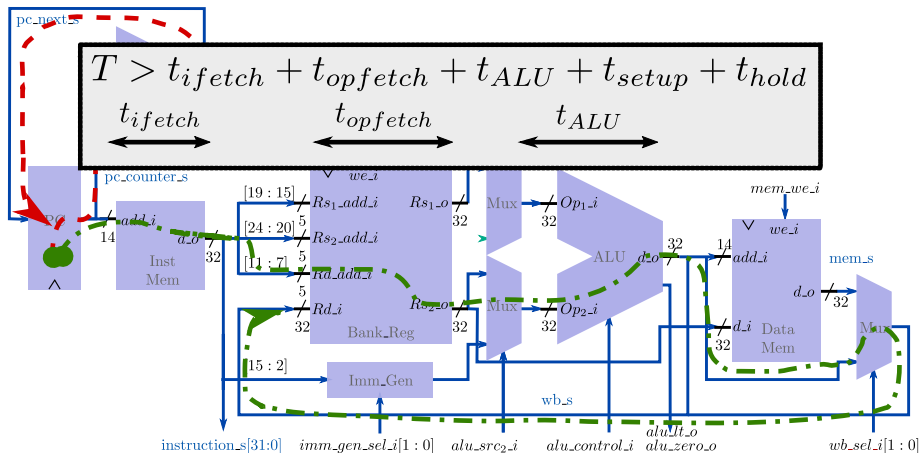
Analyse de performance format R-I



Analyse de performance format R-I



Analyse de performance format R-I



Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

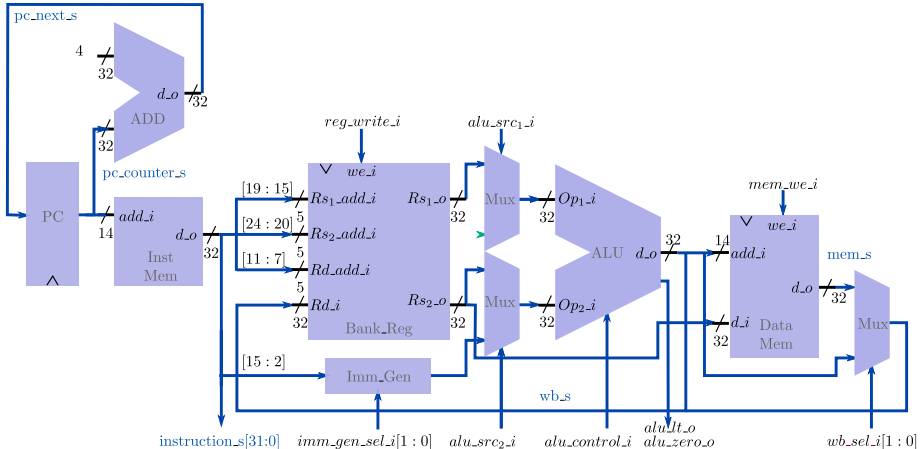
- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6

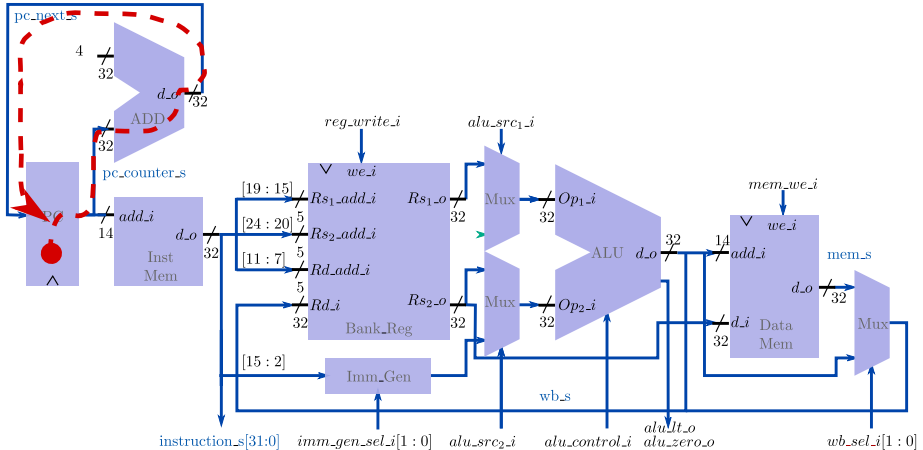
Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- **Analyse de performance format S : SW**
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

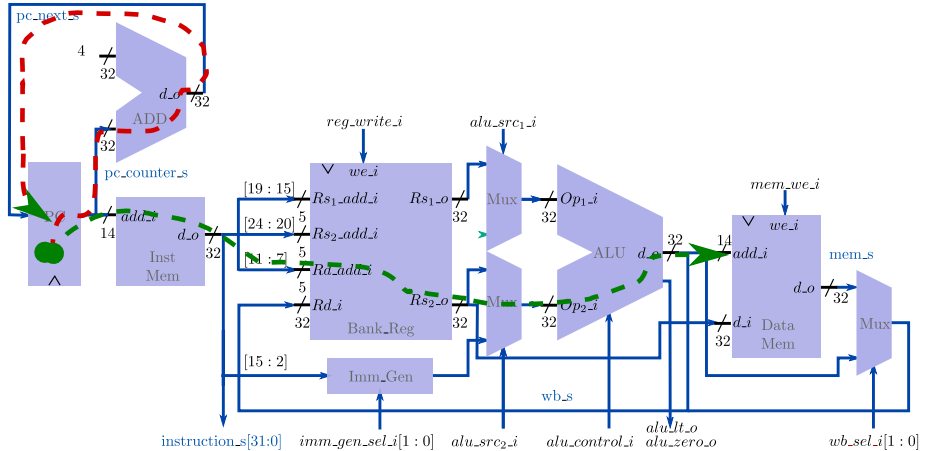
Analyse de performance format S : SW



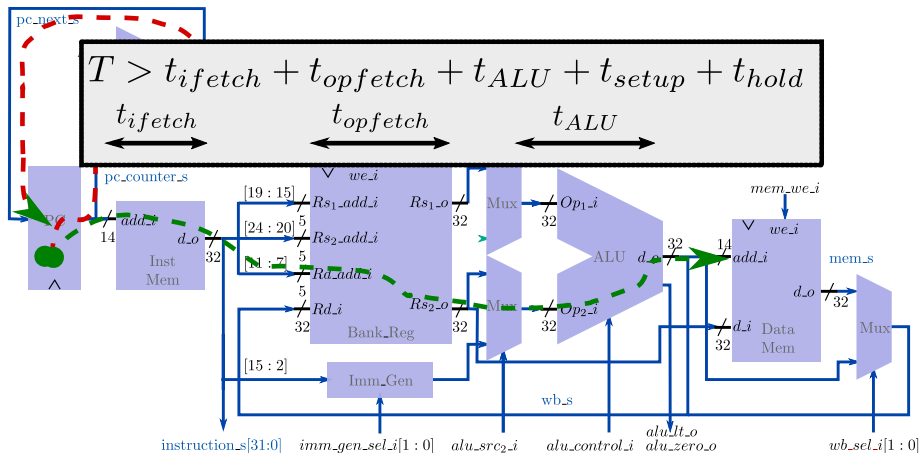
Analyse de performance format S : SW



Analyse de performance format S : SW



Analyse de performance format S : SW



Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

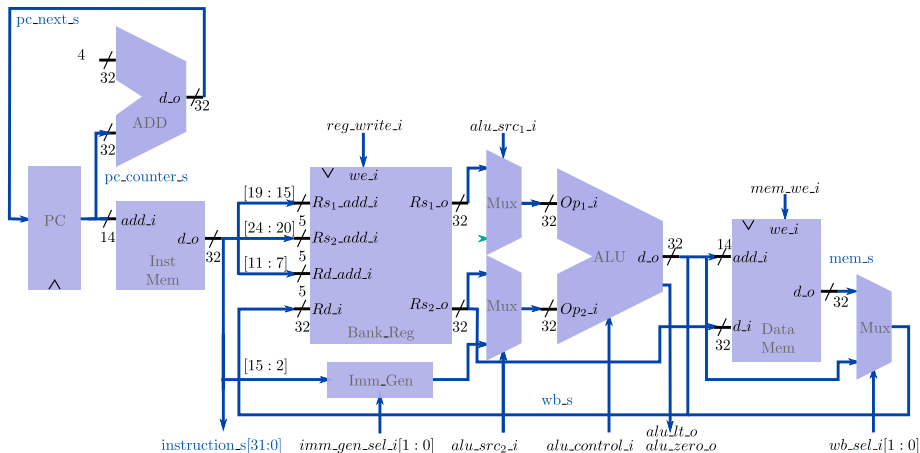
- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6

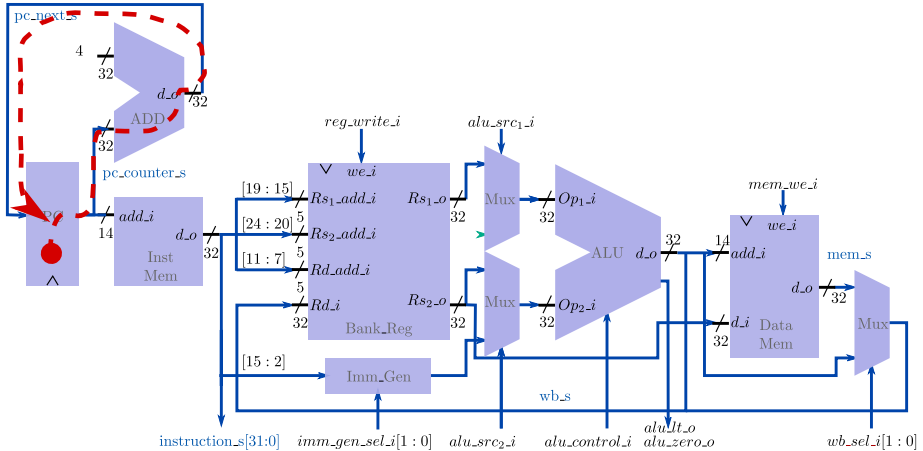
Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- **Analyse de performance format I : LW**
- Analyse temporelle : fin
- Analyse de performance : fin

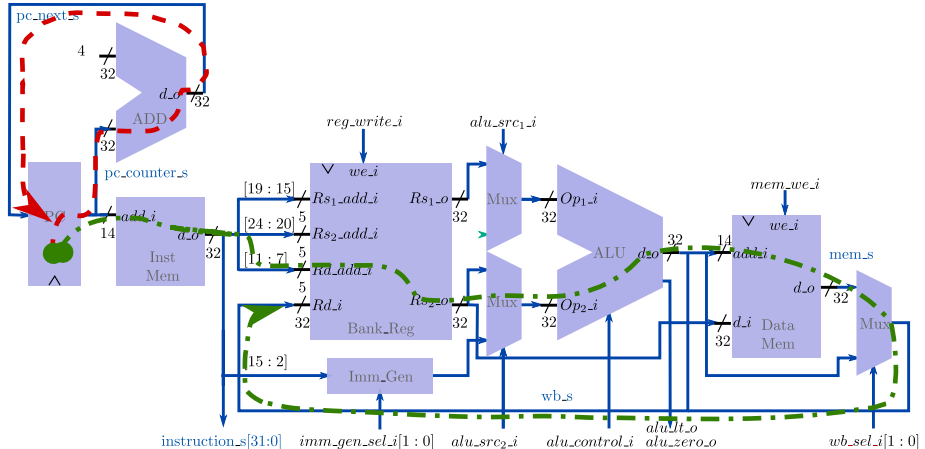
Analyse de performance format I : LW



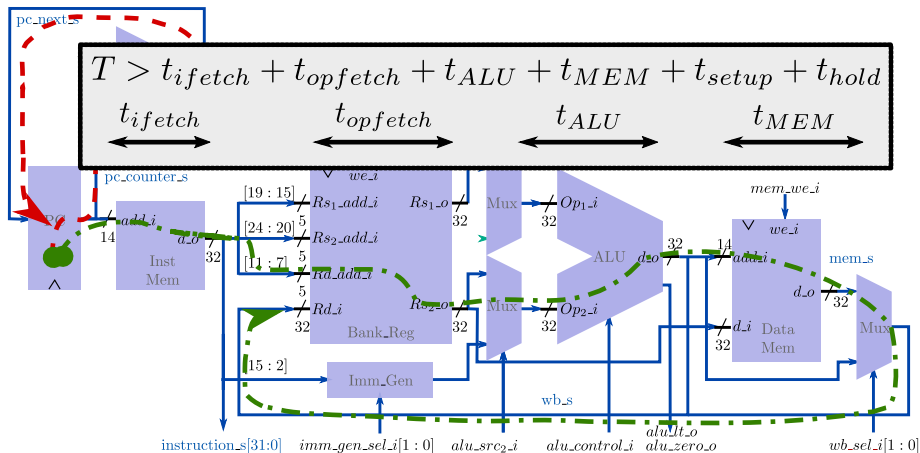
Analyse de performance format I : LW



Analyse de performance format I : LW



Analyse de performance format I : LW



Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

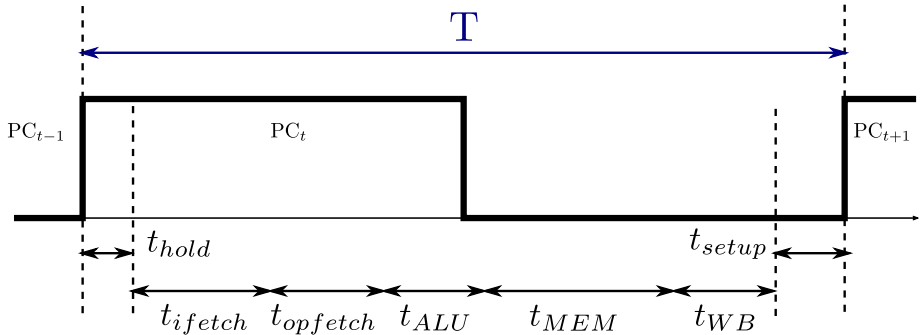
- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6

Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- **Analyse temporelle : fin**
- Analyse de performance : fin

Analyse temporelle : fin



Mise à jour du PC et de la mémoire de données

- $T > t_{ifetch} + t_{opfetch} + t_{ALU} + t_{MEM} + t_{WB} + t_{setup} + t_{hold}$
- $T > \text{instruction la plus longue}$

Outline

- 1 Architecture du Microprocesseur
 - Introduction
- 2 Les composants du chemin de données
 - Le banc de registres
 - L'unité arithmétique et logique
 - La mémoire
- 3 Format des instructions
- 4 Retour TD1
- 5 Construction du chemin de données
 - La mémoire instructions
 - Les instructions de type R
 - Les instructions de type I

- Les instructions de type U
- Extraction des valeurs immédiates
- Chargement de valeur immédiate 32 bits
- Instructions Load W et Store W
- Les instructions de type S
- Les instructions de type I

6

Analyse temporelle

- La bascule D
- Analyse de performance format R-I
- Analyse de performance format S : SW
- Analyse de performance format I : LW
- Analyse temporelle : fin
- Analyse de performance : fin

Analyse de performance : fin

Temps d'exécution d'une instruction

- nombre de cycles par instruction **CPI**
- période d'horloge = temps de cycle
- $t_i = CPI * T$

Temps d'exécution d'un programme

- $\sum CPI_i * T \simeq E(CPI) * T$

Architecture mono-cycle

- $CPI=1$, mais T n'est pas optimum il est le majorant des chemins critiques

Architecture mémoire

- L'architecture est de type Harvard : mémoire instructions et mémoire données sont séparées
- Peut-on se ramener à une architecture Von-Neumann ?
 - A priori si on reste sur un cycle / instruction, il y a une **dépendance structurelle** (structural hazard) dans l'architecture mono-cycle : **concurrence** entre le chargement d'instruction (« fetch ») et le transfert de donnée **pour l'adressage de la mémoire**
 - Mémorisation de l'adresse instruction 1 cycle → 2 cycles