

## TD4 : Hiérarchie mémoire

### 1. Introduction

Dans ce quatrième TD nous allons essayer d'appréhender l'organisation et l'efficacité de diverses architectures de mémoire cache. Il n'y aura pas de codage VHDL pour cette séance.

### 2. Cache mémoire « Direct »

Une mémoire cache de type « direct mapped » travaillant sur des adresses 32 bits et construite à l'aide de mémoires ayant un accès par octet à un adressage organisé de la façon suivante :

31	..	10	9	..	5	4	..	0
TAG			INDEX			OFFSET		

Quelle est la taille de la ligne de cache, en nombre d'octets, de mots ?

Quelle est le nombre d'entrées de cette mémoire cache ?

On réorganise l'adressage de cette manière :

31	..	12	11	..	6	5	..	0
TAG			INDEX			OFFSET		

Quelle est la taille de la ligne de cache, en nombre d'octets, de mots ?

Quelle est le nombre d'entrées de cette mémoire cache ?

### 3. Performance 1

Soit un CPU fonctionnant à une période horloge de 1GHz et disposant d'une mémoire cache L1, L2, L3 avec les paramètres suivants :

L1 HIT time = 1 cycle

L2 HIT time = 4 cycles

L3 HIT time = 8 cycles Miss pénalité = 15 cycles

On constate les taux suivants :

L1 HIT rate = 95%

L2 HIT rate = 92%

L3 HIT rate = 90%

Quel est le taux de MISS Global ?

Quelle est la pénalité de MISS du cache L2 ?

Quelle est la pénalité de MISS du cache L1 ?

Quel est le temps d'accès moyen

On considère un système disposant d'une mémoire cache de niveau L1 et L2 , en supposant que sur 1000 accès mémoire on ait :

40 MISS sur L1

20 MISS sur L2

Quels sont les différents taux de MISS ?

Quel est le temps d'accès moyen ? (en supposant HIT time L1 =1, HIT time L2=10, MISS pénalité L2=100)

## 4. Performance 2

On considère un système disposant d'une mémoire cache d'instructions constituée de 64 lignes de contenant chacune 4 instructions de 32bits.

Un programme constitué d'une boucle principale de 257 instructions tourne sur ce système, on supposera que ce programme n'accède pas à la mémoire de données.

Quelle est la taille du cache ?

Quels sont les largeurs des champs offset, index et tag de ce système de mémoire cache ?

Si l'algorithme de remplacement des lignes du système de mémoire cache et du type LRU (Least Recently Used) quel sera le taux de MISS ?

Si l'algorithme de remplacement des lignes du système de mémoire cache et du type MRU (Most Recently Used) quel sera le taux de MISS ?