

2021 天勤计算机考研八套模拟卷 · 卷四

组成原理篇

一、选择题（单选）

1. $x = -0.875 \times 2^1$, $y = 0.625 \times 2^2$, 设尾数为 3 位, 符号位为 1 位, 阶码为 2 位, 阶符为 1 位, 通过补码求出 $z = x - y$ 的二进制浮点规格化的结果是 ()。
- A. 1011011
B. 0111011
C. 1001011
D. 0110111
2. 已知 $[X/2]_{\text{补}} = \text{C6H}$, 计算机的机器字长为 8 位二进制数编码, 则 $[X/4]_{\text{补}}$ 为 ()。
- A. 8CH B. 18H
C. E3H D. F1H
3. 下列 () 是动态半导体存储器的特点。
- I. 在工作中存储器内容会产生变化
II. 每隔一定时间, 需要根据原存内容重新写入一遍
III. 一次完整的刷新过程需要占用两个存储周期
IV. 一次完整的刷新过程只需要占用一个存储周期
- A. I、III
B. II、III
C. II、IV
D. 只有 III
4. Cache 常使用的写回策略有写直达法和写回法, 则下面关于写直达法和写回法说法正确的是 ()。
- I. 写回法是一个 Cache 数据块在任何一次写操作数时都需要写回主存
II. 写直达法是一个 Cache 数据块仅在第一次写操作数时才需要写回主存
III. 写回法的每个 Cache 块需要设置一位状态位
- A. 仅 I、III
B. 仅 II
C. 仅 III
D. I、II 和 III
5. 在 Cache 和主存构成的两级存储器中, Cache 的存储时间是 100ns, 主存的存储时间是 1000ns, 如果希望有效存储时间不超过 115ns, 则 Cache 的命中率至少为 ()。
- A. 90%
B. 98%
C. 95%
D. 99%

6. 指令流通常是（ ）。

- A. 从主存流向控制器
- B. 从控制器流向主存
- C. 从控制器流向控制器
- D. 从主存流向主存

7. 为了便于实现多级中断，保存现场信息最有效的办法是采用（ ）。

- A. 通用寄存器
- B. 堆栈
- C. 存储器
- D. 外存

8. 为确定下一条微指令的地址，通常采用断定方式，其基本思想是（ ）。

- A. 用程序计数器（PC）来产生后继微指令地址
- B. 用微程序计数器（ μ PC）来产生后继微指令地址
- C. 由微指令的下地址字段直接指出后续微指令地址
- D. 由专门的硬件电路或者外部直接向 CMAR 输入微指令地址

9. 下列关于程序中断方式和 DMA 方式的叙述中，错误的是（ ）。

- I. DMA 的优先级比程序中断的优先级要高
 - II. 程序中断方式需要保护现场，DMA 方式不需要保护现场
 - III. 程序中断方式的中断请求是为了报告 CPU 数据的传输结束，而 DMA 方式的中断请求完全是为了传送数据
- A. 仅 II B. 仅 II、III C. 仅 III D. 仅 I、III

二、综合题

1. 某计算机的指令格式如下所示，计算机字长位 16 位，内存安字编址。

OP(6 位)	X (2 位)	D (8 位)
---------	---------	---------

X 为寻址特征位：

X = 00 为直接寻址

X = 01 为用变址寄存器 Rx1 寻址

X = 10 为用变址寄存器 Rx2 寻址

X = 11 为相对寻址

设(PC)=5431H, (Rx1)=3515H, (Rx2)=6766H (H 代表十六进制数)，请确定下列指令种的有效地址：

- 1) 8341H 2) 1438H 3) 8134H 4) 6228H

2. 有 5 个中断源 D1、D2、D3、D4 和 D5，它们的中断优先级从高到低分别是 1 级、2 级、3 级、4 级和 5 级。这些中断源的中断优先级，正常情况下的中断屏蔽码和改变后的中断屏蔽码如下表所示。每个中断源有 5 位中断屏蔽码，“0”表示该中断开放，“1”表示该中断被屏蔽。

综合 2 表 5 个中断源的中断优先级和屏蔽码

中断源名称	中断优先级	正常中断屏蔽码	改变后的中断屏蔽码
		D1 D2 D3 D4 D5	D1 D2 D3 D4 D5
D1	1	1 1 1 1 1	1 0 0 0 0
D2	2	0 1 1 1 1	0 1 0 0 0
D3	3	0 0 1 1 1	1 0 1 0 0
D4	4	0 0 0 1 1	1 1 0 1 1
D5	5	0 0 0 0 1	1 1 1 0 1

- (1) 当使用正常的中断屏蔽码时，处理机响应各中断源的中断服务请求的顺序是什么？实际的中断处理顺序是什么？
- (2) 当使用改变后的中断屏蔽码时，处理机响应各中断源的中断服务请求的顺序是什么？实际的中断处理顺序是什么？
- (3) 当 D1、D2、D3、D4、D5 这 5 个中断源同时发出中断请求时（采用改变后的中断屏蔽码），试画出处理机响应中断源的中断服务请求和实际运行中断服务过程的示意图。
- (4) 假设从处理机响应中断源的中断服务请求开始，到运行中断服务程序中第一次开中断所用的时间为 1 个单位时间，处理机运行中断服务程序的其他部分所用的时间为 4 个单位时间。当处理机在执行主程序时，中断源 D3、D4 和 D5 同时发出中断服务请求，经过 3 个单位时间后，中断源 D1 和 D2 同时发出中断服务请求。采用改变后的中断屏蔽码，画出处理机响应各中断源的中断服务请求和实际运行中断服务程序过程的示意图。

答案

一、选择题答案

1.B 2.C 3.C 4.C 5.D 6.A 7.B 8.C 9.C

二、综合题答案

1.

相对寻址: $D=41H$, 有效地址 $E=(PC)+D=5473H$

直接寻址: $D=38H$, 有效地址 $E=D=0038H$

变址寻址 ($Rx1$): $D=34H$, 有效地址 $E=(Rx1)+D=3549H$

变址寻址 ($Rx2$): $D=28H$, 有效地址 $E=(Rx2)+D=678EH$

2.

(1)

处理机响应各中断源的中断服务请求的顺序为: $D1、D2、D3、D4、D5$ 。

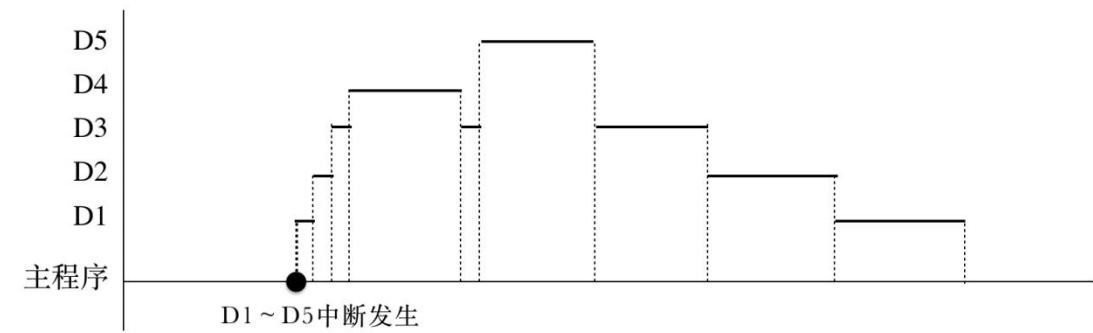
实际的中断处理顺序为: $D1、D2、D3、D4、D5$ 。

(2)

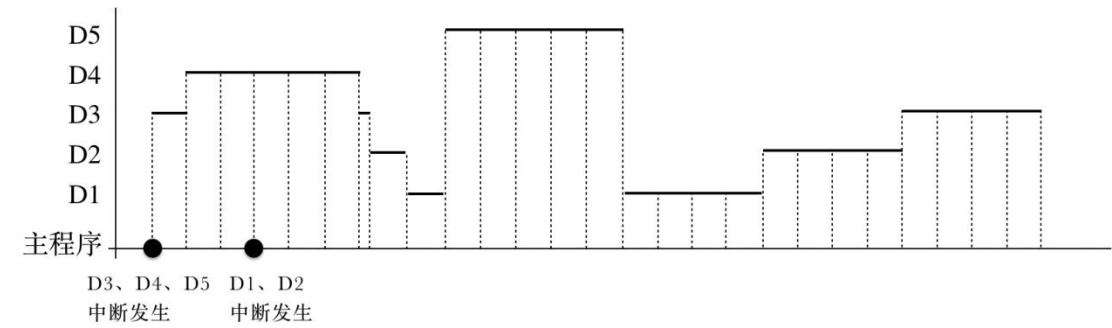
处理机响应各中断源的中断服务请求的顺序为: $D1、D2、D3、D4、D5$ 。

实际的中断处理顺序为: $D4、D5、D3、D2、D1$ 。

(3)



(4)





(3)