

2021 天勤计算机考研八套模拟卷 · 卷八

组成原理篇选择题答案解析

1. B。

因为 $x=63$, $y=-31$, 则 $x-y=94$, 而带符号的 8 位整数补码所能表示的范围是 $-128 \sim 127$, 所以 94 在其范围之内, 没有溢出, 即 OF 标志为 0, 将结果转化为机器数为 5EH。

此种题型在 2009 年, 2014 年的统考卷当中已经出现, 现在对于这种在选择题当中出现补码加减运算或者是涉及浮点数加减计算的情况, 总结如下:

(1) 涉及浮点数计算或者是复杂的补码的计算, 不要立刻去按照补码的规则和浮点数加减规则去运算, 不要关注题干给你的一些无用信息 (比如浮点数的各运算步骤之类的)。

(2) 观察题干给你的两个数, 可以试着加加看, 或者减减看, 看结果到底为多少, 然后看这个结果是否在寄存器所能表示的数 (一般是补码) 的范围之内。如果不能表示, 那一定是溢出了, 如果能表示, 再把这个结果化为二进制或者十六进制。

2. A。

-5 用二进制表示为 -0101, 且符号位 S 为 -1。0101 = 1.01×2^2 , 故 $e=2$, 则 $E=127+2=129$, 转换成二进制为 1000 0001, 所以单精度浮点数 IEEE 754 标准为

| | | |
|----|----------|--------------------------|
| 1 | 10000001 | 010000000000000000000000 |
| 数符 | 阶码 | 尾数 |

然后按照 4 位一组进行组合, 1100 0000 1010 0000 0000 0000 0000 0000, 转换成十六进制为 (C0A00000)₁₆。

3. B。

虚拟存储器中, 地址映射由操作系统来完成。而在程序的执行过程中, Cache 与主存的地址映射是由硬件自动完成的。

4. C。

首先要用 $1K \times 4$ 位的存储芯片组成 4KB (即 $4K \times 8$ 位) 的存储器, 需要对字位一起扩展。由公式可知, 共需要的芯片数为 $(4K \times 8 \text{ 位}) / (1K \times 4 \text{ 位}) = 8$, 所以 III 是正确的。另外, 加在各存储芯片上的地址线只与存储芯片的存储容量有关, 本题芯片的存储容量为 1K, 又因为 $2^{10}=1K$, 所以选取地址线的 10 位 $A_9 \sim A_0$ 作为各个存储芯片上的地址线。

5. D。

这里考到了一个非常重要的概念——小端法, float 类型的数据在计算机中占 4 个字节, 100 个 float 类型的数组元素应当占 400 字节, 即最后一个字节在内存中的相对地址应为 399, 加上初始数组起始地址 C000 1000H, 得到最后一个字节的地址是 C000 118FH, 又因为是小端法, 则最后一个数组元素的低位字节在前, 高位字节在后, 所以最后一个字节就是最后一个数组元素的最高有效位地址, 所以答案是 D。

【重要总结】术语“小端”和“大端”表示多字节值的哪一端 (小端或大端) 存储在该值的起始地址。小端存在起始地址, 即是小端字节序; 大端存在起始地址, 即是大端字节序。

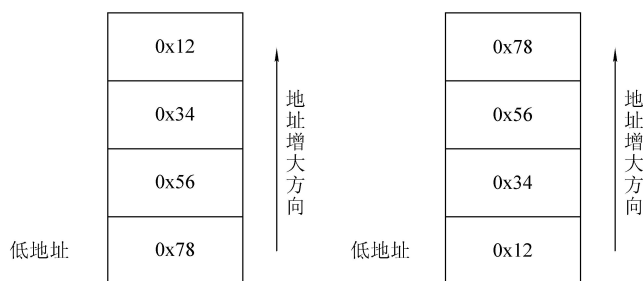
也可以说:

1) 小端法 (Little-Endian) 就是低位字节排放在内存的低地址端, 即该值的起始地址, 高位字节排放在内存的高地址端。

2) 大端法 (Big-Endian) 就是高位字节排放在内存的低地址端, 即该值的起始地址, 低位字节排放在内存的高地址端。

举个简单的例子, 对于整形 0x12345678, 它在大端法和小端法的系统内中, 分别如下图所示的方式存放。

| | | | | |
|------|-------|-------|------|---|
| 31 | 24 23 | 16 15 | 8 7 | 0 |
| 0x12 | 0x34 | 0x56 | 0x78 | |



数据分别以大、小端法在内存中的存放

5. B。

由于该机器有 16 个寄存器，所以需要 4 位来表示这 16 个寄存器。

I: 4 条指令需要两位来表示。4 条三寄存器指令的操作码部分需要两位，而三寄存器需要使用 $4 \times 3 = 12$ 位来寻址，共需要 14 位，故字长 12 位不能表示 4 条三寄存器指令。

II: 255 条单寄存器指令可以用单字长指令来表示，8 位操作码+4 位寄存器地址。

III: 16 条 0 寄存器指令可以用单字长指令来表示，只需 4 位操作码。

6. C。

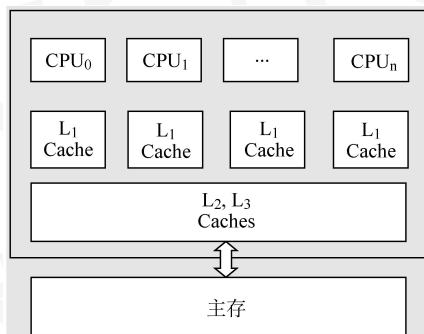
该操作数的有效地址为变址寄存器的内容加上形式地址，即 $8H + 1200H = 1208H$ 。

7. B。

I: 多核处理器是指单芯片处理器，即在一个芯片内集成两个或多个完整且并行工作的处理器核心而构成的处理器。而“核心”通常包含指令部件、算术/逻辑部件、寄存器堆和一级或二级的缓存处理单元，这些核心通过某种方式互联后，能够相互交换数据，对外呈现为一个统一的多核处理器，故 I 错误。

II: 多核处理主要包含三大技术，即维持 Cache 一致性、核间通信技术、对软件设计的挑战，故 II 正确。

III: 如下图所示，多个 CPU 共享统一的地址空间，且独自又拥有属于自己的 L1Cache，故 III 正确。



多个 CPU 共享统一的地址空间

8. B。

主频为 50MHz，则每秒会有 50M 个时钟周期；软盘的数据传输率为 50kB/s，每次传输 16 位，则每秒要进行 $50kB \times 8 / 16 = 25k$ 次传输，又因为每次传输，CPU 的开销为 100 个时钟周期，所以每秒 CPU 花在数据传输上的开销为 $25k \times 100$ 个时钟周期，故 CPU 用于软盘传输数据的时间占 CPU 时间的比率为 $25k \times 100 / 50M = 5\%$ ；（提示：由频率就可直接求出时钟周期数，不要再去计算周期时间）

【重要总结】 本题中涉及一个很容易混的概念，那就是数据传输率以及频率中 K、M 这些单位的量纲，现总结如下：

以后涉及关于存储器容量方面时，这些量纲的进制是 1024。

涉及关于频率、传输速率方面时，这些量纲的进制是 1000。

9. A。

链式请求方式下，为实现总线判优控制，需要一根总线请求线、一根总线忙线、一根总线同意线，共三根控制线。而 B 和 C 选项分别对应独立请求方式和计数器查询方式所需要的线数。

10. B。

I: 程序中断过程由硬件（如向量地址形成部件等）和中断服务程序共同完成的，故 I 正确。

II: 每条指令执行周期结束后，CPU 会统一扫描各个中断源，然后进行判优来决定响应哪个中断源，故 II 错误。

III: CPU 会在每个存储周期结束后检查是否有 DMA 请求, 故 III 错误。

IV: 中断服务程序的最后指令通常是中断返回指令 (RETI), 该指令在中断恢复之后, 也就是此时 CPU 中的所有寄存器都已经恢复到了中断之前的状态, 因此该指令不需要进行无条件转移, 只需要通知 CPU 开始从 PC 中取指, 进入取指周期即可, 事实上, 该指令可以理解为, 它设置了一个标志, 当 CPU 检测到该标志的时候, 就进入新的取指周期, 故 IV 错误。