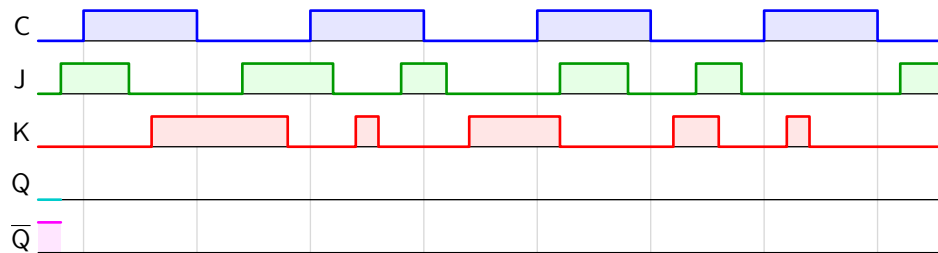


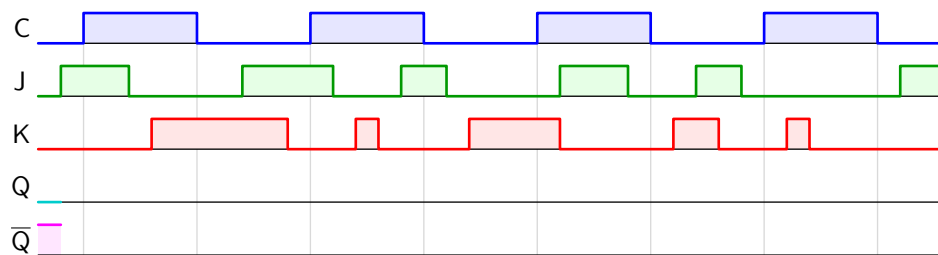
8. Übungsblatt - zu bearbeiten bis 11.01.2021

Aufgabe 1 Riegel und Flipflops

- a) Bestimmen Sie für die unten gezeigten Eingaben C, J und K die Ausgaben Q und \bar{Q} für einen JK-Riegel! Zeichnen Sie diese in das Diagramm!



- b) Bestimmen Sie für die unten gezeigten Eingaben C, J und K die Ausgaben Q und \bar{Q} für ein JK-Flipflop! Zeichnen Sie diese in das Diagramm!



- c) Was ändert sich, wenn es sich um Master-Slave-Typen handelt?

Aufgabe 2 Riegel und Flipflops

- a) Stellen Sie allgemeine Regeln auf, welche Zeitabschnitte in Signaldiagrammen wie denen aus Aufgabe 1 für das Bestimmen der Ausgabe relevant sind für

(1) Riegel, (2) Flipflops, (3) Master-Slave-Riegel, (4) Master-Slave-Flipflops!

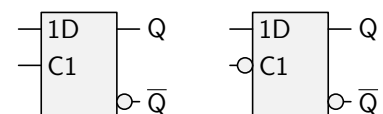
Überprüfen Sie Ihre Lösung der Aufgabe 1 noch einmal mit diesen Regeln!

- b) Muß in Teilaufgabe a) danach unterschieden werden, ob es sich um einen SR-, einen D- oder einen JK-Typ handelt? Begründen Sie Ihre Antwort!

- c) Warum spricht man bei Master-Slave-Typen von einer "retardierten" Ausgabe?

Aufgabe 3 Bistabile Kippstufen/Riegel/Flipflops

Geben Sie an, wie ein Master-Slave-D-Riegel aus normalen D-Riegeln aufgebaut werden kann! Gesucht ist allerdings nicht eine Darstellung durch Gatter (diese wurde in der Vorlesung gezeigt), sondern durch



Schaltzeichen, wie sie rechts gezeigt sind, d.h., schalten Sie zwei D-Riegel, dargestellt durch Schaltzeichen, so zusammen, daß sich ein Master-Slave-D-Riegel ergibt! Wie kann aus dem Ergebnis ein Master-Slave-D-Flipflop gemacht werden? Man kann dies sowohl durch eine entsprechende Anpassung der Schaltzeichen als auch (ohne Änderung der Schaltzeichen) durch Hinzufügen bestimmter Gatterschaltungen erreichen. Geben Sie beide Möglichkeiten an! Wie werden die erhaltenen Master-Slave-Versionen durch (einzelne) Schaltzeichen dargestellt?

Aufgabe 4 Linear Rückgekoppelte Schieberegister

Wir betrachten die folgenden beiden linear rückgekoppelten 4-Bit-Schieberegister:



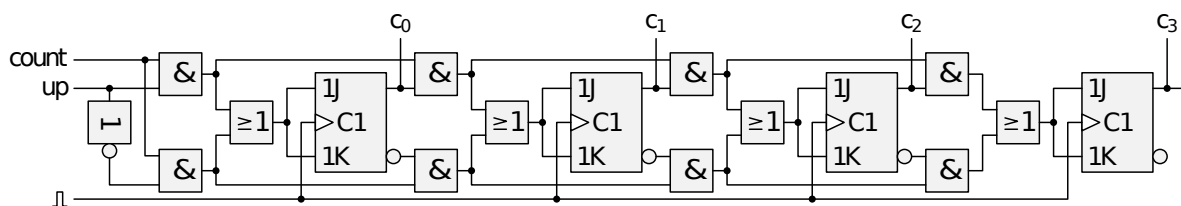
Welche Folge von Zuständen durchlaufen diese Register für die Anfangszustände

- a) $[0, 0, 0, 0]$, b) $[1, 0, 0, 0]$, c) $[1, 1, 0, 0]$.

Was fällt an den durchlaufenen Zustandsfolgen auf?

Zusatzaufgabe Zähler / Hardware Description Language (HDL)

In der Vorlesung wurde der folgende, recht allgemeine Zähler betrachtet:



Implementieren Sie diesen Zähler in der Hardware Description Language (HDL) und testen Sie ihn mit dem Hardware-Simulator!

Hinweise: Unter den vorgegebenen Chips des Hardware-Simulators gibt es kein JK-Flipflop und es ist leider auch nicht möglich, eines aus Einzelgattern zusammenzusetzen, weil der Simulator die notwendigen Rückkopplungen ungetakteter Chips nicht verarbeiten kann (nur bei getakteten Chips sind Rückkopplungen möglich). Sie müssen daher von einem D-Flipflop ausgehen. Dies ist jedoch ausreichend, da im oben gezeigten Zähler die beiden Eingänge der JK-Flipflops verbunden sind und sie sich daher wie steuerbare T-Flipflops verhalten (über den einen Eingang, der sowohl J als auch K speist, kann gesteuert werden, ob der Zustand in einem Taktzyklus umgekehrt werden soll oder nicht). Implementieren Sie daher zunächst ein solches steuerbares T-Flipflop mit Hilfe eines D-Flipflops und ggf. weiterer vorgegebener Chips (siehe `tools/builtInChips`)! Bauen Sie dann den Zähler mit Hilfe dieses neuen Chips auf! Schreiben Sie schließlich ein Testscript, mit dem Sie die Funktionen des Zählers überprüfen!