



MT-1 INSCRIPCIÓN DE INSTRUMENTO DE TITULACIÓN

- ☐ Memoria
☐ Tesis de Magíster en Ciencias de la Ingeniería (no es necesario el punto Departamento)
☐ Actividad de Graduación, Magíster en Ingeniería
☐ Tesis de Magíster en Física o Matemática
☐ Doctorado en Ciencias de la Ingeniería (no es necesario el punto Departamento)

Santiago, 30 de Junio de 2015

I. DATOS PERSONALES

Alumno (a)	Wladimir Alejandro Araya Caro				
N° alumno	08631387	Especialidad	Ingeniero Civil Electricista		
Teléfono	+56962778796	E-mail	waaraya@uc.cl	Dirección	Mercedes Badilla #1048, Renca

II. COMISIÓN

	Nombre	Lugar de Trabajo (Depto. UC, si corresponde)	Teléfono
PROFESOR GUÍA (Planta Ordinaria)	Angel Abusleme Hoffman	Departamento de Ingeniería Eléctrica	+56 2 2354-4284
REPRESENTANTE DE PREGRADO	Jorge Baier Aranda	Departamento de Ciencia de la Computación	+56 2 2354-4440
PROFESOR COMISIÓN	Marcelo Guarini Hermann	Departamento de Ingeniería Eléctrica	+56 2 2354-4287
PROFESOR INVITADO (Opcional)			

III. TÍTULO DE LA MEMORIA

Diseño de plataforma para caracterización de ASIC para experimentos de física de partículas.

Uso interno

Dirección de Pregrado:
V°B°

.....
Fecha



PROGRAMA DE TRABAJO

Resumen:

Enmarcado en el diseño, integración y prueba de The Bean, un circuito integrado de aplicación específica (ASIC, por sus siglas en inglés) para satisfacer las necesidades de instrumentación del BeamCal, un detector del International Linear Collider (colisionador propuesto para suceder al LHC), esta memoria presenta el desarrollo de una plataforma de pruebas para la segunda iteración de The Bean.

Esta plataforma debe contar tanto con la electrónica necesaria, como con la programación de una FPGA, para implementar el control de la plataforma, y los protocolos de comunicación necesarios para la interfaz con un computador. El resultado de esta memoria es la plataforma implementada como producto final, y la generación de curvas a partir de datos recopilados que evidencien su correcto funcionamiento.

Programa de trabajo:

El desarrollo de la plataforma se estructura en tres etapas: El diseño de la plataforma, realización de pruebas y análisis de los resultados.

1. Diseño de la plataforma: Consiste en el diseño de una placa PCB, la cual cumpla con todas las especificaciones necesarias para poder generar las pruebas pertinentes al integrado y la programación de una FPGA, la cual realizará el control de dicha placa.
2. Realización de pruebas: Consiste en llevar a cabo las pruebas necesarias que permitan comprobar el correcto funcionamiento de la placa y posteriormente del integrado. Esta etapa también contempla la recopilación de datos de interés.
3. Análisis de los resultados: A partir de los datos recopilados se generará una evaluación criteriosa del funcionamiento del integrado.

Fecha de comienzo: Marzo de 2014

Fecha propuesta de término: Septiembre de 2015

Nombre Departamento	Departamento de Ingeniería de Ingeniería Eléctrica
Jefe Departamento	Cristian Tejos Nuñez
Fecha de Aceptación	V°B° Jefe Departamento

V°B° Profesor Guía

V°B° Representante de Pregrado

Observación: El alumno al firmar este formulario, toma conocimiento que entre el último semestre que inscribió o inscribirá cursos (fecha de egreso) y la fecha de defensa de la Memoria no pueden pasar más de tres años, si eso sucediera deberá tomar cursos de reposición para poder hacer la defensa de su memoria.

Último semestre que inscribió o inscribirá cursos 2° de 2015

☐ Adjuntar Ficha Académica Acumulada

Firma del Alumno