



Pontificia Universidad Católica de Chile
Escuela de Ingeniería
Departamento de Ingeniería Eléctrica

Diseño de pruebas para el integrado ASCI The Bean v2

1. Introducción

El *ASCI The bean V2* implementa la segunda iteración de un *front-end* para un detector destinado a física de partículas. La figura 1 presenta un esquema general de este tipo de implementaciones.

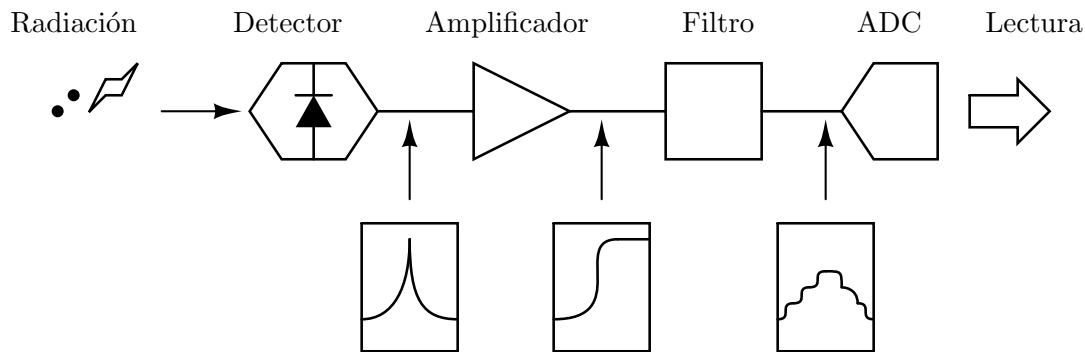


Figura 1: Diagrama general para de un *front-end* de un detector para física de partículas.

A grandes rasgos estos cuentan con tres etapas: un circuito amplificador de carga, encargado de convertir la señal de carga proveniente del detector en una señal de voltaje, posteriormente un filtro también denominado generador de forma de pulsos o *pulse shaper*, el cual se utiliza para reducir la cantidad de ruido en la adquisición tratando habitualmente de maximizar la SNR a la salida del *fornt-end*. Finalmente poseen un bloque encargado de adquirir la información el cual se puede implementar de distintas formas, una de ellas es contar con un conversor análogo digital o ADC que se encargue de adquirir las señales a la salida del *fornt-end* y la convierta en un valor digital para ser leído por alguna electrónica externa habitualmente implementada en una FPGA.

Tasa de entrada	3.25MHz durante 0.87ms cada 200ms
Modos de operación	Standar data taking(SDT), Detector Callibration(DCal)
Señal de entrada	Hasta 40pC en SDT y hasta 0.74pC en DCal
Capacitancia de entrada	65pF
Tolerancia de Radiación	1 Mrad (SiO2) total ionizing dose
Potencia de consumo	2.19mW

Tabla 1: Resumen de las especificaciones generales para The Bean V2

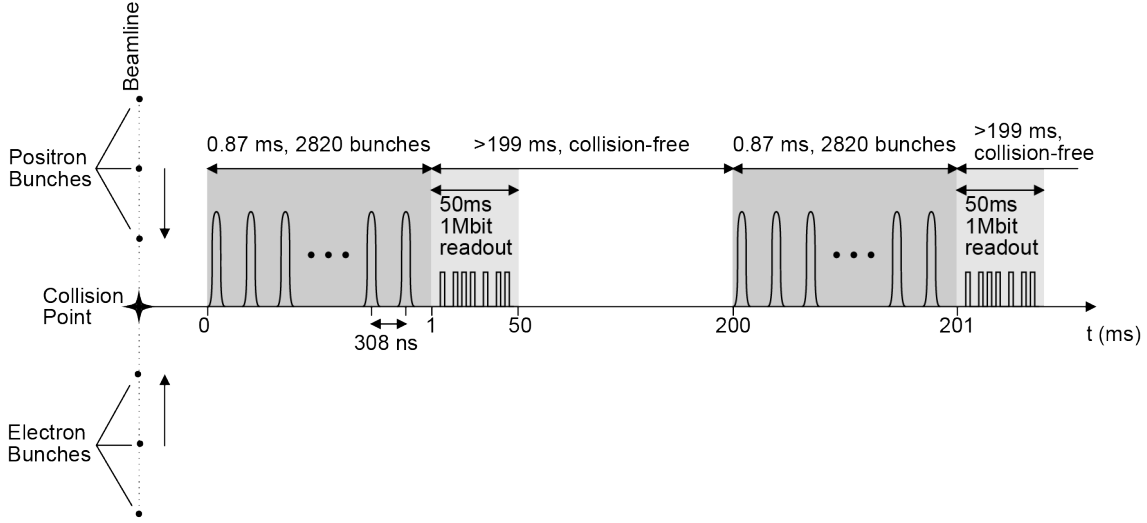


Figura 2: Diagrama de tiempo de las colisiones del el tren de pulsos en el colisionador.

1.1. Requerimientos

Debido al contexto en que se encuentra inmerso este trabajo, existen ciertos requerimientos generales heredados que se quieren corroborar de forma extra a los de la implementación realizada. Estos requerimientos se resumen en la tabla 1. Uno de los aspectos importantes a considerar es que el integrado cuenta con dos modos de operación, el modo estándar de toma de datos (o SDT por sus siglas en ingles) y un segundo modo para propósitos de calibración denominado DCal.

2. The Bean V2

El circuito integrado a probar implementa el esquema mostrado en la figura 1 por medio de un amplificador CSA seguido de un filtro generador de formas de pulso que consiste en un integrador de condensadores conmutados con ganancia ajustable. La figura 3 muestra el *layout* del integrado diseñado y la tabla 2 muestra el *pinout* del empaquetado del chip.

El esquema general del circuito implementado en este chip se entrega en la figura 4. El integrado cuenta con un bloque CSA el cual recibe la señal de entrada, V_{in_csa} , desde el detector y se encarga de generar un escalón de voltaje proporcional a la cantidad de carga inyectada, también cuenta

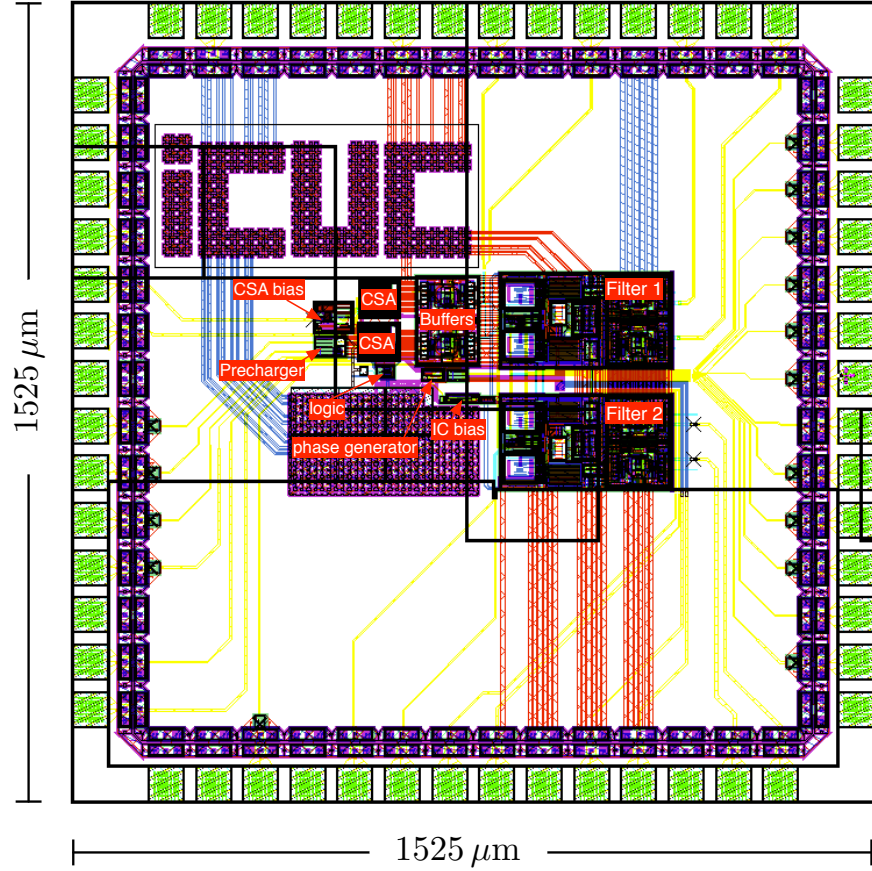


Figura 3: The Bean V2 prototype layout.

con un bloque de polarización, un bloque que controla la red de *feedback*, permitiendo cambiar la capacitancia dependiendo del modo de operación y reajustar la re-alimentación, por último cuenta con un bloque de pre-carga, el cual se utiliza para inyectar carga en la entrada con el objetivo de mover el baseline del CSA a un punto que optimice el rango de salida. Además cuenta con otro bloque CSA idénticamente al anterior, el cual tiene la salida y la entrada conectadas para poder generar y medir el baseline.

Ambas salidas tanto la del CSA `vout_csa` y el `baseline` pasan posteriormente por respectivos *buffers*. Las salidas de ambos *buffer* están disponibles para ser leídas en los pines del integrado. Posteriormente ambas señales sirven de entrada para el filtro. Este filtro implementa un integrador totalmente diferencial de capacitores conmutados con capacitancia configurable de forma digital por medio de las señales `CS_Bx`. Además de 4 señales de control que controlan el *clock* (`clk`), el signo de la entrada del filtro (`sgn`), la posibilidad de evitar el filtro y obtener a la salida una versión de la entrada (`out_s`), y poder mantener la señal a la salida con el fin de facilitar la lectura (`hold`), además de las señales de `vicm` y `vocm` que permiten fijar los valores de los voltajes de modo común de entrada y de salida respectivamente.

Por último, existe una segunda versión del filtro para propósitos de pruebas y caracterización, el cual cuenta con las entradas conectadas a pines del integrado, y comparte las señales de control y la polarización con el filtro antes mencionado.

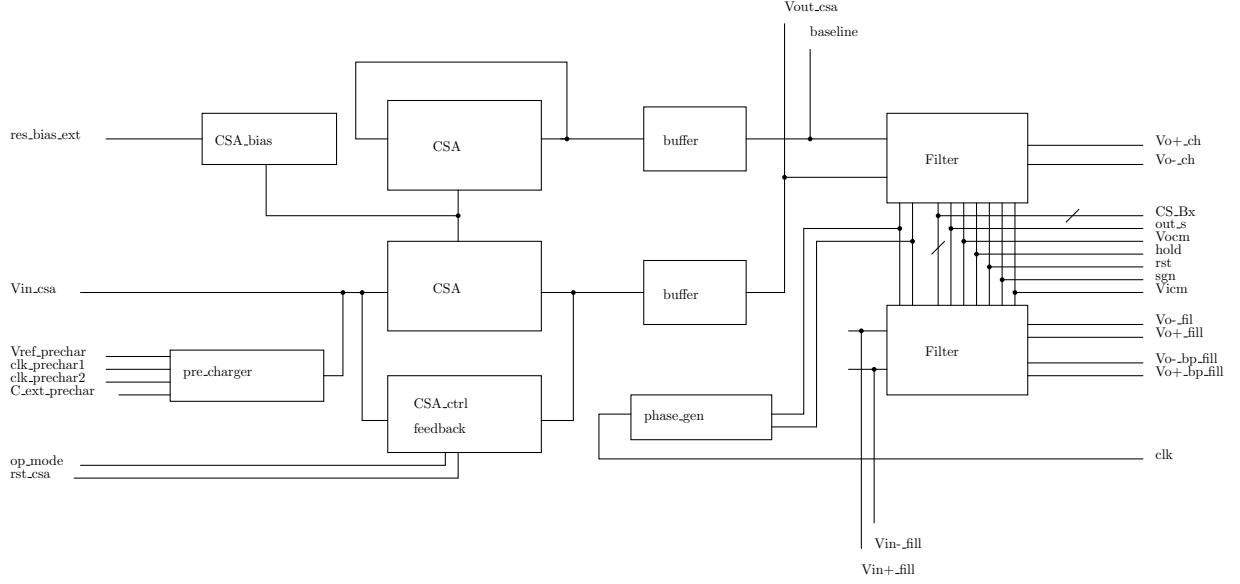


Figura 4: The Bean V2 prototype layout.

3. Detalle del integrado

3.1. El CSA

El objetivo de este bloque es convertir la carga generada por el detector en una señal de voltaje. La figura 5 muestra en detalle la forma en que es implementado el CSA. El CSA cuenta con dos condensadores de realimentación los cuales permiten configurar el valor de la capacitancia de realimentación C_F , por medio de la señal digital **op_mode**. Así $C_F = C_{Cal}$ en el modo DCal y $C_F = C_{Cal} + C_{Op}$ en el modo SDT. De este modo, es posible implementar distintas ganancias para los diferentes modos de operación. Por otro lado, la señal **rst_csa** permite implementar la función de *reset* en la red de realimentación.

Debido a la configuración con la cual fueron implementados el baseline se establecerá aproximadamente a V_T o $0,5V$, sin embargo la región de operación de alta ganancia se encuentra aproximadamente a los $0,4V$ de los rieles. Para solucionar este problema es que el CSA cuenta con circuito de precarga, el cual inyecta una cantidad conocida de carga para mover el baseline más cerca de los $0,4V$.

3.1.1. Pre-charger

El circuito de precarga fue diseñado para inyectar carga a la entrada del CSA con el objetivo de ajustar el baseline y a la vez para cumplir con propósitos de calibración. En la imagen 5 se muestra una versión simplificada del circuito, el cual esta compuesto de dos switches implementados con transistores y un condensador C_{PC} el cual esta conectado a la entrada del CSA. Para cambiar

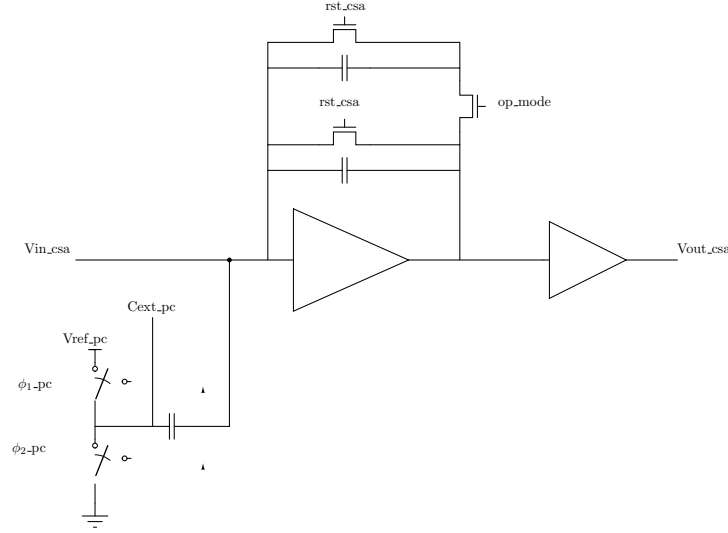


Figura 5: The Bean V2 prototype layout.

el valor de la capacitancia de este condensador (modo SDT) existe la posibilidad de conectar un condensador externo en paralelo por medio de la señal **cap_prechar_ext**.

La forma en que se controla el circuito de precarga se basa en dos señales de clock desfasadas no sobrepuestas. Cuando la primera señal es activa (ϕ_1), el extremo izquierdo del condensador queda conectado a un voltaje de referencia externo $V_{DD.ref}$ el cual se puede configurar por medio de la señal **V_ref_prechar**. Posteriormente cuando la segunda señal es activa (ϕ_2), el extremo izquierdo es conectada a tierra. En cada transición de ϕ_2 a ϕ_1 el condensador inyecta una carga de $Q_{CP} = C_{CP} \cdot V_{DD.ref}$ en la entrada del CSA. Esto provoca una variación de voltaje en la salida de $\Delta V = -C_{CP} \cdot V_{DD.ref} / C_F$, en donde C_F es la capacitancia de realimentación. La inyección de carga se realiza justo después de que el CSA es habilitado, reduciendo el voltaje de baseline a la salida.

3.2. Filtro

4. Pruebas y diagramas de tiempo

4.1. Diagramas de tiempo

4.2. Diseño de pruebas

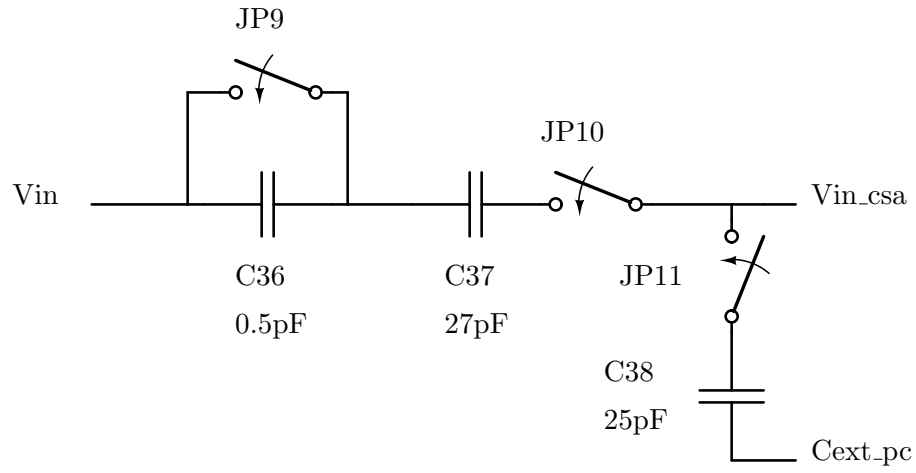


Figura 6: Circuito de inyección de carga en la tarjeta, para simular un detector.

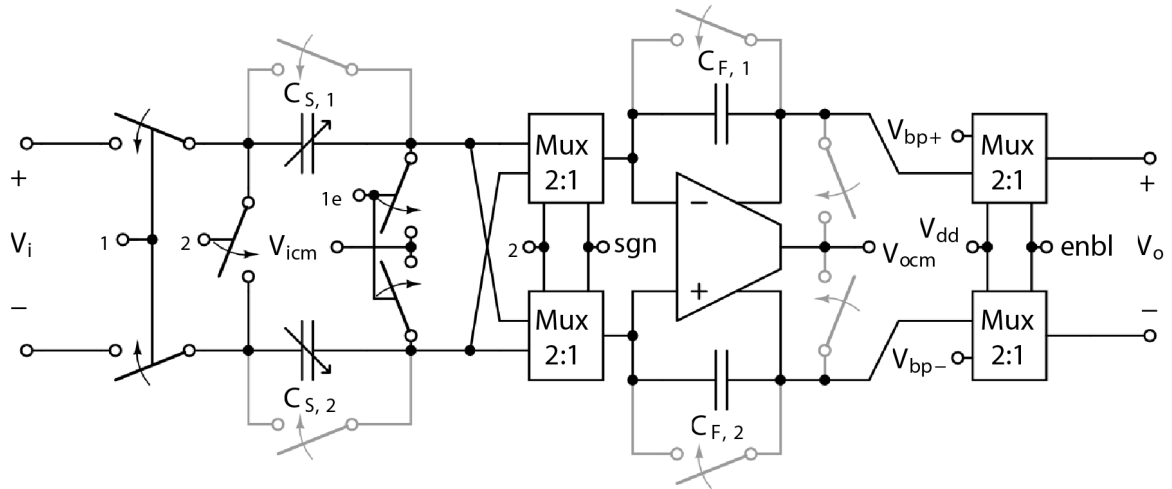


Figura 7: The Bean V2 prototype layout.

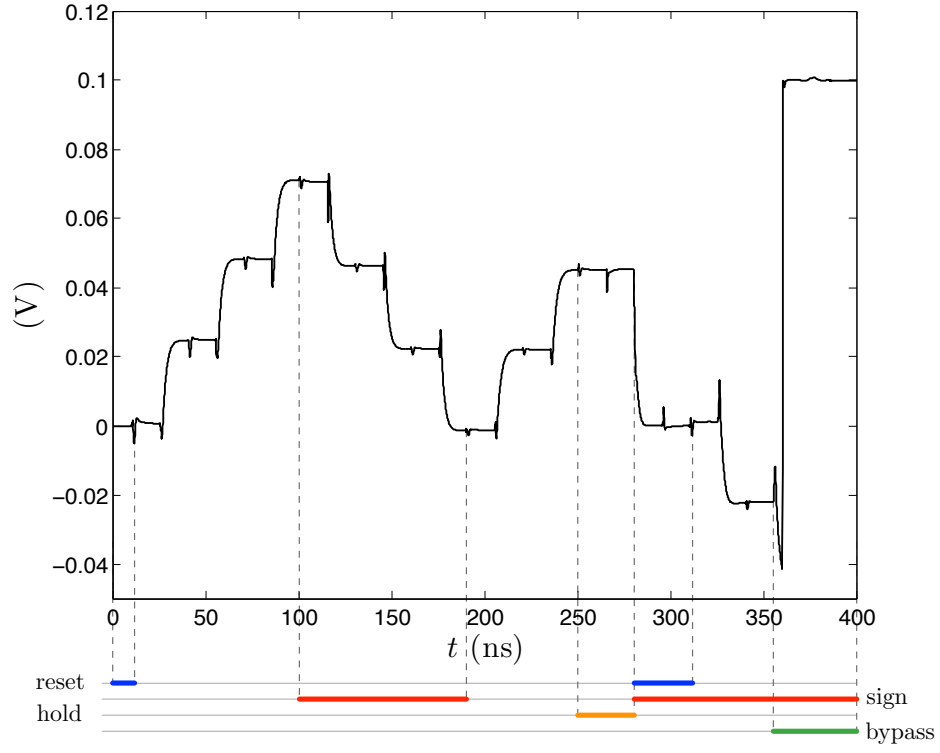


Figura 8: Filter functionality simulation. $V_{in} = 0,1\text{ V}$ and gain = $0,25\text{ V/V}$.

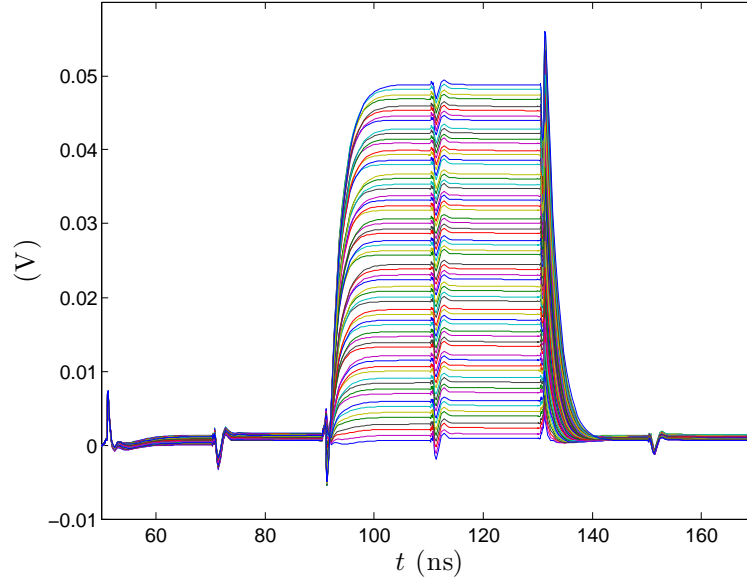


Figura 9: Filter step response for constant input for the 64 possible programmable gains. $V_{in} = 0,1\text{ V}$ and $T_s = 40\text{ ns}$.

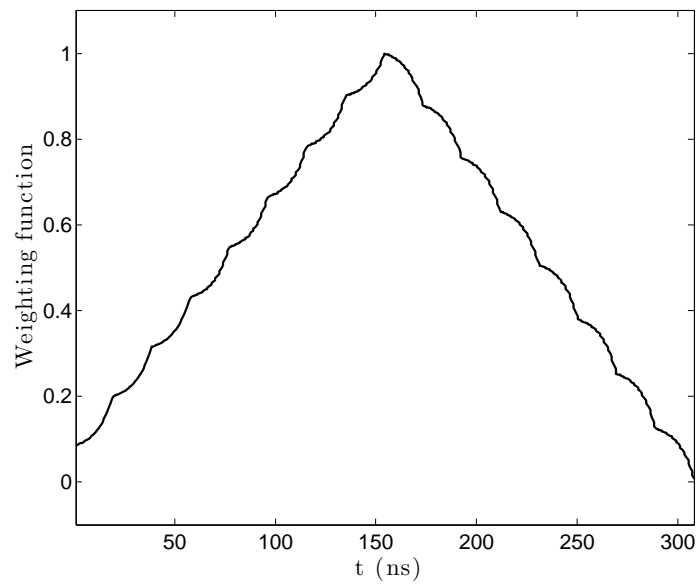


Figura 10: SPICE-simulated weighting function. $\tau = 8 \text{ ns}$, $N = 16$ and $T_s = 19,25 \text{ ns}$.

Filtro

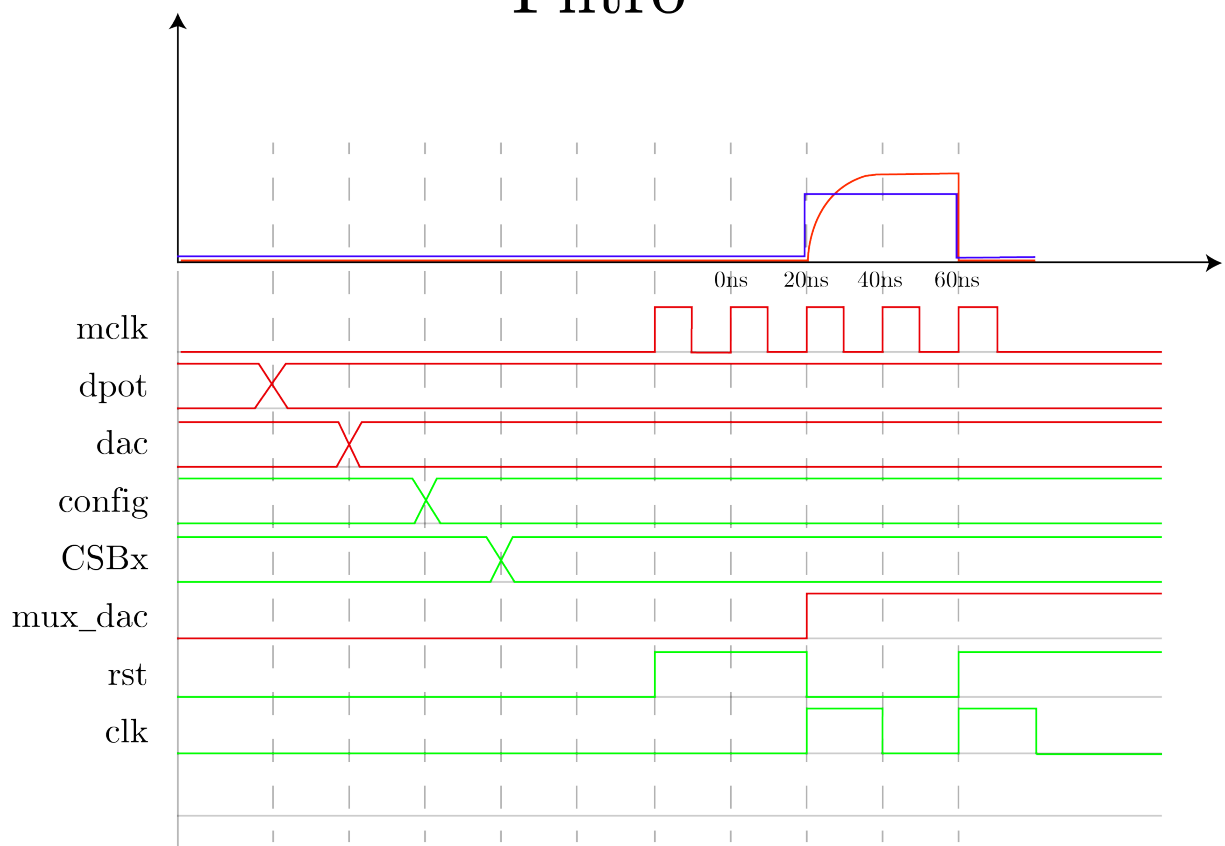


Figura 11: Diagrama de señales para las pruebas realizadas al filtro .

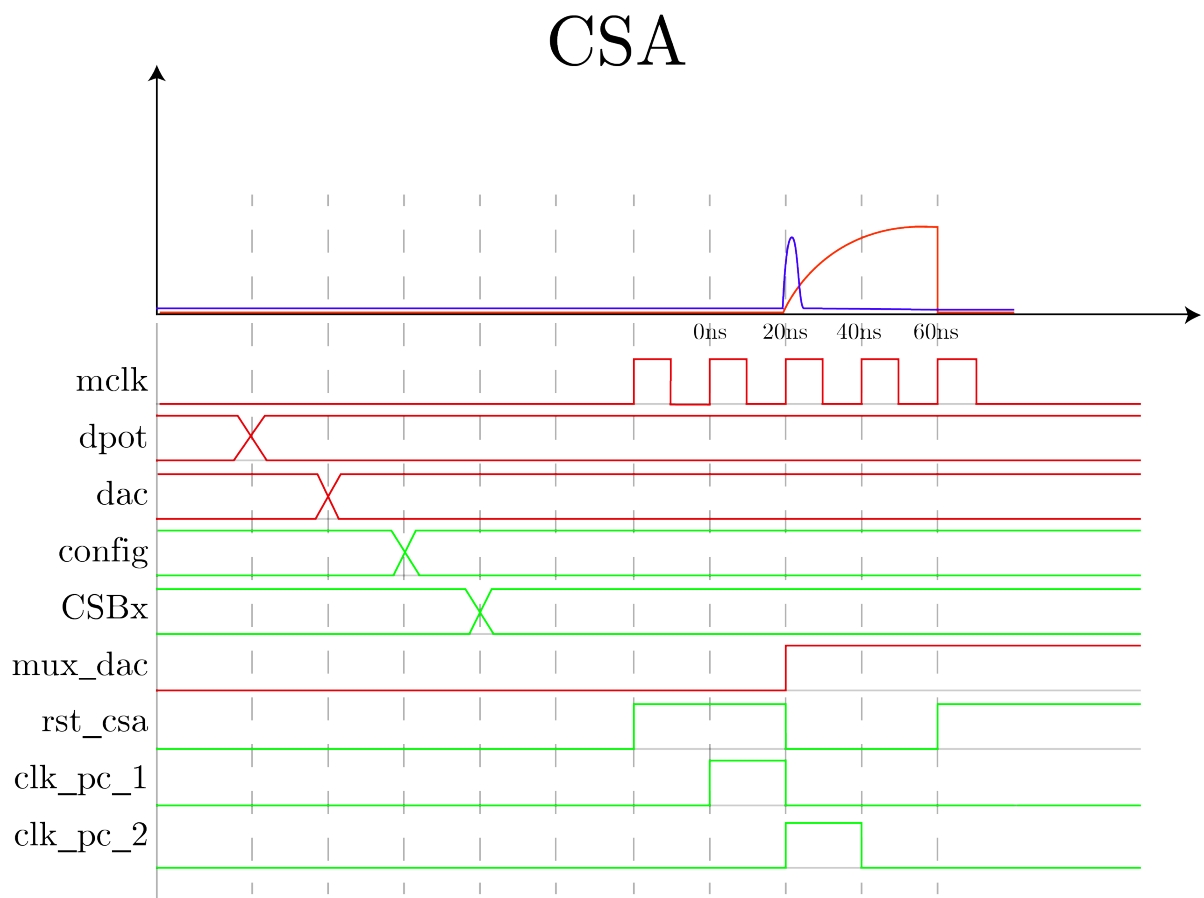


Figura 12: Diagrama de señales para las pruebas realizadas al CSA.

5. Anexo

El prototipo de The Bean V2 tiene 48 pads y fue bonded a 64-lead package from Kyocera Corporation (KYO). The package KYO part number is QC064307WZ. Table 2 shows the Bean V2 pinout.

Pin number	Pin name	Description
1	AGnd	Analog ground
2	NC	No connection
3	NC	No connection
4	NC	No connection
5	NC	No connection
6	res_bias_ext	IC bias external resistor
7	V_ref_prechar	Reference voltage CSA precharger
8	NC	No connection
9	clk_prech1	CSA precharger clk1
10	clk_prech2	CSA precharger clk2
11	op_mode	Operation mode select
12	rst_csa	CSA reset
13	NC	No connection
14	cap_precharge_ext	CSA precharger external capacitor
15	Vin_csa	Vin CSA
16	AGnd	Analog ground
17	AGnd	Analog ground
18	NC	No connection
19	NC	No connection
20	clk	IC clock
21	NC	No connection
22	Vi+_fil	Filter Vi+
23	Vi-_fil	Filter Vi-
24	Vo+_bp_fil	Filter bypass Vo+
25	Vo-_bp_fil	Filter bypass Vo-
26	NC	No connection
27	DVdd	Digital Vdd
28	DGnd	Digital Gnd
29	NC	No connection
30	Vo+_fil	Filter Vo+ (buffered)
31	Vo-_fil	Filter Vo- (buffered)
32	AGnd	Analog ground
33	AGnd	Analog ground
34	NC	No connection
35	out_s	Filter output selection
36	Vocm	Filter Vocm
37	hold	Filter hold signal

Pin number	Pin name	Description
38	rst	Filter reset
39	sgn	Filter gain sign
40	Vicm	Filter Vicm
41	CS_b0	Filter CS capacitor bit 0
42	CS_b1	Filter CS capacitor bit 1
43	CS_b2	Filter CS capacitor bit 2
44	CS_b3	Filter CS capacitor bit 3
45	CS_b4	Filter CS capacitor bit 4
46	CS_b5	Filter CS capacitor bit 5
47	NC	No connection
48	AGnd	Analog ground
49	AGnd	Analog ground
50	Vo+_ch	Channel Vo+ (buffered)
51	NC	No connection
52	Vo-_ch	Channel Vo- (buffered)
53	NC	No connection
54	Vout_csa	CSA Vout (buffered)
55	NC	No connection
56	baseline	CSA baseline (buffered)
57	NC	No connection
58	AGnd	Analog ground
59	NC	No connection
60	NC	No connection
61	NC	No connection
62	AVdd	Analog Vdd
63	NC	No connection
64	AGnd	Analog ground

Tabla 2: The Bean 2 prototype pinout

Nombre	FX02	Verilog	Módulo
CLK_DAC	A16	PI010	DAC_CTRL
SDI_DAC	A15	PI09	DAC_CTRL
CLK_DAC	A14	PI08	DAC_CTRL
SDI_REF	A6	PI00	DigiPot_CTRL
CLK_REF	A8	PI02	DigiPot_CTRL
CS1_REF	A11	PI05	DigiPot_CTRL
CS2_REF	A10	PI04	DigiPot_CTRL
CS3_REF	A7	PI01	DigiPot_CTRL
MUX1_REF	A12	PI06	MUX_CTRL
MUX2_REF	A13	PI07	MUX_CTRL
MUX3_REF	A9	PI03	MUX_CTRL
MUX_DAC_EN	A22	PI016	MUX_CTRL
SDO_ADC2	A18	PI012	ADC2_CTRL
CS_ADC2	A19	PI013	ADC2_CTRL
CLK_ADC2	A20	PI014	ADC2_CTRL
SDO_ADC1	A43	PI037	ADC1_CTRL
CS_ADC1	A44	PI038	ADC1_CTRL
CLK_ADC1	A45	PI039	ADC1_CTRL
out_s	A24	PI018	the_bean_config
hold	A25	PI019	the_bean_config
rst	A26	PI020	the_bean_config
sgn	A27	PI021	the_bean_config
CS_B0	A28	PI022	the_bean_config
CS_B1	A30	PI024	the_bean_config
CS_B2	A32	PI026	the_bean_config
clk	A33	PI027	the_bean_config
CS_B3	A34	PI028	the_bean_config
rst_csa	A35	PI029	the_bean_config
CS_B4	A36	PI030	the_bean_config
op_mode	A37	PI031	the_bean_config
CS_B5	A38	PI032	the_bean_config
clk_pc_1	A40	PI034	the_bean_config
clk_pc_2	A42	PI036	the_bean_config
MUX_DAC_SEL	A21	PI015	the_bean_config

Tabla 3: Lista de distribución de pines para el controlador de la tarjeta.