PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE
ESCUELA DE INGENIERA

# DISEÑO E IMPLEMENTACIÓN DE UNA PLATAFORMA DE PRUEBAS PARA LA SEGUNDA ITERACIÓN DE THE BEAN

**WLADIMIR ARAYA CARO**

Memoria para optar al título de
Ingeniero Civil Electricista

Advisor: ÁNGEL ABUSLEME HOFFMAN

Santiago de Chile, Septiembre 2016

© MMXIV, WLADIMIR ARAYA CARO

PONTIFICIA UNIVERSIDAD CATOLICA DE CHILE
ESCUELA DE INGENIERA

# DISEÑO E IMPLEMENTACIÓN DE UNA PLATAFORMA DE PRUEBAS PARA LA SEGUNDA ITERACIÓN DE THE BEAN

**WLADIMIR ARAYA CARO**

Miembros del comite:
ÁNGEL ABUSLEME HOFFMAN
MARCELO GUARINI HERRMANN
PABLO ZEGERS FERNÁNDEZ
JORGE BAYER

Memoria para optar al título de
Ingeniero Civil Electricista

Santiago de Chile, Septiembre 2016

© MMXIV, WLADIMIR ARAYA CARO

# AGRADECIMIENTOS

# TABLA DE CONTENIDOS

AGRADECIMIENTOS . . . . . iv

TABLA DE CONTENIDOS . . . . . v

LISTA DE FIGURAS . . . . . vii

LISTA DE TABLAS . . . . . ix

ABSTRACT . . . . . x

RESUMEN . . . . . xi

1. INTRODUCCIÓN . . . . . 1
   1.1 Experimentos de física de partículas . . . . . 1
   1.2 Electrónica en detectores de partículas . . . . . 3
   1.3 Experimentos y adquisición de datos en física de partículas . . . . . 5
   1.4 Contenido de esta tesis . . . . . 6

2. DEFINICIÓN DEL PROBLEMA . . . . . 8
   2.1 El colisionador lineal internacional . . . . . 8
   2.2 El detector frontal y the BeamCal . . . . . 9
   2.3 The bean V2 . . . . . 9
   2.4 La plataforma de pruebas . . . . . 10

3. THE BEAN V2 . . . . . 14
   3.1 Detalle del integrado . . . . . 15
      3.1.1 El CSA . . . . . 15
      3.1.2 Pre-charger . . . . . 16
      3.1.3 Filtro . . . . . 16
   3.2 Pruebas y diagramas de tiempo . . . . . 17
      3.2.1 Diagramas de tiempo . . . . . 17
      3.2.2 Diseño de pruebas . . . . . 17

4. DISEÑO DE LA PLATAFORMA . . . . . 24
4.1 Introducción . . . . . 24
4.2 La placa: WAC . . . . . 24
4.2.1 Potenciometros digitales . . . . . 25
4.2.2 DAC . . . . . 26
4.2.3 Circuito de inyección de carga . . . . . 26

5. RESULTADOS . . . . . 28
5.1 The Bean V2 prototype Implementation . . . . . 28
5.2 Filter post-layout simulation results . . . . . 30
5.2.1 Sub-blocks . . . . . 30
5.2.2 Power dissipation . . . . . 31
5.2.3 Functionality . . . . . 31
5.2.4 Linearity . . . . . 32
5.2.5 Weighting function . . . . . 32

6. CONCLUSION . . . . . 39
6.1 Summary . . . . . 39
6.2 Future work . . . . . 40

References . . . . . 41

APPENDIX . . . . . 43

A. Anexos . . . . . 44
A.1 Pinout de the Bean V2 . . . . . 44

# LISTA DE FIGURAS


2.1 Diagrama de bloques de The bean. . . . . 10

2.2 Diagrama general de los requisitos del IC. . . . . 12

3.1 The Bean V2 prototype layout. . . . . 18

3.2 Circuito de inyección de carga en la tarjeta, para simular un detector. . . . . 19

3.3 The Bean V2 prototype layout. . . . . 19

3.4 Filter functionality simulation. $V_{in} = 0.1\,V$ and gain $= 0.25\,V/V$. . . . . 20

3.5 Filter step response for constant input for the 64 possible programmable gains. 20

3.6 SPICE-simulated weighting function. $\tau = 8\,\text{ns}$, $N = 16$ and $T_s = 19.25\,\text{ns}$. . 21

3.7 Diagrama de señales para las pruebas realizadas al filtro . . . . . 22

3.8 Diagrama de señales para las pruebas realizadas al CSA. . . . . 23

5.1 The Bean V2 prototype layout. . . . . 29

5.2 Filter Layout. . . . . 30

5.3 Charge-sensitive amplifier layout. Feedback capacitors are not included here. 33

5.4 Recycling folded cascode OTA layout. . . . . 33

5.5 Rail-to-rail operational amplifier layout. . . . . 34

5.6 Bode plot for the OTA open-loop response, with a $0.4\,\text{pF}$ load capacitance. . . 34

5.7 Bode plot for the buffer open-loop response, with a $8\,\text{pF}$ load capacitance. . . 35

5.8 Filter functionality simulation. $V_{in} = 0.1\,V$ and gain $= 0.25\,V/V$. . . . . 36

5.9 Filter step response for constant input for the 64 possible programmable gains. 36

5.10 Filter linearity simulation results, full-scale input range. . . . . 37

5.11 Weighting function test circuit. . . . . 37

5.12 SPICE-simulated weighting function. $\tau = 8\,\text{ns}$, $N = 16$ and $T_s = 19.25\,\text{ns}$. . 38

A.1 The Bean 2 prototype bonding diagram. . . . . 49

# LISTA DE TABLAS

2.1 Resumen de las especificaciones para el ASIC de instrumentación para the BeamCal. . . . . 11

5.1 SC filter simulated current dissipation. . . . . 31

A.1 The Bean 2 prototype pinout . . . . . 46

A.2 Lista de distribución de pines para el controlador de la tarjeta. . . . . 48

# ABSTRACT

Particle Physics is the branch of physics that studies the fundamental constituents of matter and radiation, and their mutual interactions. The main tools used by particle physicists are particle accelerators, which use electromagnetic fields to accelerate charged particles to relativistic speeds before they are made to collide inside detectors. The International Linear Collider (ILC), a next generation, 31-kilometer long linear particle accelerator, will smash electron and positron bunches at up to 500 GeV. Located at the ILC detector forward region is the BeamCal, a highly segmented calorimeter detector. The BeamCal specifications for radiation tolerance, noise, signal charge, pulse rate and occupancy pose unique challenges for the instrumentation system.

Framed in the design, integration and testing of the Bean IC, a 5-channel application specific integrated circuit (ASIC) planned to meet the BeamCal instrumentation needs, this thesis presents: the development of a new mathematical framework for a design-oriented analysis of discrete-time filters in the discrete-time domain; and the design and implementation of a switched-capacitor (SC) filter for arbitrary weighting function synthesis to be included in the Bean IC, which aims to take full advantage of the introduced mathematical framework.

**Keywords:** Charge Measurements, Low-noise filters, Noise, Nuclear Physics Instrumentation, Optimum Digital Filtering.

# RESUMEN

La Física de Partículas es la rama de la física que estudia las constituyentes fundamentales de la materia y la radiación, y sus interacciones mutuas. Las principales herramientas utilizadas por los físicos de partículas son los aceleradores de partículas, los cuales usan campos electromagnéticos para acelerar partículas cargadas a velocidades relativistas, para después hacerlas colisionar dentro de detectores. El Colisionador Lineal Internacional (ILC) es un acelerador de partículas lineal de la próxima generación de 31 kilómetros de largo que colisionará grupos de electrones y positrones a 500 GeV. Ubicado en la región delantera del ILC se encuentra el BeamCal, un calorímetro altamente segmentado. Las especificaciones del BeamCal para tolerancia a la radiación, ruido, señal de carga, tasa de pulsos y ocupación plantean desafíos únicos para el sistema de instrumentación.

Enmarcado en el diseño, integración y prueba de *Bean IC*, un circuito integrado de aplicación específica (ASIC, por su sigla en inglés) de cinco canales para satisfacer las necesidades de instrumentación del BeamCal, esta tesis presenta: el desarrollo de un nuevo marco matemático para el análisis orientado al diseño de filtros de tiempo discreto; y el diseño y implementación de un filtro de capacitores conmutados para la síntesis de funciones de peso arbitraria que será incluido en *Bean IC*, el cual busca aprovechar al máximo el marco matemático propuesto.

**Palabras Claves:** Medición de carga, Filtros de Bajo Ruido, Ruido, Instrumentación para Física Nuclear, Filtrado Digital Optimo.

# 1. INTRODUCCIÓN

## 1.1 Experimentos de física de partículas

La física de partículas es una rama de la física que estudia la naturaleza de las partículas fundamentales que constituyen la materia y la radiación (Wikipedia, 2015). El estudio de las partículas elementales ha permitido a la humanidad responder algunas de las preguntas más profundas de la físicas, lo cual ha impactado en nuestras vidas a diferentes escalas, desde avances en la comprensión del universo, la composición de la materia y la existencia de nuevas dimensiones, hasta aplicaciones en el desarrollo de tecnologías de uso cotidiano.

La principal herramienta utilizada en la física de partículas son los aceleradores de partículas. El principio básico de un acelerador consiste en concentrar partículas subatómicas en un haz y luego acelerarlas a velocidades cercanas a la velocidad de la luz por medio de campos electromagnéticos. Posteriormente, estos haces se hacen colisionar dentro de un detector, ya sea contra objetivos estacionarios u otro haz de partículas viajando en la dirección opuesta. Como resultados de estas colisiones, se liberan subproductos que son dispersados desde el punto de la colisión. Los detectores se encuentran compuestos por cientos de sensores que permiten medir distintos fenómenos a partir de las colisiones. El estudio y posterior procesamiento de los datos recopilados provee a los científicos información sobre la naturaleza de las partículas elementales.

Para realizar las colisiones entre partículas, es necesario alcanzar altos niveles de energía cinética. Debido a que los aceleradores deben trabajar a estas grandes escalas de energía, la física de partículas también recibe el nombre de ”física de altas energías”. La nueva generación de instrumentos pretende trabajar en escalas de energía nunca antes utilizadas, denominada ”escala tera” (1TeV), la cual permitirá replicar niveles de energía

Esta memoria fue financiada por la Comisión Nacional para la Investigación Científica y Tecnológica (CONICYT) de Chile, en virtud de la concesión del fondo FONDECYT 11110165.

solo alcanzados en los orígenes del universo. En la actualidad se encuentran en curso dos proyectos que pretenden abrir las puertas a un nuevo mundo de investigación denominado el universo cuántico (ILC, 2007): *El Gran Colisionador de Hadrones* (LHC; Large Hadron Collider), desarrollado por la Organización Europea de Investigación Nuclear (CERN) actualmente en etapa de actualización. Y el *Colisionador Lineal Internacional* (ILC; International Lineal Collider), un colisionador aun en desarrollo, pensado para estar operativo entre el 2010 - 2020, a cargo de esfuerzos conjuntos de diversos países coordinados mediante el *Global Design Effort* (GDE) y el *World Wide Study*. Se espera que la combinación de ambos aceleradores conducirán a grandes descubrimientos para la humanidad, como fue la confirmación de la existencia del campo de Higgs en esta década gracias al LHC, considerado uno de los logros más grandes de la ciencia del último medio siglo al contribuir a completar el modelo estándar.

Con niveles de energía cada vez más altos y sistemas de detección cada vez más precisos, la construcción de un acelerador representa un desafío de elevada complejidad. Para alcanzar dichos objetivos, son necesarias construcciones de algunas decenas de kilómetros de radio y esfuerzos colaborativos internacionales que involucran a cientos de científicos e ingenieros a lo largo de todo el mundo. Es por esta razón que los aceleradores son considerados como la obras de ingeniería más grandes y ambiciosas jamás construidas por la humanidad.

A su vez, la elevada complejidad que implica el desarrollo de un acelerador de partículas, demanda el desarrollo de tecnologías en el estado del arte y representa una enorme y continua fuente de retos y desafíos, la cual a llamado la atención de la comunidad científica durante las ultimas décadas. Los conocimientos obtenidos en la búsqueda de soluciones para estos desafíos, han ayudado a gran y pequeña escala en mejorar la calidad de vida de los humanos. Ejemplos concretos son la creación del internet, la cual fue desarrollada por el CERN como un proyecto para satisfacer la necesidad de compartir grandes cantidades de información entre distintos centros de investigación. O la creación de los syncotrones, los cuales utilizan un principio muy similar a los aceleradores para generar radiación y son

utilizados en la medicina moderna tanto para estudiar enfermedades como para desarrollar medicamentos para combatirlas (Tuttle, 2013).

Esta tesis de pregrado trata sobre el diseño y la implementación de una plataforma de pruebas para el estudio y la caracterización de un circuito integrado destinado a implementar los resultados expuestos en (Ávila, 2014) que forman parte de el trabajo colaborativo para desarrollar nuevas tecnologías que permitan mejorar el desempeño de la obtención de datos en los detectores, disminuyendo los efectos del ruido presente en la electrónica de *front-end*.

## 1.2 Electrónica en detectores de partículas

Un detector en física de partículas es un sistema dedicado a recolectar las pistas sobre la identidad de las partículas (como su masa, velocidad, carga entre otras propiedades) a partir de los distintos fenómenos sensables posterior a una colisión. Comúnmente son tres los tipos de detectores utilizados en física de partícula: Los detectores de trayectoria, los cuales se encargan de reconstruir la trayectoria que dejan las partículas luego de una colisión (principalmente partículas que reaccionan poco con la materia como los muones o los neutrinos); los calorímetros, los cuales se encargan de medir la cantidad de energía al detener y absorber la energía de las partículas; y los detectores identificadores de partículas, los cuales se encargan de determinar la identidad de las partículas midiendo alguna propiedad específica (como la radiación de Cherenkov) o infiriéndola de balances respecto a otras mediciones (CERN, 2013).

En la actualidad los detectores de partículas presentes en los colisionadores representan grandes cámaras, comúnmente de forma cilíndrica coaxiales al eje de movimiento del haz de partículas, en donde se llevan a cabo las colisiones. Estos detectores de partículas se encuentran compuestos por capas de subdetectores, en donde cada capa tiene por objetivo obtener información de algún fenómeno específico. Cada una de estas capas se encuentra altamente segmentada por múltiples detectores que forman una unidad básica de detección (o pixel), permitiendo una mejor resolución espacial de las mediciones. Cada

unidades básicas de detector en conjunto con su respectiva electrónica (o *front-end* del detector), conforman un canal. La estructura general de un canal esta constituida por: un detector, un pre amplificador, un filtro, un conversor análogo digital (Spieler, 2005). La figura XX muestra un esquema altamente simplificado de un canal de un detector.

La necesidad de generar continuamente sistemas de detección más complejos con mayor desempeño y mayor precisión, han motivado a grandes equipos de colaboración internacional para desarrollar nuevas tecnologías cada vez más avanzadas que permitan alcanzar los estándares requeridos. En el campo de la electrónica se desarrollan continuos esfuerzos para mejorar el desempeño de los sistemas involucrados en la detección: Reducción de componentes, ahorro de energía, minimización de ruido, aumento de ancho de banda, son algunos de los aspectos que encaminan nuevas investigaciones.

En este contexto, la minimización del ruido representa en la actualidad uno de los limites fundamentales para la resolución de las mediciones. Diversas investigaciones se han llevado a cabo para contribuir al entendimiento y el desarrollo de una estrategia de mitigación de este problema. Uno de los resultados que motiva el desarrollo de la presente tesis de pregrado fue presentado en (Avila, Alvarez, & Abusleme, 2013). En este, se propone una nueva metodología de análisis de ruido en el dominio discreto del tiempo para el diseño de filtros discretos. Esta metodología representa una importante herramienta de diseño para la electrónica de física de partículas y el análisis de ruido en general. [1]

Con el motivo de llevar a la práctica los resultados presentados, se propone en (Ávila, 2014) el diseño de un ASIC que implementa un prototipo para la segunda iteración de the bean, denominado the bean v2. Este integrado consiste en la implementación un *front-end* de 32 canales para ser utilizado en the BeamCal un detector destinado a formar parte del ILC. Una de las principales características de The bean v2, es que implementa la etapa del filtro de la figura XX por medio de un integrador diferencial de capacitores

[1] Un ejemplo particular de otra aplicación de esta herramienta, lo representa el diseño de filtros para el *front-end* de lectura de un CCD, en donde el ruido de lectura es crítico en la calidad de las imágenes obtenidas (Guzman et al., 2013)

conmutados con ganancia configurable digitalmente, permitiendo de este modo generar un filtro discreto configurable.

## 1.3 Experimentos y adquisición de datos en física de partículas

Una de las características interesantes de la física de partículas es el hecho de que las herramientas necesarias para lograr los objetivos propuestos, en la mayoría de los casos, aun no han sido creadas. Debido a que cada nuevo instrumento representa en si mismo un conjunto de desafíos únicos, es necesario desarrollar herramientas que permitan estar a la altura. De este modo, las necesidades por parte de la instrumentación de experimentos ha impulsado los limites de la ciencia y la tecnología en muchos aspectos y, a su vez, nuevos desarrollos en la instrumentación a menudo son posible gracias a los avances en la tecnología. En este sentido, los experimentos en la física de partícula y la tecnología son dependientes el uno del otro. (Hidvégi, 2011)

La inagotable oferta de desafíos llama continuamente a cientos de científicos a proponer y desarrollar nuevas teorías y prototipos hasta poder desarrollar en conjunto una solución adecuada. Sin embargo, la especificidad y complejidad de estas soluciones comúnmente implican un alto costo de desarrollo tanto en recursos humanos, de tiempo y monetarios. Incluso el desarrollo de prototipos demanda la implementación de complejos sistemas que permitan recrear condiciones existentes en los aceleradores para someter a pruebas las soluciones propuestas.

En el contexto de la electrónica, el esquema general de los sistemas de experimentos de física de partículas consiste en un detector o sensor, una etapa de *front-end*, una etapa dedicada a la adquisición de los datos, un sistema de alimentación, un bloque de *triggers* o generador de impulsos para estimular el sistema y por último un sistema de control el cual comúnmente lleva a cabo las tareas de sincronización del resto de los bloques y la interfaz de comunicación. En la figura XX se presenta un diagrama simplificado de la estructura general de un sistema de adquisición de datos.

Gracias a las tecnologías de fabricación disponible, una de las opciones más populares en la actualidad consiste en implementar las distintas etapas (o varias de ellas) en un ASCI. Estos presentan grandes ventajas ya que integran múltiples funciones en un mismo *chip*, entregando la posibilidad incluso de repetir dichas funciones dentro de un mismo integrado para lidiar con la alta segmentación actual de los detectores, procesando varios canales a la vez. Sin embargo, pese a que los ASIC poseen bajos costos cuando se producen en masa, poseen un alto costo de fabricación y altos tiempos de manufactura y diseño.

Otra alternativa la representan las FPGA o Arreglos de compuertas de campo programable (Field programmable Gate Arrays), las cuales son una opción muy adecuadas para experimentos en física de partículas, debido a su alto desempeño, amplia versatilidad, sus capacidades de procesamiento de señales, ancho de banda y programabilidad. Debido a que poseen una gran cantidad de compuertas lógicas programables, las FPGA permiten implementar nuevos diseños digitales por un bajo costo y en cortos tiempos, con la posibilidad de implementar casi cualquier aplicación especifica, a su vez permiten corregir cualquier error de diseño simplemente cargando un nuevo firmware en el dispositivo. (Anvar, Gachelin, Kestener, Provost, & Mandjavidze, 2006; Liu, Kuehn, Lu, & Jantsch, 2008; Ugurdag, Basaran, Akdogan, Güney, & Gören, 2012)

Como es común en este tipo de situaciones, la soluciones mas adecuadas contemplan una combinación lineal de ambas alternativas, de este modo, es posible obtener una solución que aproveche las ventajas de tanto de los ASI como de las FPGA. Es por eso que en el campo experimental de la física de partículas es posible encontrar sistemas híbridos, o incluso ASI que integren procesamiento digital.

## 1.4 Contenido de esta tesis

El capítulo 2 comienza con una introducción al proyecto que inspira el trabajo presentado en esta memoria, el desarrollo de una plataforma de pruebas para la segunda iteración de the Bean, un circuito integrado de aplicación especifica (ASIC, por sus siglas en inglés)

el cual forma parte de una propuesta para el ILC. A continuación se presentan los principales desafíos de este trabajo, haciendo hincapié en cada una de las limitantes y requisitos necesarios. En el capítulo 3 se presenta un detalle del prototipo de the Bean V2, tanto sus especificaciones físicas como un detalle de sus especificaciones funcionales. Junto con lo anterior, se entrega el diseño de las principales pruebas a considerar con el fin de corroborar el correcto funcionamiento del integrado. En el capítulo 4 se presenta un detalle de la plataforma implementada, especificando como fueron abordados cada uno de los requerimientos estipulados en el capítulo 2. También se entregan los *layout* finales desarrollados en el software EAGLE y la metodología utilizada para implementar una comunicación *on line* con un computador. En el capitulo 5 se presentan los resultados obtenidos analizando el resultado de la plataforma desarrollada, del software implementado y los principales resultados de la implementación de la plataforma así como los resultados de las pruebas realizadas a the Bean V2. Finalmente, en el capítulo 6 se entregan las principales conclusiones de este trabajo, analizando los resultados y la contribución de este trabajo y se presentan ideas para futuras contribuciones.

# 2. DEFINICIÓN DEL PROBLEMA

En esta tesis de pre-grado se describe el diseño y la implementación de una plataforma de pruebas cuyo fin es someter a pruebas y caracterizar un prototipo de the bean V2. Este es un ASCI diseñado para satisfacer necesidades de instrumentación del BeamCal, un detector del International Linear Collider.

## 2.1 El colisionador lineal internacional

El ILC es un colisionador de partículas aún en etapa de diseño, que pretende complementar los descubrimientos realizados por el LHC en el 2012. Este instrumento colisionará electrones contra sus anti-partículas los positrones, para lo cual cuenta principalmente de dos aceleradores los que comprenden una extension de aproximadamente 31 kilómetros. En estos aceleradores las partículas confinadas dentro de un haz son aceleradas por medio de campos electromagnéticos hasta alcanzar velocidades relativas a la velocidad de la luz, para luego ser colisionadas. La escala de energía en estas colisiones serán del orden de 500 GeV para su primera etapa. Posteriormente en una segunda etapa, el ILC contempla actualización que pretende utilizar una estructura de aceleradores de 50 kilómetros y niveles de energía de 1 Tev. Estos representan niveles de energía nunca antes observados en la tierra, es por esta razón que estos aceleradores reciben el nombre de aceleradores de “escala tera”.

El proyecto del ILC representa un desafío de carácter mundial. Más de 300 laboratorios y Universidades de todo el mundo participan en el diseño de este nuevo instrumento de alto nivel para la física de partículas. Debido a que tanto la realización de un proyecto de esta magnitud, así como las tareas de coordinación representan un desafío extremadamente complejo, muchas de las especificaciones que comprenden al proyecto aun están en discusión. Un ejemplo de esto es el emplazamiento de este proyecto, el cual aun no se encuentra definido.

## 2.2 El detector frontal y the BeamCal

En un acelerador de partículas las colisiones se llevan a cabo dentro de un gran detector, el cual esta a su vez compuestos de un conjunto de distintos detectores, destinados a medir fenómenos específicos. La estructura de estos detectores para el ILC aun permanece en estudio, sin embargo, existen dos propuestas validadas como candidatas. Cada una de estas propuestas considera la presencia de un detector frontal en su estructura. El propósito de este detector frontal es realizar mediciones de la luminosidad de alta velocidad y precisión, y asegurar la hermiticidad del detector. Para lograr dichas tareas, el detector frontal cuenta a su vez con dos calorímetros principales ubicados en las capas más cercanas al haz de partículas: el LumiCal y el BeamCal. The BeamCal es un calorímetro electromagnético altamente segmentado, adyacente al haz de partículas y cuenta principalmente con tres propósitos: Mejorar la hermeticidad del ILC para ángulos polares bajos, reducir el backscattering para pares en la parte interior del detector del ILC y asistir al diagnostico del haz de partículas. Las especificaciones del BeamCal para la tolerancia de radiación, ruido, carga de señal, tasas de pulsos y tiempos de ocupación plantean un reto único para el sistema de instrumentación.

## 2.3 The bean V2

The bean V2 es un IC que implementa la segunda iteración de The bean. Este integrado tiene como objetivo implementar el front-end para un detector destinado a formar parte de BeamCal. En su segunda iteración The bean V2 contempla integrar la electronica para 32 canales. Cada uno de estos canales contará con: un amplificador sensible a la carga (CSA), con un pulsador de pre-carga; un filtro de capacitores conmutados (SC) totalmente diferencial con características de supresión de bajo ruido; un conversor análogo-digital(ADC) totalmente diferencial de aproximación sucesiva de 10 bits; y sistema para almacenar la información de salida, ya sea en una memoria analógica o digital. Adicionálmente, el IC cuenta con una red de feed-back para propósitos de diagnostico. En la figura 2.1 se entrega un diagrama de la estructura de The bean.

FIGURE 2.1. Diagrama de bloques de The bean.

El IC debe ser capaz de procesar la información proveniente del detector BeamCal a una frecuencia nominal de 3.2468 MHz, con un 100% de ocupación. Por otro lado, debe ser capaz de lidiar con dos modos diferentes de operación: El modo de adquisición estandar (standar data taking mode o SDT mode) y el modo de calibración del detector (Detector Calibration mode o DCal mode). Según las especificaciones de BeamCal, la máxima señal de entrada corresponde aproximadamente a $37pC$ en el modo SDT y 50 veces menor en el modo DCal. Por otro lado, dada la proximidad del detector a las colisiones, se encontrará expuesto a granes cantidades de radiación (1Mrad $SiO_2$).

La tabla 2.1 resume las especificaciones a las que se encontrará sometido el IC The bean V2, las cuales son heredadas de los requisitos exigidos por the BeamCal.

## 2.4 La plataforma de pruebas

El desafío del trabajo presentado en esta tesis de pre-grado consiste en lograr implementar una plataforma que permita instanciar todas las condiciones necesarias para probar el funcionamiento de un prototipo para the bean V2 (Ávila, 2014). En la figura 2.2 se presenta la estructura general de las señales que intervienen en el IC. Esta investigación se

| | |
|---|---|
| Tasa de entrada | $3.25$ MHz durante $0.87$ ms, repetidos cada $200$ ms |
| Canales por AISC | $32$ |
| Ocupación | $100\%$ |
| Resolución | $10$ bits por un canal individual, $8$ bits para la cadena de *fast feedback* |
| Modos de Operación | Modo de adquisición estandar (STD), Modo de calibración del detector (D |
| Señal de entrada | Hasta $40$ pC en el modo SDT, $0.74$ pC en el modo DCal |
| Capacitancia de entrada | $65$ pF |
| Características adicionales | Baja latencia de salida($1\ \mu$s) |
| Características adicionales | Pulsador interno para calibración electrónica |
| Tolerancia de radiación | 1 Mrad ($SiO_2$),TID |
| Consumo | $2.19$ mW por canal |

TABLE 2.1. Resumen de las especificaciones para el ASIC de instrumentación para the BeamCal.

realizó bajo el patrocinio de CONICYT a través del programa FONDECYT. El FONDECYT # 1110165: Aplicación de técnicas CMOS avanzadas en el procesamiento de pulsos para experimentos en física de partículas.

Debido a que The bean V2 es un integrado de señales mixtas, requiere de alimentación analógica y digital. Ambas alimentaciones deben ser de $1.8V$ y con características de bajo ruido. Las entradas del circuito se dividen en entradas analógicas y digitales. En las entradas analógicas cuenta con una señal para un canal del *front-end* que recibe la salida del detector, y una entrada diferencial para el filtro de prueba. Las entradas digitales, representan todas las señales de control, que periten definir el modo de operación del IC y controlan su funcionamiento. Por otra parte, las salidas del IC corresponden a voltajes analógicos, los cuales son un par de salidas provenientes desde *buffers* para seguimiento del funcionamiento del integrado; un par de salidas diferenciales provenientes desde el filtro de prueba; y un par diferencial correspondiente a la salida del canal del *front-end*. Junto con las señales descritas, el integrado necesita de un grupo de voltajes analógicos, los cuales definen el punto de operación del integrado. En la sección 3 se entrega un estudio más detallado del funcionamiento de cada una de las señales del integrado.

Para generar el control de las variables digitales, la plataforma de pruebas debe contar con una interfaz que permita comunicarse con un control digital. Otro de los aspectos

FIGURE 2.2. Diagrama general de los requisitos del IC.

importantes a considerar en los requisitos para la plataforma de pruebas, es la capacidad de operar *on-line*, es decir, realizar continuas iteraciones de secuencias de entradas para distintas configuraciones y condiciones de operación del integrado, sin tener que reprogramar el controlador. Esto implica contar con un protocolo que permita establecer una comunicación entre un computador y el controlador en tiempo real.

En resumen la plataforma de pruebas a implementar debe cumplir con los siguientes requisitos:

- Contar con reguladores de voltaje para generar la alimentación del IC the bean V2.
- Poseer la capacidad de generar distintos voltajes para emular las entradas necesarias del sistema, lo cual debe implementarse en base a un conversor digital análogo (DAC) de 12 bits.
- Debe contar con la capacidad de leer los datos de salida, para esto es necesario contar con dos conversores análogo digital (ADC) de 10 bits totalmente diferenciales.

- Debe ser capaz de generar los voltajes de referencia para ajustar el punto de operación del integrado.
- Implementar una interfaz que permita comunicarse directamente con un control digital.
- Implementar junto al control un protocolo de comunicación, que permita el control *on-line* del integrado.

Dadas las especificaciones del problema, desarrollar un control basado en una FPGA aparece como la mejor opción. Debido a la versatilidad que ofrecen las FPGAs, es posible desarrollar un control tan específico como sea necesario. Además las FPGA comúnmente cuentan con un gran número de pines I/O lo cual permitiría controlar múltiples señales de control de forma paralela, aumentando la velocidad de procesamiento.

Finalmente los objetivos específicos del trabajo presentado en esta tesis de pre-grado son:

1. Implementar una plataforma de pruebas que permita caracterizar bajo parámetros definidos un circuito integrado especifico llamado The bean V2.
2. Implementar dentro de la misma plataforma la capacidad de operar on-line.
3. Caracterizar el integrado dentro de las pruebas y parámetros establecidas bajo las consideraciones expuestas en este trabajo.

# 3. DISEÑO DE LA PLATAFORMA

## 3.1 Introducción

Para poder alcanzar los requerimientos indicados en el capítulo 2 se diseño una plataforma de prueba la cual consta de dos etapas las cuales implementan tanto el *hardware* como el *software*. La primera etapa consiste en una placa física implementada por medio de un circuito PCB multicapa, diseñada en el software Eagle. La segunda etapa implementa el software de la plataforma y consta de dos partes: La implementación de una máquina de estados en una FPGA[1] encargada tanto de implementar un protocolo de comunicación con el computador, como el control y el secuenciador del *hardware*; La otra parte del sofware consiste en un código en el lenguaje C++ que permite enviar comandos de control a la tarjeta permitiendo un control y ajuste de parámetros *online*.

## 3.2 La placa: WAC

Las principales características con las que cuenta la placa son:

- Reguladores de voltaje, los cuales se encargan de implementar la alimentación de los integrados en la placa y de la correcta alimentación de the Bean V2
- Referencias de voltaje, las cuales proveen los voltajes para la correcta configuración del the Bean v2
- Potenciometros digitales y analógicos. Estos permiten ajustar el valor de las referencias. Dando la posibilidad de realizar variaciones según dispongan las pruebas deseadas.
- 1 modulo DAC de 12 bits de cuatro canales configurable via SPI. Este módulo tiene como fin generar las señales de entrada para estimular a the Bean V2.

[1] Filed programmable gate array

- 2 ADC de 12 bits con entradas totalmente diferenciales, con comunicación SPI. Estos módulos permiten leer las salidas del integrado para luego enviarlas como datos de forma serial hacia la máquina de estados.
- Una versión de the Bean V2.
- Un conector FX2 el cual permite la conexión de forma directa con la FPGA por medio de la tarjeta NEXYS 2.

### 3.2.1 Potenciometros digitales

De este modo la formula para obtener el voltaje a la salida del potenciometro en su configuración divisor de voltaje esta dado por la ecuación XX En donde

$$R_{WB}(D) = \frac{D}{256}R_{AB} + R_W \tag{3.1}$$

y

$$R_{WA}(D) = \frac{256 - D}{256}R_{AB} + R_W \tag{3.2}$$

En donde $R_{AB}$ y $R_W$ representan los valores de la resistencia entre los extremos y el valor del conector contribuido por la resistencia del switch interno respectivamente. Por lo tanto configurado en modo de divisor de voltaje conectando el pin B a tierra y el pin A a $V_{ref}$tendremos que el voltaje en el pin intermedio $W$ esta dado por la ecuación XX

$$V_W(D) = \frac{\frac{D}{256}R_{AB} + R_W}{R_{AB} + 2R_W}V_A \tag{3.3}$$

Dado que en este caso $R_{AB} >> R_W$ la ecuación anterior se puede aproximar a

$$V_W(D) = \frac{D}{256}V_{ref} \tag{3.4}$$

De este modo dado un voltaje $V_W$ deseado la formula que debemos implementar esta dada por

$$D = \frac{V_W 256}{V_{ref}} \tag{3.5}$$

La forma en que se implementan los comandos esta dada por la siguiente estructura:

**Ctrl::** 0x03

**Conf::** [[15:10]—[9:8] sel— [7:0] data]

### 3.2.2 DAC

La formula entregada por el fabricante del voltaje del DAC esta dada por la ecuación XX

$$V_{out} = \frac{V_{ref,DAC} D}{4096} \tag{3.6}$$

Por ende para un determinado voltaje $V_{out}$ deseado el valor digital que necesitamos corresponde a

$$D = \frac{V_{out} 4096}{V_{ref,DAC}} \tag{3.7}$$

La estructura de los datos enviados es de la forma

**ctrl::** 0x01

**conf::** [L1 L0— S1 S0— [11:0] dato]

### 3.2.3 Circuito de inyección de carga

El circuito de inyección de carga cumple la función de emular al detector según el esquema mostrado en XX. Para esto en la placa se implemento el circuito mostrado a continuación.

Su funcionamiento es muy similar al del circuito de precarga presentado en la sección XX. De este modo se cumple que

$$Q_{in} = \Delta V_{in} C_{in} \tag{3.8}$$

$$\Delta V_{out} = \frac{C'_{pc} V_{ref}}{C_F} \tag{3.9}$$

$$C'_{pc} = C_{pc} + C_{ext} \tag{3.10}$$

| SDT | SDT | DCal |
|---|---|---|
| $Q_{in}$ | 36.9pC | 0.74pC |
| $C_F$ | 45pF | 0.45pF |
| $\Delta V_{in}^{max}$ | 1.3V | 1.3V |
| $C_{in}$ | 27pF | 0.5pF |
| $C_{ext}$ | 25pF | 0 |
| $V_{ref}^{max}$ | 1.8V | 0.9V |
| $\Delta V_{out}$ | 1V | 1V |
| $C_{pc}$ | 0.5pF | 0.5pF |

# 4. RESULTADOS

## 4.1 The Bean V2 prototype Implementation

The Bean V2 prototype was designed for a standard mixed-signal $180$-nm CMOS process. This iteration of the Bean includes two standalone structures: a trimmed version a readout channel, which includes two CSA (one with its input and output connected, to generate the baseline voltage[1]), a pre-charger circuit, the designed SC filter and output buffers; and an isolated version of the filter with its inputs directly bonded out off-chip. Both structures will be tested separately, thus control signals and reference voltages for both filters are tied together. Also, a logic circuit to generate the non-overlapping two-phase clock was included. Future revisions of the prototype will include a 10-bit SAR ADC and a digital memory within the channel.

Fig. 5.1 shows the layout of the Bean V2 prototype; for a detailed description of the IC pinout, see Appendix A. Each channel cell was designed to have a pitch lower than $190\,\mu$m. If the number of channels is increased to the nominal value of $32$, the IC will be approximately $6$ mm tall, which can be fit into four mini@sic sub-blocks according to the Europractice rules. After including the ADC and the digital memory, channel length is expected to be lower than $1$ mm.

The SC filter, shown in Fig. 5.2, has a total area of $185\,\mu\text{m} \times 332\,\mu\text{m}$, and was laid out to resemble the components spatial distribution of the circuit in Fig. **??**. The filters outputs, the main CSA output and the baseline voltage are buffered out off-chip using the rail-to-rail amplifiers (connected as unity-gain buffers) shown in Fig. 5.5. The CSA and the filter OTA are depicted in Figs. 5.3 and 5.4 respectively. All structures were carefully side-shielded with multiple guard-rings. Also, to mitigate the effects of cross-chip gradients, the common-centroid technique and dummy devices were used in the layout of the filter OTA and the rail-to-rail op-amps. These considerations were not taken into account for the

[1]The baseline is defined as the CSA DC output voltage after reset, when no input has been applied.

FIGURE 4.1. The Bean V2 prototype layout.

CSA layout, since mismatch is not critical for this cell because of the size of its transistors and because it is a single-ended device. As mentioned in the previous chapter, capacitors $C_F$ and $C_S$ were implemented with a parallel connection of unity MIM capacitors. To prevent copper-dishing effects, both capacitors were surrounded by dummy capacitors implemented with the same unity capacitors.

Because of the lack of models for the pads provided by Faraday and the tools needed to use them, it was necessary to design custom pads. They were designed for ground, positive supply voltage, analog input/output, digital input, and digital output. Special

FIGURE 4.2. Filter Layout.

care was taken for the Latch-up failure of the output digital drivers, and the electrostatic discharge phenomena.

## 4.2 Filter post-layout simulation results

### 4.2.1 Sub-blocks

The filter OTA and the buffer op-amp are the complex sub-blocks of the design. Thus, before proceeding with the complete layout, both structures were extracted separately and simulated individually. Figs. 5.6 and 5.7 shows the simulated open-loop response of the filter OTA and the buffer op-amp, respectively. The results are very close to the pre-layout simulation results of Chapter 4, the most important difference is that the phase margin of the op-amp is $8°$ lower than the pre-layout estimation. However, it is still within a safe and stable margin. To prove stability, exhaustive transients simulations were run using sharp voltage steps on the inputs, the power supply and the different voltage references. Special care was taken to prove stability of the $\beta$ multiplier circuit.

| Component | Current dissipation |
|---|---|
| Filter OTA | 369 $\mu$A |
| Filter bias and logic | 194 $\mu$A |
| Unity-gain buffer | 360 $\mu$A |

TABLE 4.1. SC filter simulated current dissipation.

### 4.2.2 Power dissipation

The power dissipated by the SC filter prototype was estimated using transient simulations over the extracted filter, under nominal operation and a single input value. The results are presented in Table 5.1. The measurements are current consumption averages of the supply node of each component, thus, taking into account dynamic power consumption of the logic circuits.

### 4.2.3 Functionality

A transient simulation using the entire extracted SC filter, including the bias structures, the buffers and the non-overlapping two-phase clock generator, was used to test the filter functionality. Control signals were driven with piecewise-linear voltage sources and a differential voltage step was used as filter input. Fig. 5.8 shows the simulation result. The measured waveform confirms the functionality of all blocks.

A single clock cycle transient simulation was used to test the variable gain functionality of the filter. The control signals for the variable capacitors were driven with piecewise-linear voltage sources and a differential voltage step was used as filter input. Fig. 5.9 shows the filter step response for the 64 available filter gains. The simulation confirms the monotonically increasing characteristic of the filter gain. However, the increments are not constant between consecutive filter gains. This can be explained due to the use of a binary array to implement the variable capacitor. This could be improved using a thermometer array or a mix between both, at the cost of adding complexity.

### 4.2.4 Linearity

The filter Integral nonlinearity (INL) was simulated for an input ramp covering $100\%$ of the filter input range. The simulations were carried out for nominal speed, with an input ramp driven by an ideal voltage source. Fig. 5.10 shows the simulation result. The INL plot shows a typical second order non-linear behavior caused by variations over the filter OTA gain due to the input range. This can be improved with a constant-$g_m$ OTA input stage and by increasing the OTA open-loop gain. Spikes on the INL plot are caused by simulation numerical errors, thus they do not represent any filter dysfunction. The high value of the INL is due to the insufficient time for the filter to settle. Future revision of the Bean should consider the filter dynamical behavior and take special attention to the common-mode feedback loop, which was one of the factors that affected the filter settling time in this iteration of the design.

### 4.2.5 Weighting function

The filter weighting function (WF) was simulated according to its definition described in Chapter 3. This was done by applying an input voltage step at different times within a cycle, and measuring the output at the measurement time. A simple $RC$ network was used to simulate a voltage step as seen at the output of a CSA. Fig. 5.11 shows the circuit used to perform this measurement.

Fig. 5.12 shows the post-layout SPICE-simulated WF of the filter using flat coefficients and the Bean nominal clock frequency. As expected, its shape resembles the shape of the WFs in Fig. **??**, which confirm the functionality of the filter to synthesize practical WFs. The initial non-zero value is caused by the successive integration of the filter input-referred offset voltage and the filter nonlinearities. Future revision of the filter could include a chopper-stabilized OTA to reduce the offset, and thus, to reduce the WF nonideality.

FIGURE 4.3. Charge-sensitive amplifier layout. Feedback capacitors are not included here.

FIGURE 4.4. Recycling folded cascode OTA layout.

FIGURE 4.5. Rail-to-rail operational amplifier layout.

FIGURE 4.6. Bode plot for the OTA open-loop response, with a $0.4\,\mathrm{pF}$ load capacitance.

FIGURE 4.7. Bode plot for the buffer open-loop response, with a 8 pF load capacitance.

FIGURE 4.8. Filter functionality simulation. $V_{in} = 0.1\,V$ and gain $= 0.25\,V/V$.

FIGURE 4.9. Filter step response for constant input for the 64 possible programmable gains. $V_{in} = 0.1\,V$ and $T_s = 40\,\text{ns}$.

FIGURE 4.10. Filter linearity simulation results, full-scale input range.

FIGURE 4.11. Weighting function test circuit.

FIGURE 4.12. SPICE-simulated weighting function. $\tau = 8\,\text{ns}$, $N = 16$ and $T_s = 19.25\,\text{ns}$.

# 5. CONCLUSION

## 5.1 Summary

This thesis deals with the use of discrete-time filters to process the noise present in particle physics detectors front-end circuits. The main contributions of this work are: the development of a new mathematical framework for a design-oriented analysis of discrete-time filters in the discrete-time domain; and the design and implementation of a switched capacitor (SC) filter for arbitrary weighting function (WF) synthesis to be included in the Bean V2 IC.

One of the most important topics in particle physics instrumentation is finding the optimal WF for noise minimization. Although some WFs, such as the cusp (**?**), are impossible to synthesize using continuous-time circuits, it was then interesting to determine the fundamental lower limit of noise that could be achieved through them. From then on, design efforts were focused on synthesizing the closest WFs to these theoretical optimal ones. Once introduced the discrete-time pulse shapers in the early 90's, the design efforts remained on this path, by using discrete-time filters to synthesize WFs similar to the continuous-time optimal WFs. However, this approach ignores the discrete-time nature of the pulse shaper, since taking into account this condition results in different optimal WFs, which for a variety of conditions could be very different to the continuos-time counterparts. This problem leads to the main work presented in this thesis, a mathematical framework to calculate the noise of a typical detector front-end circuit from a discrete-time point of view, and thereby, a powerful tool to design the optimal discrete-time pulse shapers.

From a practical point of view, a generic filter for arbitrary weighting function synthesis is an ideal companion for the theoretical framework mentioned above. The design of this filter was presented in this work, framed on the design of the Bean V2, an application specific integrated circuit (ASIC) planned to meet the BeamCal instrumentation needs. The use of this filter, along with a proper characterization of the CSA and detector

noise statistics, will allow to minimize the output referred noise on the BeamCal front-end circuit.

## 5.2 Future work

The mathematical framework presented in this work depends on a proper characterization of the CSA and detector noise statistics to find the optimal filter. Once estimated these parameters, the filter coefficients are computed offline, and then, they are updated in the circuit. An interesting future development could be to find a methodology to compute the filter coefficients online without having to characterize the CSA and detector noise statistics separately. To pursue this problem, the mathematical framework presented in this work represents a proper starting point. Also, given the abstraction of this work, it could find applications in other fields with similar circuit configurations, such as the current developments for astronomical instrumentation (Guzman et al., 2013).

The lessons learned during the design and simulation of the Bean filter prototype will prompt corrections, improvements, and upgrades for future revisions. Based just on simulation results, the most urgent correction consist of editing the filter OTA design to meet the settling time specification, and thus, the linearity specification. Filter lab testing are about to start. Additional corrections, improvements, and upgrades are expected as result of this development phase.

# References


Anvar, S., Gachelin, O., Kestener, P., Provost, H. L., & Mandjavidze, I. (2006, June). Fpga-based system-on-chip designs for real-time applications in particle physics. *IEEE Transactions on Nuclear Science*, *53*(3), 682-687.

Ávila, D. (2014). *Discrete-Time Noise Filtering for Pulse-Processing in Particle Physics Experiments* (Unpublished master's thesis). Pontificia Universidad Católica de Chile.

Avila, D., Alvarez, E., & Abusleme, A. (2013). Noise analysis in pulse-processing discrete-time filters. *Nuclear Science, IEEE Transactions on*, *60*(6), 4634-4640.

CERN. (2013). *How Detectors Works.* Retrieved from `http://home.web.cern.ch/about/how-detector-works/`

Guzman, D., Abusleme, A., Guarini, M., Alessandri, C., Avila, D., Alvarez, E., & Oberli, C. (2013). Theoretical considerations, early results and plans for an ASIC to implement weighted multiple sampling in scientific CCDs. *Proceedings of the Scientific Detectors Workshop*.

Hidvégi, A. (2011). *FPGA-based Instrumentation for Advanced Physics Experiments* (Unpublished doctoral dissertation). Stckholm University.

ILC. (2007). *The international linear collider - getway to the quantum universe.* Retrieved from `http://www.linearcollider.org/ILC/Publications/Getway-to-the-Quantum-Universe`

Liu, M., Kuehn, W., Lu, Z., & Jantsch, A. (2008, Sept). System-on-an-fpga design for real-time particle track recognition and reconstruction in physics experiments. In *2008 11th euromicro conference on digital system design architectures, methods and tools* (p. 599-605). doi: 10.1109/DSD.2008.97

Spieler, H. (2005). *Semiconductor detector systems*. Oxford University Press.

Tuttle, K. (2013). Why particle physics matters. *Symmetry Magazine*.

Ugurdag, H. F., Basaran, A., Akdogan, T., Güney, V. U., & Gören, S. (2012, July). Fpga based particle identification in high energy physics experiments. In *2012 ieee 23rd international conference on application-specific systems, architectures and processors* (p. 181-184). doi: 10.1109/ASAP.2012.22

Wikipedia. (2015). *Particle physics.* Retrieved from `http://en.wikipedia.org/wiki/Particle_physics`

# APPENDIX

# A. ANEXOS

## A.1 Pinout de the Bean V2

El prototipo de The Bean V2 tiene 48 pads y fue bonded a 64-lead package from Kyocera Corporation (KYO). The package KYO part number is QC064307WZ. Table A.1 shows the Bean V2 pinout.

| Pin number | Pin name | Description |
|---|---|---|
| 1 | `AGnd` | Analog ground |
| 2 | `NC` | No connection |
| 3 | `NC` | No connection |
| 4 | `NC` | No connection |
| 5 | `NC` | No connection |
| 6 | `res_bias_ext` | IC bias external resistor |
| 7 | `V_ref_prechar` | Reference voltage CSA precharger |
| 8 | `NC` | No connection |
| 9 | `clk_prech1` | CSA precharger clk1 |
| 10 | `clk_prech2` | CSA precharger clk2 |
| 11 | `op_mode` | Operation mode select |
| 12 | `rst_csa` | CSA reset |
| 13 | `NC` | No connection |
| 14 | `cap_precharge_ext` | CSA precharger external capacitor |
| 15 | `Vin_csa` | Vin CSA |
| 16 | `AGnd` | Analog ground |
| 17 | `AGnd` | Analog ground |
| 18 | `NC` | No connection |
| 19 | `NC` | No connection |

| | | |
|---|---|---|
| 20 | clk | IC clock |
| 21 | NC | No connection |
| **Pin number** | **Pin name** | **Description** |
| 22 | Vi+_fil | Filter Vi+ |
| 23 | Vi-_fil | Filter Vi- |
| 24 | Vo+_bp_fil | Filter bypass Vo+ |
| 25 | Vo-_bp_fil | Filter bypass Vo- |
| 26 | NC | No connection |
| 27 | DVdd | Digital Vdd |
| 28 | DGnd | Digital Gnd |
| 29 | NC | No connection |
| 30 | Vo+_fil | Filter Vo+ (buffered) |
| 31 | Vo-_fil | Filter Vo- (buffered) |
| 32 | AGnd | Analog ground |
| 33 | AGnd | Analog ground |
| 34 | NC | No connection |
| 35 | out_s | Filter output selection |
| 36 | Vocm | Filter Vocm |
| 37 | hold | Filter hold signal |
| 38 | rst | Filter reset |
| 39 | sgn | Filter gain sign |
| 40 | Vicm | Filter Vicm |
| 41 | CS_b0 | Filter CS capacitor bit 0 |
| 42 | CS_b1 | Filter CS capacitor bit 1 |
| 43 | CS_b2 | Filter CS capacitor bit 2 |
| 44 | CS_b3 | Filter CS capacitor bit 3 |
| 45 | CS_b4 | Filter CS capacitor bit 4 |

| | | |
|---|---|---|
| 46 | CS_b5 | Filter CS capacitor bit 5 |
| 47 | NC | No connection |
| **Pin number** | **Pin name** | **Description** |
| 48 | AGnd | Analog ground |
| 49 | AGnd | Analog ground |
| 50 | Vo+_ch | Channel Vo+ (buffered) |
| 51 | NC | No connection |
| 52 | Vo-_ch | Channel Vo- (buffered) |
| 53 | NC | No connection |
| 54 | Vout_csa | CSA Vout (buffered) |
| 55 | NC | No connection |
| 56 | baseline | CSA baseline (buffered) |
| 57 | NC | No connection |
| 58 | AGnd | Analog ground |
| 59 | NC | No connection |
| 60 | NC | No connection |
| 61 | NC | No connection |
| 62 | AVdd | Analog Vdd |
| 63 | NC | No connection |
| 64 | AGnd | Analog ground |

TABLE A.1. The Bean 2 prototype pinout

| Nombre | FX02 | Verilog | Módulo |
|---|---|---|---|
| CLK_DAC | A16 | PIO10 | DAC_CTRL |
| SDI_DAC | A15 | PIO9 | DAC_CTRL |
| CLK_DAC | A14 | PIO8 | DAC_CTRL |
| SDI_REF | A6 | PIO0 | DigiPot_CTRL |
| CLK_REF | A8 | PIO2 | DigiPot_CTRL |
| CS1_REF | A11 | PIO5 | DigiPot_CTRL |
| CS2_REF | A10 | PIO4 | DigiPot_CTRL |
| CS3_REF | A7 | PIO1 | DigiPot_CTRL |
| MUX1_REF | A12 | PIO6 | MUX_CTRL |
| MUX2_REF | A13 | PIO7 | MUX_CTRL |
| MUX3_REF | A9 | PIO3 | MUX_CTRL |
| MUX_DAC_EN | A22 | PIO16 | MUX_CTRL |
| SDO_ADC2 | A18 | PIO12 | ADC2_CTRL |
| CS_ADC2 | A19 | PIO13 | ADC2_CTRL |
| CLK_ADC2 | A20 | PIO14 | ADC2_CTRL |
| SDO_ADC1 | A43 | PIO37 | ADC1_CTRL |
| CS_ADC1 | A44 | PIO38 | ADC1_CTRL |
| CLK_ADC1 | A45 | PIO39 | ADC1_CTRL |
| out_s | A24 | PIO18 | the_bean_config |
| hold | A25 | PIO19 | the_bean_config |
| rst | A26 | PIO20 | the_bean_config |
| sgn | A27 | PIO21 | the_bean_config |
| CS_B0 | A28 | PIO22 | the_bean_config |
| CS_B1 | A30 | PIO24 | the_bean_config |
| CS_B2 | A32 | PIO26 | the_bean_config |
| clk | A33 | PIO27 | the_bean_config |

| **Nombre** | **FX02** | **Verilog** | **Módulo** |
|---|---|---|---|
| CS_B3 | A34 | PIO28 | the_bean_config |
| rst_csa | A35 | PIO29 | the_bean_config |
| CS_B4 | A36 | PIO30 | the_bean_config |
| op_mode | A37 | PIO31 | the_bean_config |
| CS_B5 | A38 | PIO32 | the_bean_config |
| clk_pc_1 | A40 | PIO34 | the_bean_config |
| clk_pc_2 | A42 | PIO36 | the_bean_config |
| MUX_DAC_SEL | A21 | PIO15 | the_bean_config |

TABLE A.2. Lista de distribución de pines para el controlador de la tarjeta.

FIGURE A.1. The Bean 2 prototype bonding diagram.