

## 一、 填空题（每题 2 分，共 50 分）

1. 中央处理器的基本组成部分包括 运算器、控制器 和 Cache。
2. 在冯·诺依曼型计算机系统中，硬件系统由 运算器、控制器、存储器、输入设备、输出设备 五大部件组成。
3. 计算机存储器的最小单位的中文名称为 比特，1KB 容量的存储器能存储 8192 个这样的基本单位。
4. 已知  $[X]_{\text{原}} = 2022\text{H}$ ，则  $[-X]_{\text{补}} = \text{dfdd}$  H。  
 $2022\text{H} = 0010\ 0000\ 0010\ 0010$   
 $-2022\text{H 补} = 1101\ 1111\ 1101\ 1110 = \text{dfdd}$
5. 两个十六进制数 7E5H 和 4D3H 相加，结果为 CB8（十六进制）。
6. 一个 8 位无符号二进制数能表示的最大数值是  $2^8 - 1 = 255$ （十进制）。
7. 设机器字长为 16 位，如果采用补码表示整数，则一个字所能表示的数取值范围是  $-2^8 \sim 2^8 - 1$ 。
8. 有如下 C 语言程序段：  

```
short si=-32767; （提示  $2^{15}=32768$ ）  
unsigned short usi = si;
```

执行上述语句后，usi 的值为 35769。

$-32767$  的原码用二进制表示为 1111 1111 1111 1111, 用补码表示则为 1000 0000 0000 0001, 将该值赋给无符号型 short，那么 usi 的机器码就是 1000 0000 0000 0001, 最高位的 1 不再代表符号位，对应的数值就是  $= 35768 + 1 = 35769$
9. 计算机中的栈有 压栈 push 和 出栈 pop 两种基本操作。在 32 为计算

机中，如果当前栈顶为 12345678H，在对一个字进行上述两种操作，新的栈顶分别会变为 12345678 - 4 和 12345678 + 4 = 1234567C。

10. 假定有符号整数采用补码表示，若 int 型变量 x 和 y 的机器数分别是 FFFF FFDFH 和 0000 0041H，则 x= -33 （十进制），y= 65 （十进制），x-y= \_9E\_ （十六进制）。

FFFF FFDF = 1111111111111111111111111011111 补码

1111111111111111111111111011110 反码

1000000000000000000000000100001 原码

11. 某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 int 型和 short 型长度分别为 32 位和 16 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct{  
  
    int a;  
  
    charb;  
  
    short c;  
  
} record;  
  
record.a=273;
```

若 record 变量的首地址为 0xC008，则地址 0xC008 中内容是 0x11 （十六进制），record.c 的地址为 0xC00E （十六进制）。

大端模式：数据低位放在内存高位；

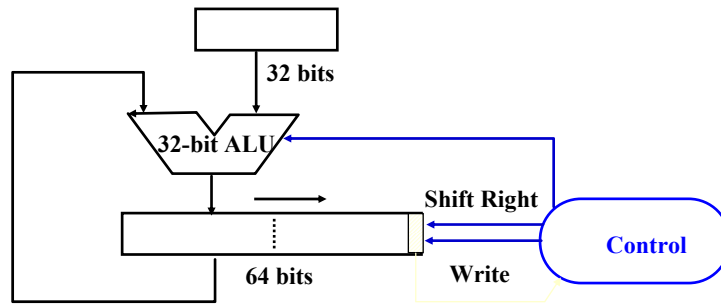
小端模式：数据低位放在内存低位；

将 a 从十进制化成 16 进制： a = 273 = 0x0000 0111 (32 位)

一个字节存储 8 位，因此 0x0000 0111 分为 0x00，0x00，0x01，0x11 四个字节来储存。其中 0x11 是数据的低位，根据小端模式应该存在地址的地

位，也就是 0xC008

12. 设有 7 位信息码 0010101，低位增设偶校验位后编码为 1。
13. float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配到一个 32 位浮点寄存器 FR1 中，且  $x = -8.25$ ，则 FR1 的内容是 (十六进制) C1 04 00 00。
14. 浮点数加减法流程包括 零操作数检查、对阶、加减、规格化、舍入处理、溢出检查 六个步骤。
15. 高级语言程序转变为机器语言程序需要经过 编译、汇编。
16. MIPS 指令可以分为 寄存器型 (R 型)、立即数型 (I 型) 和 转移型 (J 型) 三种类型。
17. 在 MIPS 指令系统中，支持过程调用和返回的两条指令是 JAL 和 RA。
18. 根据指令系统的特点，可以将计算机分为 复杂指令集 (CISC) 计算机和 精简指令集 (RISC) 计算机两类。
19. 在 MIPS 指令系统中，条件分支指令 (beq register1, register2, L1) 采用的是 PC 相对 寻址方式；使用伪直接寻址的是 J (跳转) 指令。
20. 某机器字长为 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后的目标地址是 2008H。
21. 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间 (忽略各功能段之间的缓存时间) 分别为 90ns、80ns、70ns、和 60ns，则该计算机的 CPU 时钟周期至少是 90ns。
22. 下图是 32 位计算机在进行乘法或除法的硬件组成，请根据图中标出的信息，判断该硬件组成是完成 乘法 运算。



23. 设采用 IEEE754 标准表示的 32 位单精度浮点数为 3FC00000H，其尾数真值（十进制）为 1.5，阶码真值（十进制）为 0。该浮点数的符号为 +。

0 | 011 1111 1 | 100 0000 0000 0000 0000 0000

24. 设采用 IEEE754 标准表示的 32 位单精度浮点数 3FC00000H 和 3F000000H，两数相乘，在结果规格化之前，阶码运算后结果为（二进制）10000000（128）。

0 | 011 1111 1 | 100 00000000000000000000，阶 127-127 = 0

0 | 011 1111 0 | 000 00000000000000000000，阶 126-127 = -1

25. 在 MIPS 数据通路中，选择 PC 值更新为[PC+4]或[PC+4+跳转值]的控制信号 PCSrc，是由信号 zero 与信号 Branch 进行 与 逻辑运算得到的。

## 二、 简答题（共 50 分，第 1 题 15 分，第 2 题 15 分，第 3 题 20 分）

1. 计算机 A 和 B 采用不同主频的 CPU 芯片

（1）若 A 的 CPU 主频为 8MHz，B 的 CPU 为 12MHz，则 A 的 CPU 时钟周期是多少？

A 机的 CPU 主频为 8MHz，所以 A 机的 CPU 时钟周期= $1/8\text{MHz}=0.125\mu\text{s}$ 。

（2）若 A 的平均指令执行速度为 0.4MIPS，则 A 机的平均指令周期为多少？

A 机的平均指令周期= $1/0.4\text{MIPS}=2.5\mu\text{s}$ 。

（3）B 机的平均指令执行速度为多少？

A 机平均每条指令的时钟周期数= $2.5\mu\text{s}/0.125\mu\text{s}=20$ 。

因微机 A 和 B 片内逻辑 1 电路完全相同，所以 B 机平均每条指令的时钟周期数也为 20。

由于 B 机的 CPU 主频为 12MHz，所以 B 机的 CPU 时钟周期= $1/12\text{MHz}=1/12\mu\text{s}$ 。B 机的平均指令周期= $20\times(1/12)=5/3\mu\text{s}$ 。B 机的平均指令执行速度= $1/(5/3)\mu\text{s}=0.6\text{MIPS}$ 。

3. 某 16 位计算机中，带符号整数用补码表示，数据存储器 and 指令存储器分离。表 2 给出了指令系统中部分指令格式，其中  $R_s$  和  $R_d$  表示寄存器，mem 表示存储单元地址，(x)表示寄存器 x 或存储单元 x 的内容。

表 2 指令系统部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs)+(Rd)->Rd
算术/逻辑左移	SHL Rd	$2 \times (Rd) \rightarrow Rd$
算术右移	SHR Rd	$(Rd)/2 \rightarrow Rd$
取数指令	LOAD Rd, mem	(mem)->Rd
存数指令	STORE Rs, mem	(Rs)->mem

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB)，流水线没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

(1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行指令 “SHL R1” 后，R1 的内容是多少？(用十六进制表示)

x 的机器码为  $[x]_{\text{补}} = 1111\ 1101\ 1111\text{B}$ ，即指令执行前  $(R1) = \text{FDFFH}$ ，右移 1 位后为  $1111\ 1110\ 1111\ 1111\text{B}$ ，即指令执行后  $(R1) = \text{FEFFH}$ 。

(2) 若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？

至少需要  $4 + (5 - 1) = 8$  个时钟周期数。