

## Chương 3: Thiết kế hệ tổ hợp

Câu 1. Thiết kế mạch tổ hợp thực hiện xấp xỉ phép chia 3.

Để thực hiện phép chia 3, ta có thể sử dụng phương pháp nhân số đó cho  $\frac{1}{3}$ .

Trong đó, ta có thể xấp xỉ:  $\frac{1}{3} \approx 0.3333 = 2^{-2} + 2^{-4} + 2^{-6} + 2^{-8}$

Cho các standard cell là: cổng not, các cổng logic 2 ngõ vào, mux 2-1, mux 4-1.

a. Cho ngõ vào là số 32 bit. Thiết kế mạch theo phương pháp đã cho và chỉ được dùng các standard cell trên.

b. Viết chương trình HDL mô tả mạch đã cho.

c. Viết testbench cho mạch. Testbench thực hiện rải 100 mẫu và tính scoreboard của 100 mẫu đó.

Câu 2. Thiết kế mạch tổ hợp tìm vị trí bit 1 mẫu tiên (tính từ MSB) của chuỗi 24 bit.

Cho các standard cell là: cổng not, các cổng logic 2 ngõ vào, mux 2-1, mux 4-1.

a. Thiết kế mạch chỉ được dùng các standard cell trên.

b. Viết chương trình HDL mô tả mạch đã cho.

c. Viết testbench cho mạch. Testbench thực hiện rải 100 mẫu và tính scoreboard của 100 mẫu đó.

Câu 3. Thiết kế mạch tính tổng của 2 số 32 bit sử dụng giải thuật CLA (Carry Look-Ahead Adder) trong lý thuyết. Lưu ý: tách thành các bộ cộng 4 bit CLA.

Cho các standard cell là: cổng not, các cổng logic 2, 3, 4 ngõ vào.

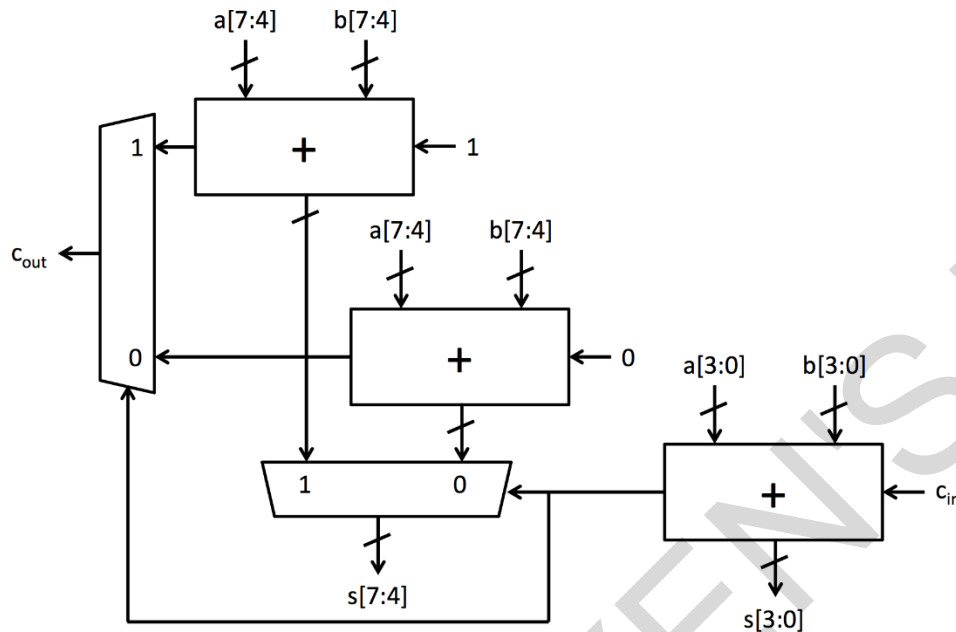
a. Thiết kế mạch theo phương pháp đã cho và chỉ được dùng các standard cell trên.

b. Viết chương trình HDL mô tả mạch đã cho.

c. Viết testbench cho mạch. Testbench thực hiện rải 100 mẫu và tính scoreboard của 100 mẫu đó.

Câu 4: Thiết kế mạch tính tổng của 2 số sử dụng giải thuật CSA (Carry Select Adder)

Hình vẽ sau mô tả mạch tổ hợp của giải thuật CSA áp dụng cho 2 số 8 bit. Trong đó, bộ cộng 4 bit có thể chọn CLA hoặc CRA.



Cho các standard cell là: cổng not, các cổng logic 2, 3, 4 ngõ vào, mux 2-1.

- Thiết kế mạch theo phương pháp đã cho và chỉ được dùng các standard cell trên.
- Viết chương trình HDL mô tả mạch đã cho và viết testbench cho mạch.
- Mở rộng thiết kế cho 2 số 32 bit.

Câu 5: Thiết kế một ALU thực hiện theo tính toán theo bảng sau.

Trong đó, A và B là 2 số ngõ vào 8 bit. Các tín hiệu lựa chọn S1, S0 và Cin.

$S_1 S_0$	$C_{in} = 0$	$C_{in} = 1$
00	$F = A + B$ (add)	$F = A + B + 1$
01	$F = A$ (transfer)	$F = A + 1$ (increment)
10	$F = \overline{B}$ (complement)	$F = \overline{B} + 1$ (negate)
11	$F = A + \overline{B}$	$F = A + \overline{B} + 1$ (subtract)

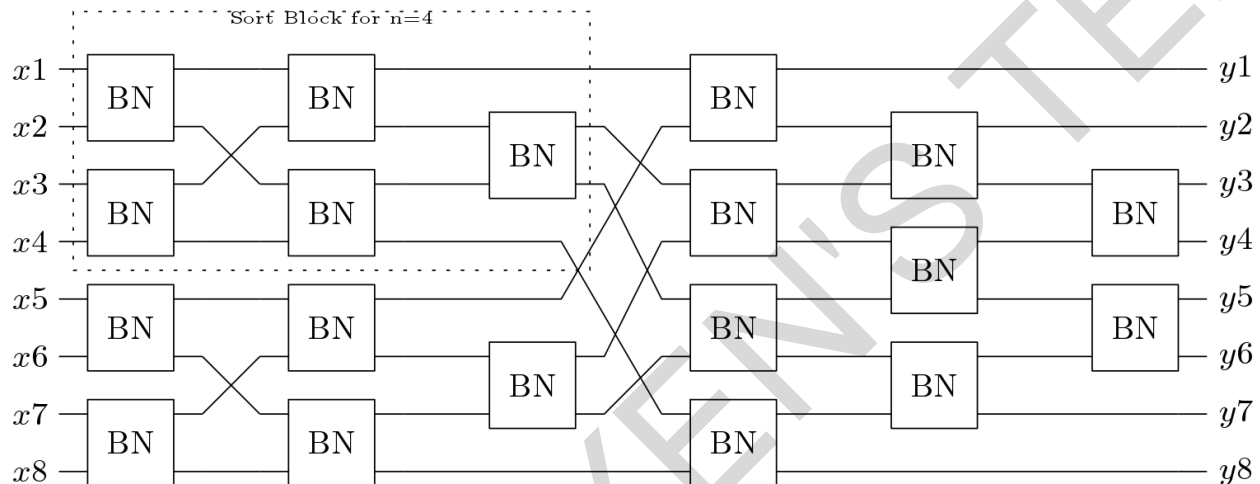
Cho các standard cell là: cổng not, các cổng logic 2 ngõ vào, mux 2-1, mux 4-1.

a. Thiết kế mạch chỉ được dùng các standard cell trên và với yêu cầu chỉ được thiết kế 1 bộ cộng.

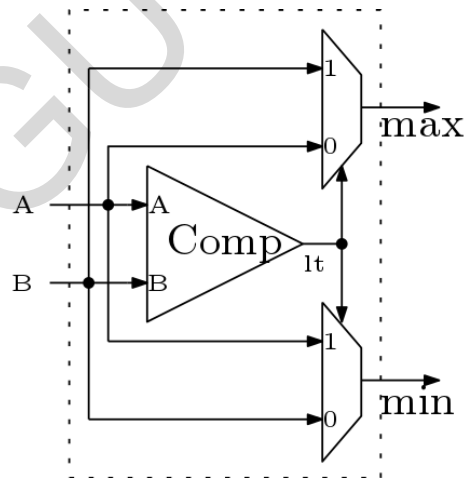
b. Viết chương trình HDL mô tả mạch đã cho và viết testbench cho mạch.

Câu 6: Thiết kế một bộ sắp xếp song song.

Hình dưới mô tả giải thuật sắp xếp 8 mẫu ngõ vào từ  $x_1, x_2, x_3, \dots, x_8$ , cho ngõ ra là  $y_1, y_2, \dots, y_8$  theo thứ tự giảm dần (hoặc tăng dần).



Trong đó, mỗi bộ BN (Bitonic Sort) có cấu trúc như hình:



Cho các standard cell là: cổng not, các cổng logic 2 ngõ vào, mux 2-1, mux 4-1.

a. Giả sử các mẫu ngõ vào có độ rộng 8 bit. Thiết kế mạch theo phương pháp đã cho và chỉ được dùng các standard cell trên.

b. Viết chương trình HDL mô tả mạch đã cho và viết testbench cho mạch.