

VIETNAM NATIONAL UNIVERSITY HO CHI MINH CITY
HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY
FACULTY OF ELECTRICAL AND ELECTRONICS ENGINEERING

—o0o—



BIG PROJECT 1 REPORT

Floating Point Adder and Subtractor

SUPERVISOR: Nguyễn Trung Hiếu

SUBJECT: Digital System Design
and Verification

GROUP: 08

List of Members

STT	MSSV	Họ Và Tên	Lớp
1	2210780	Nguyễn Đại Đồng	L01
2	2213874	Nguyễn Thanh Tùng	L01
3	2213496	Nguyễn Quốc Tín	L01

Ho Chi Minh, ../../20..

Mục lục

1	Requirement	1
2	Design FPU	2
2.1	Bộ tiền xử lý liên quan đến Exponent	3
2.2	Bộ tiền xử lý liên quan đến Mantissa	5
2.3	Bộ xử lý dấu của phép tính	7
2.4	Bộ xử lý các trường hợp đặc biệt ở ngõ vào	9
2.5	Bộ căn chỉnh Exponent	12
2.6	Bộ cộng trừ Mantissa	13
2.7	Bộ chuẩn hóa Mantissa	14
2.8	Bộ tìm vị trí bit 1 của MANTISSA sau khi chuẩn hóa	15
2.9	Bộ làm tròn cho giá trị Mantissa và Exponent	15
3	Simulation and Verification	17
4	Implement on FPGA	21
5	Synthesis my design	23

Danh sách hình vẽ

2.1	Sơ đồ khối tổng quan của bộ FPU.	2
2.2	Bộ tính toán giá trị $ EXP_A - EXP_B $	3
2.3	Bìa K của bộ so sánh 4-bit (COMP_4bit).	4
2.4	Bộ so sánh 28-bit sử dụng các so sánh lan truyền.	6
2.5	Bộ so sánh 28-bit sử dụng phép trừ sử dụng giải thuật của bộ CLA.	6
2.6	Rút gọn bìa K theo bảng sự thật ??	8

4.1	RTL Viewer của bộ FPU.	21
4.2	Kết quả khi thực hiện trên kit DE2.	22
5.1	24
5.2	25
5.3	25
5.4	26
5.5	26
5.6	27
5.7	27
5.8	28

Danh sách bảng

1.1	Input and Output Ports.	1
2.1	Bảng sự thật của SIGN_RESULT.	8
2.2	Các giá trị đặc biệt ở ngõ vào.	9
2.3	Bảng sự thật của bộ phát hiện các giá trị đặc biệt.	11

List of Listings

1	Rút gọn từ Bìa K của bộ so sánh 4-bit (COMP_4bit).	4
2	Hàm golden model để thực hiện test.	17
3	Hàm tính sai số giữa kết quả của DUT và kết quả của golden model để thực hiện test.	17
4	Hàm Testbench chính.	18
5	Kết quả của Testbench.	19
6	genus_synthesis.tcl	23
7	File constraint.sdc	24