

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH  
TRƯỜNG ĐẠI HỌC BÁCH KHOA



**MÔN HỌC: THIẾT KẾ VI MẠCH SỐ**

**BÁO CÁO LAB 1**

**MOS TRANSISTOR CHARACTERIZATION**

**LỚP Lo2 - HK 242**

**Giảng viên hướng dẫn: Nguyễn Phan Thiên Phúc**

<b>Sinh viên thực hiện</b>	<b>Mã số sinh viên</b>
Hà Xuân Cát	2210342
Nguyễn Anh Khôi	2211688
Nguyễn Tri Bình	20109365

*Thành phố Hồ Chí Minh, ngày 30 tháng 3 năm 2025*

## LABORATORY 1

### MOS TRANSISTOR CHARACTERIZATION

#### OBJECTIVES

No.	Topics	Requirement
1	I-V characteristics of MOS transistors.	<ul style="list-style-type: none"> <li>Simulate the <math>I_D</math> vs <math>V_{GS}</math> and <math>I_D</math> vs <math>V_{DS}</math> characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45.</li> </ul>
2	Effects of varying $V_{GS}$ and device size.	<ul style="list-style-type: none"> <li>Simulate the <math>I_D</math> vs <math>V_{GS}</math> and <math>I_D</math> vs <math>V_{DS}</math> characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45 and analyze the impact of these parameters.</li> </ul>
3	Second-order effects (Body effect, Channel-length modulation).	<ul style="list-style-type: none"> <li>Simulate the <math>I_D</math> vs <math>V_{GS}</math> and <math>I_D</math> vs <math>V_{DS}</math> characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45 and analyze the impact of these parameters.</li> <li>Measure, and analyze device characteristics: <math>\lambda</math>, <math>V_{Th0}</math>, <math>k_p</math>, and <math>\gamma</math>.</li> </ul>
4	Layout design for MOS transistors.	<ul style="list-style-type: none"> <li>Design the layout for a 120n/60n NMOS and a 50n/40n PMOS transistor.</li> <li>Verify the design by performing Design Rule Check (DRC) and ensuring Layout Versus Schematic (LVS) confirmation</li> </ul>

#### PREPARATIONS

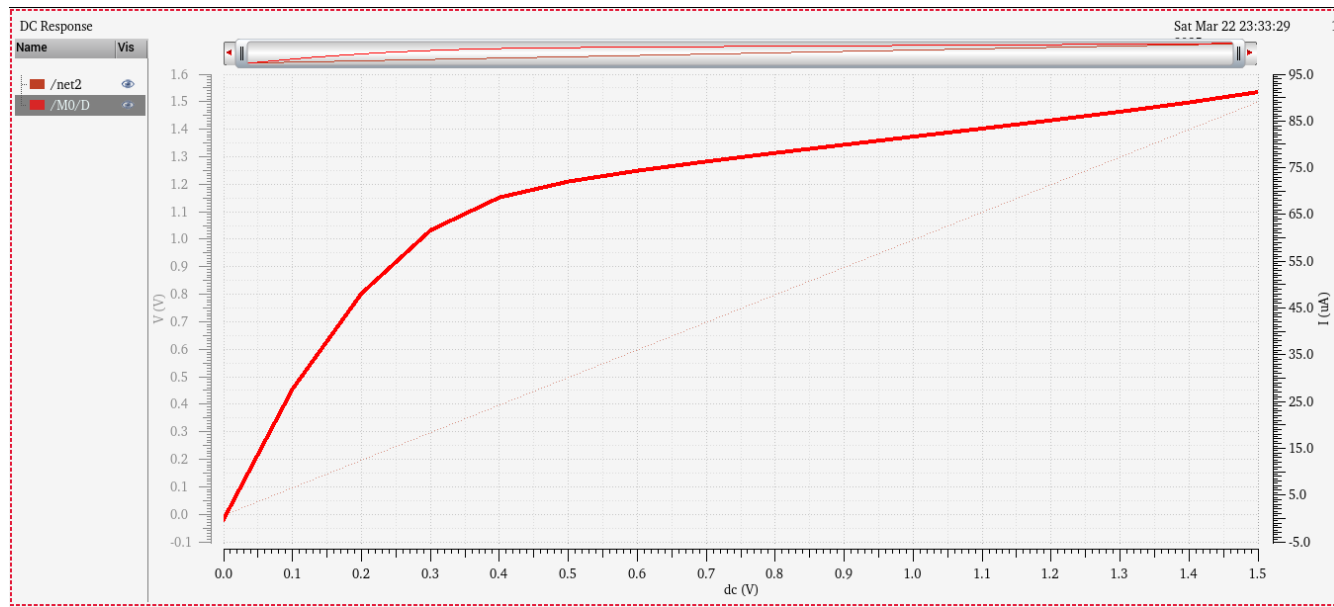
- Students **must finish** laboratory o.
- Summarize the operating regions of NMOS according to the following table (students do not need to submit before class):

Conditions		Equation current $I_D$ of NMOS	The operating region of NMOS
$V_{GS} < V_{TH}$	$V_{DS}$	$I_D \approx 0$	Cutoff
$V_{GS} \geq V_{TH}$	$V_{DS} < V_{GS} - V_T$	$I_D = \frac{\mu_n C_{ox} W}{2 L} [2.(V_{GS} - V_T)V_{DS} - V_{DS}^2]$	Triode
$V_{GS} \geq V_{TH}$	$V_{DS} \geq V_{GS} - V_T$	$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$	Saturation



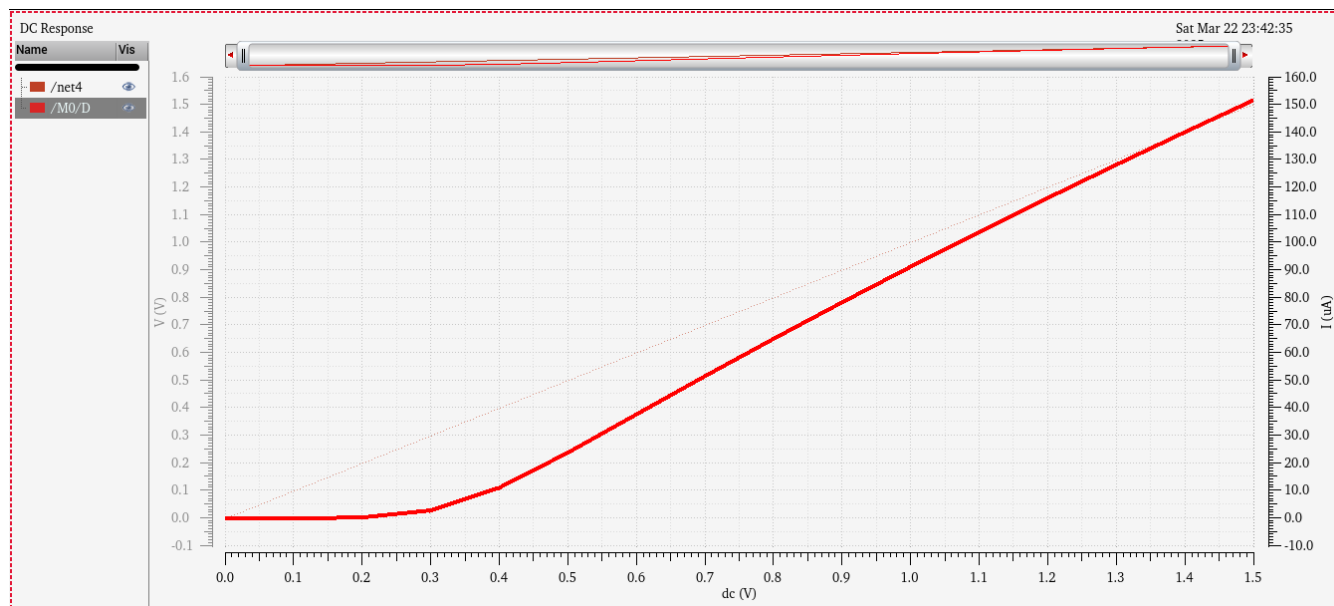


- Simulate curves  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ , and sweeping variable  $V_{DS} = [0, 1.5]V$  step 10mV.



**Figure 2**  $I_D$  vs  $V_{DS}$  of NMOS @  $V_{GS} = 1V$ .

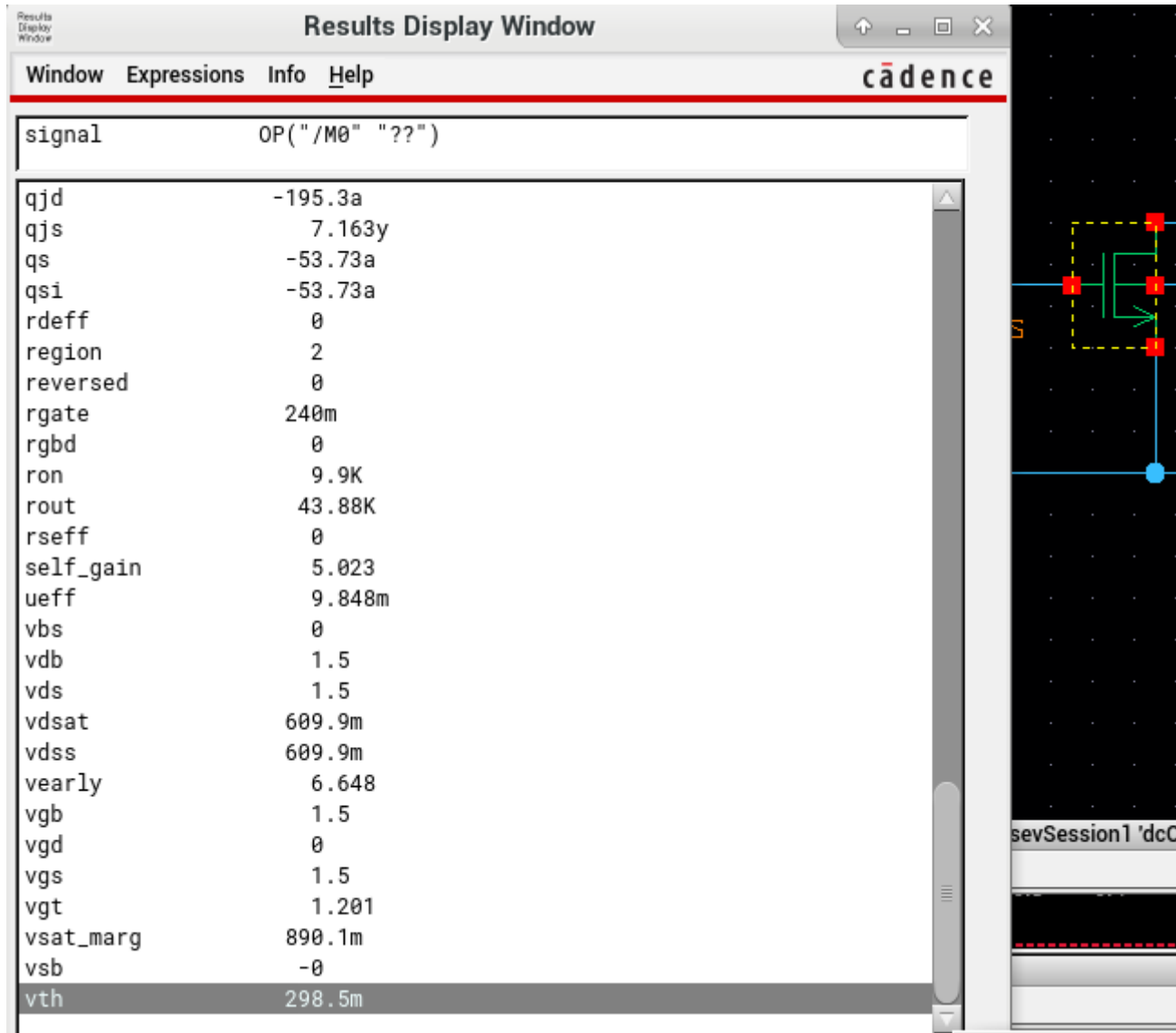
- Simulate curves  $I_D$  vs  $V_{GS}$  @  $V_{ds} = 1.5V$ , and sweeping variable  $V_{gs} = [0, 1.5]V$  step 10mV.



**Figure 3**  $I_D$  vs  $V_{GS}$  of NMOS @  $V_{ds} = 1.5V$ .

**Questions:****1. Based on the  $I_D$  vs  $V_{GS}$  characteristics, please estimate the threshold voltage  $V_{GS}$  of the NMOS transistor.**

- Dựa vào đặc tuyến, có thể thấy khi giá trị  $V_{GS}$  xấp xỉ đạt 300mV,  $I_D$  xấp xỉ 0 và chưa có dấu hiệu dẫn điện.
- Sau 300mV, dòng  $I_D$  tăng mạnh  $\Rightarrow V_{GS(Th)} \approx 300\text{mV}$ , cụ thể:

**Figure 4** DC operations point of NMOS.

**2. Additionally, by analyzing the  $I_D$  vs  $V_{GS}$  characteristics, determine the conduction region of the NMOS transistor when  $V_{GS}$  exceeds  $V_{GS}$ . Specify whether the device operates in the linear (triode) region or the saturation region, and provide an explanation.**

- Khi  $V_{GS}$  vượt quá  $V_{GS(Th)}$ , các electron di chuyển tập trung từ lớp nền lên dưới lớp Gate silicon dioxide và bắt đầu hình thành nên kênh dẫn và đây chính là vùng dẫn. Nói cách khác, là chuyển từ trạng thái cutoff sang trạng thái dẫn. Tuy nhiên, vùng dẫn bao gồm cả 2 vùng linear và saturation, để phân biệt 2 vùng này ta sẽ phụ thuộc giá trị của  $V_{DS}$ .
- Nếu  $V_{DS} < V_{GS} - V_{TH}$ , transistor hoạt động trong **vùng tuyến tính (triode region)**. Ở đây, dòng  $I_D$  tăng gần như tuyến tính với  $V_{DS}$ .
- Nếu  $V_{DS} \geq V_{GS} - V_{GS(Th)}$ , transistor chuyển sang **vùng bão hòa (saturation region)**. Trong vùng này,  $I_D$  chỉ phụ thuộc vào  $V_{GS}$  và vùng gần drain bị “pinch-off” (kênh bị thu hẹp) do các electron di chuyển qua cực Source, làm cho dòng điện không tăng đáng kể cho dù  $V_{DS}$  tăng (mặc dù trong thực tế có hiện tượng channel-length modulation làm cho  $I_D$  có một độ dốc nhỏ theo  $V_{DS}$  ở công nghệ nhỏ). Và nếu cứ tiếp tục tăng  $V_{DS}$  đến 1 ngưỡng nhất định sẽ gây ra hiện tượng đánh thủng kênh dẫn làm cho CMOS hoàn toàn bị hư hỏng.

**3. Based on (Figure 2) Simulate curves  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ , and sweeping variable  $V_{DS} = [0, 1.5]V$  step 10mV, qualitatively determine the operating regions of the NMOS transistor.**

- Với  $V_{Th} = 298.5mV$ ,  $V_{GS} = 1V$ , ta có thể xác định như sau:

Conditions		Equation current $I_D$ of NMOS	The operating region of NMOS
$V_{GS} < V_{TH}$	$V_{DS}$	$I_D \approx 0$	Cutoff
$V_{GS} \geq V_{TH}$	$V_{DS} < V_{GS} - V_{Th}$ $\rightarrow V_{DS} < 0.7V$	$I_D = \frac{\mu_n C_{ox} W}{2 L} [2.(V_{GS} - V_T)V_{DS} - V_{DS}^2]$	Linear
$V_{GS} \geq V_{TH}$	$V_{DS} \geq V_{GS} - V_{Th}$ $\rightarrow V_{DS} \geq 0.7V$	$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$	Saturation



**4. When the NMOS transistor is biased in the saturation region, does the drain current remain constant? Provide a theoretical explanation.**

- **Theo lý thuyết lý tưởng:**

+ Để bão hòa, cần thỏa điều kiện:  $V_{GS} \geq V_{TH}$  và  $V_{DS} \geq V_{GS} - V_{Th}$ .

+ Dựa vào đặc tuyến  $I_D$  vs  $V_{DS}$  ta thấy, dòng  $I_D$  dường như không còn phụ thuộc vào  $V_{DS}$  nữa kể cả  $V_{DS}$  tiếp tục tăng.

+ Lúc này,  $I_D$  được tính bởi công thức:  $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$ . Có thể thấy khi bão hòa  $I_D$  sẽ dựa vào  $V_{GS}$  chứ không còn là  $V_{DS}$ .

- **Thực tế:**

+ Dòng  $I_D$  vẫn tăng nhẹ với  $V_{DS}$  do hiệu ứng **channel-length modulation** (tương tự như hiệu ứng Early trong transistor lưỡng cực).

Công thức Dòng  $I_D$  khi ở trạng thái bão hòa với hiệu ứng điều chế độ dài kênh:

$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$ . Có thể thấy  $I_D$  phụ thuộc vào  $\lambda$ , công nghệ càng nhỏ thì hệ số  $\lambda$  càng lớn kéo theo dòng  $I_D$  sẽ khó kiểm soát trong vùng bão hòa.

+ Do đó,  $I_D$  không hoàn toàn “bằng hằng” mà có một độ dốc nhỏ theo  $V_{DS}$  trong vùng bão hòa.

+ Về lý thuyết, nếu bỏ qua channel-length modulation, dòng  $I_D$  sẽ duy trì gần như không thay đổi với  $V_{DS}$  trong vùng bão hòa.

**5. Propose methods to reduce the slope of the drain current when the NMOS operates in the saturation region**

- Tăng chiều dài kênh dẫn:

+ Khi  $V_{DS}$  tăng, vùng depletion (vùng không có các hạt tự do) tại Drain mở rộng vào kênh. Sự mở rộng này làm giảm chiều dài kênh hiệu dụng, vì kênh dẫn chỉ còn tồn tại ở phần còn lại của kênh.

+ Mà  $I_D$  lại phụ thuộc vào  $L$  qua công thức:  $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$  dẫn đến việc  $L$  giảm thì  $I_D$  sẽ tăng một chút tạo độ dốc.

- Tăng trở kháng cực Drain giúp ổn định, giảm dòng làm ổn định  $V_{DS}$ , giúp giảm sự phụ thuộc  $I_D$  vào  $V_{DS}$ . Đánh đổi là khả năng gây sụt áp trên  $V_{DS}$ .

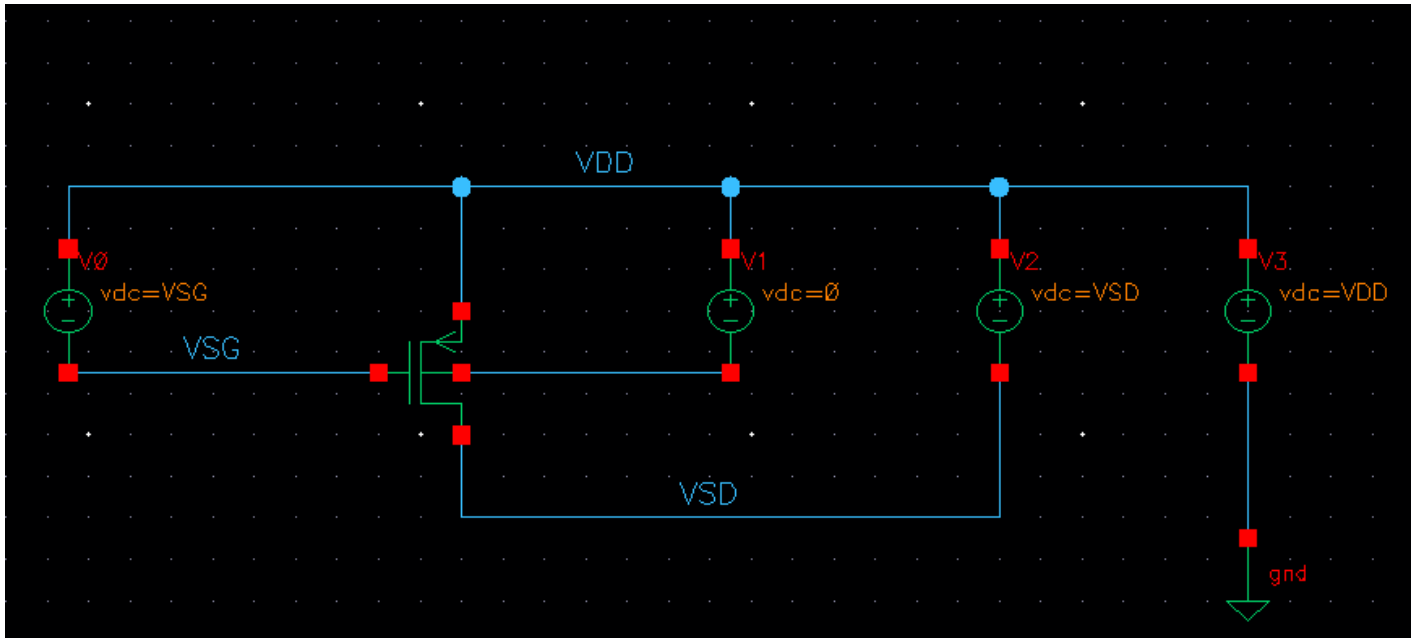
- Giảm điện áp  $V_B$ , các electron tập trung dưới cực Gate, cần lỗ trống để cân bằng ở G, dẫn đến  $V_{Th}$  tăng làm giảm dòng  $I_D$ .



## LABORATORY 1 – MOS TRANSISTOR CHARACTERIZATION

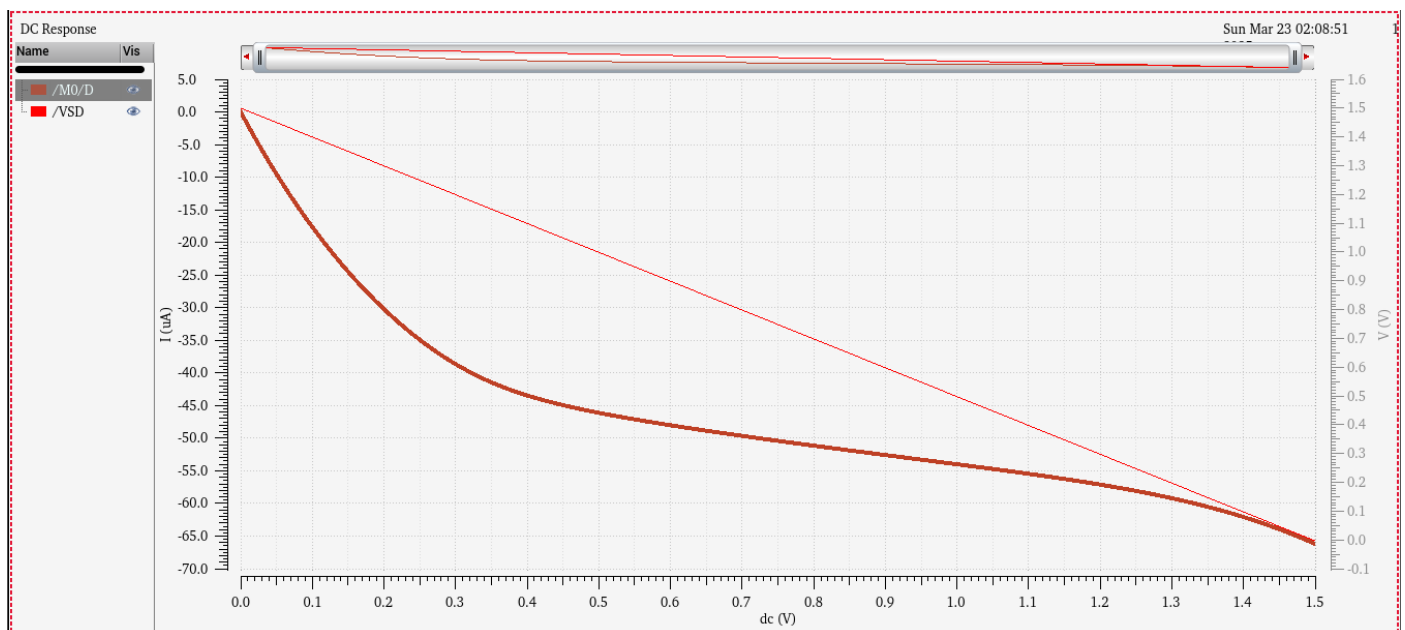
- Tăng nồng độ pha tạp  $n^+$  sẽ làm giảm vùng depletion ở cực D khi ở trạng thái bão hòa, giúp tăng chiều dài hiệu dụng  $L$  làm giảm hệ số  $\lambda$ .

**Check:** Your report must include the results for PMOS\_VTG. Additionally, provide a discussion on your simulation findings.



**Figure 5** Test setup for PMOS\_VTG transistor.

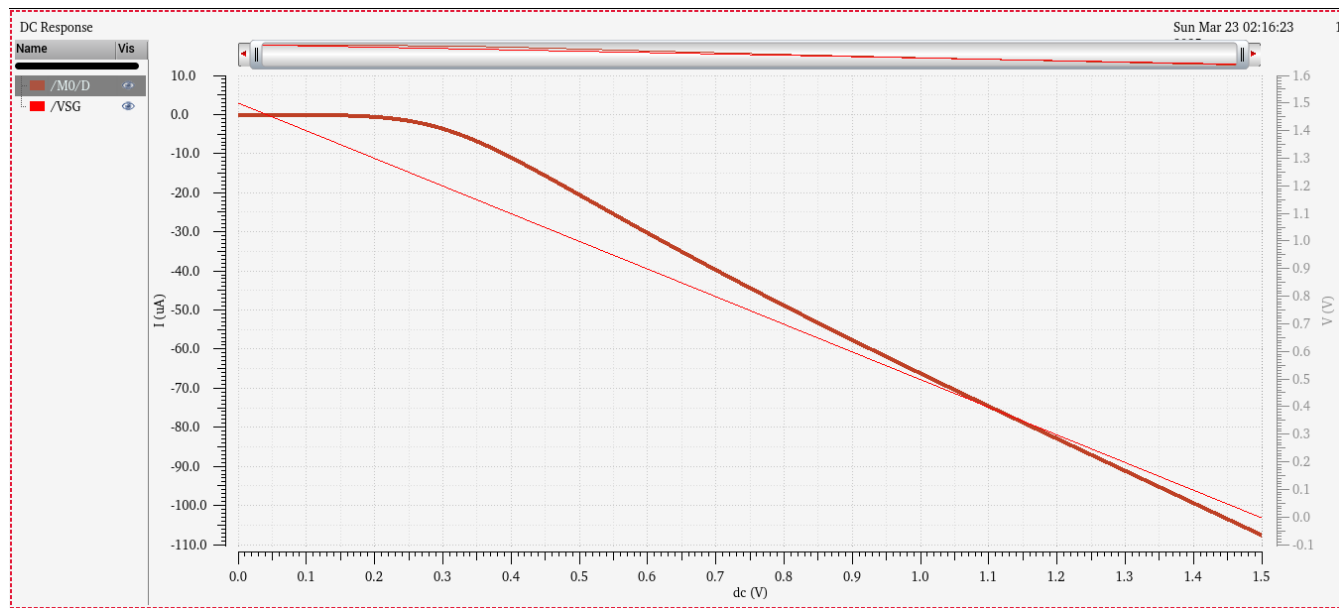
- Simulate curves  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ , and sweeping variable  $V_{DS} = [0, 1.5]V$  step 10mV.



**Figure 6**  $I_D$  vs  $V_{DS}$  of PMOS @  $V_{GS} = 1V$ .



- Simulate **curves  $I_D$  vs  $V_{GS}$  @  $V_{ds} = 1.5V$** , and sweeping variable  $V_{gs} = [0, 1.5]V$  step 10mV.



**Figure 7**  $I_D$  vs  $V_{GS}$  of PMOS @  $V_{ds} = 1.5V$ .

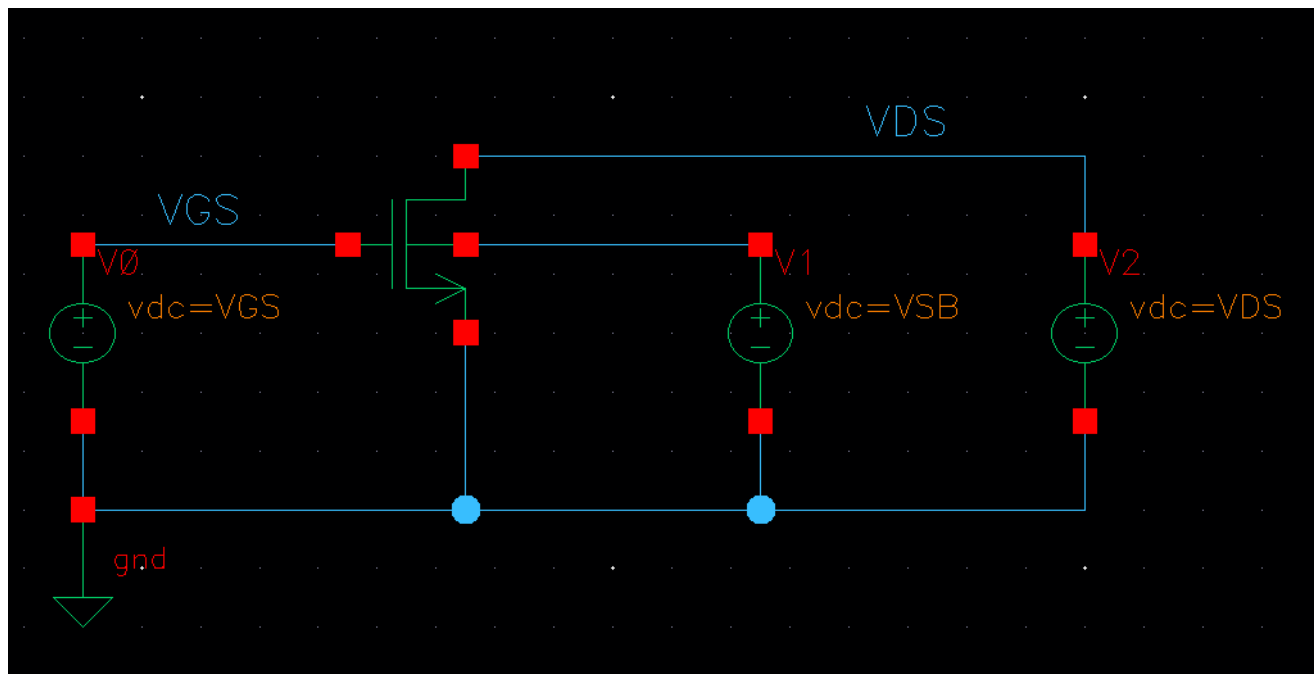
**EXPERIMENT 2**

**Objective:** Effects of varying  $V_{GS}$  and device size.

**Requirements:** Simulate the  $I_D$  vs  $V_{GS}$  and  $I_D$  vs  $V_{DS}$  characteristics of NMOS\_VTG and PMOS\_VTG transistors using FreePDK45 and analyze the impact of these parameters.

**Instructions:**

- Replace the default device size with variables, making the testbench parameterized. This means your testbench should include five parameters:  $W$ ,  $L$ ,  $V_{GS}$ ,  $V_{DS}$ , and  $V_{SB}$ , as shown in the figure below.

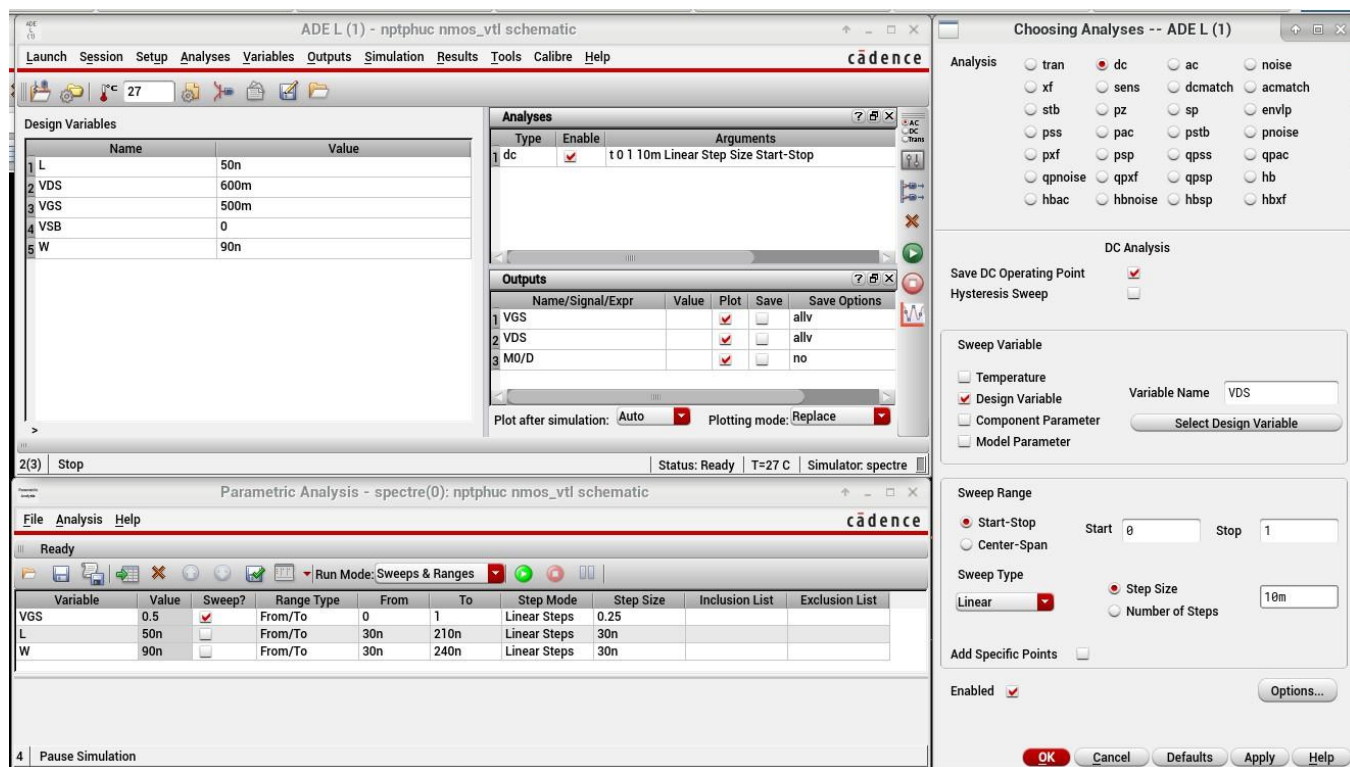


**Figure 8** Testbench for experiment 2.

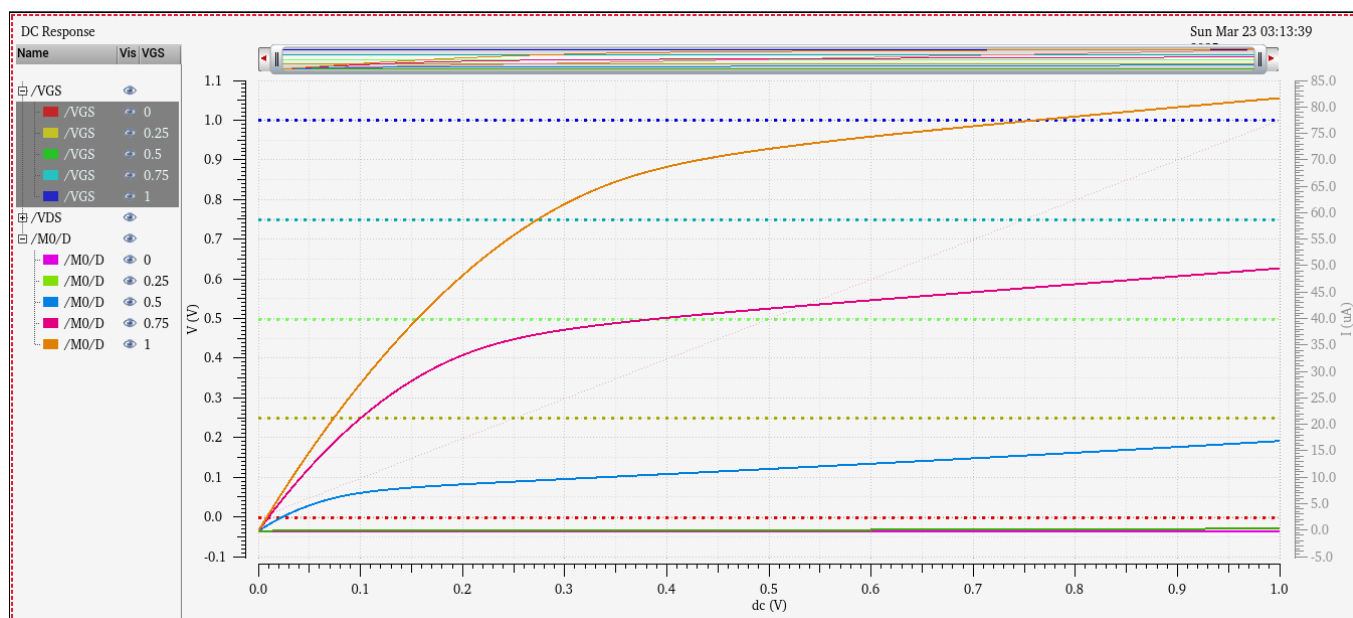
- In ADE-L, students open Parametric Analysis to sweep multiple variables:

**Tool > Parametric Analysis > Run mode > Sweeps & Ranges**

<sup>1</sup> **Parametric analysis** is used when two or more independent variables are present in a single function. Students can have the standard X-Y plot of  $I_D$  versus  $V_{DS}$  with a constant  $V_{GS}$ . But students need to plot the same X-Y plot multiple times for each of the discrete  $V_{GS}$  values. Students can refer to the settings and results in the figures below:



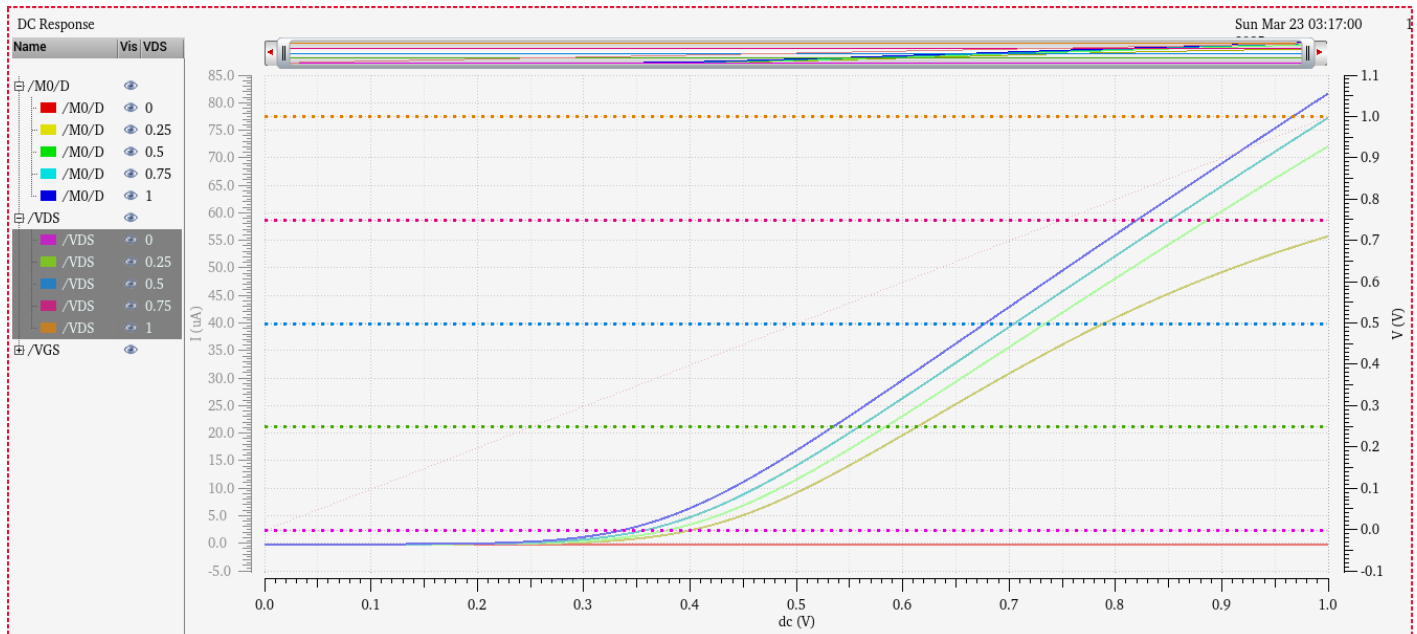
**Figure 9** Setting parameters for characterizing  $I_D$  vs  $V_{DS}$  @  $V_{GS} = \{0, 0.25, 0.5, 0.75, 1.0\} V$



**Figure 10**  $I_D$  vs  $V_{DS}$  @  $V_{gs} = [0, 1] V$  step 0.25V.

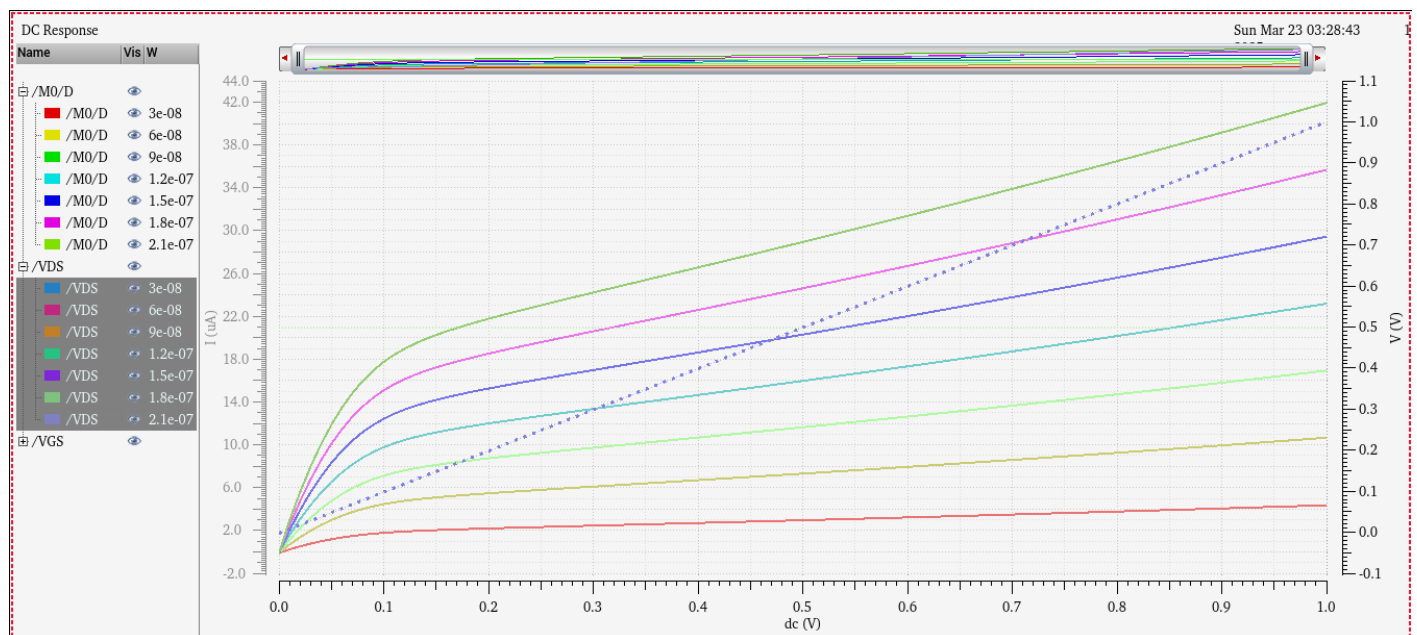
**Check:** Your report must include these results. Additionally, provide a discussion on your simulation findings.

- Simulate curves  $I_D$  vs  $V_{GS}$  @  $V_{ds} = [0,1] V$  step 0.25V.



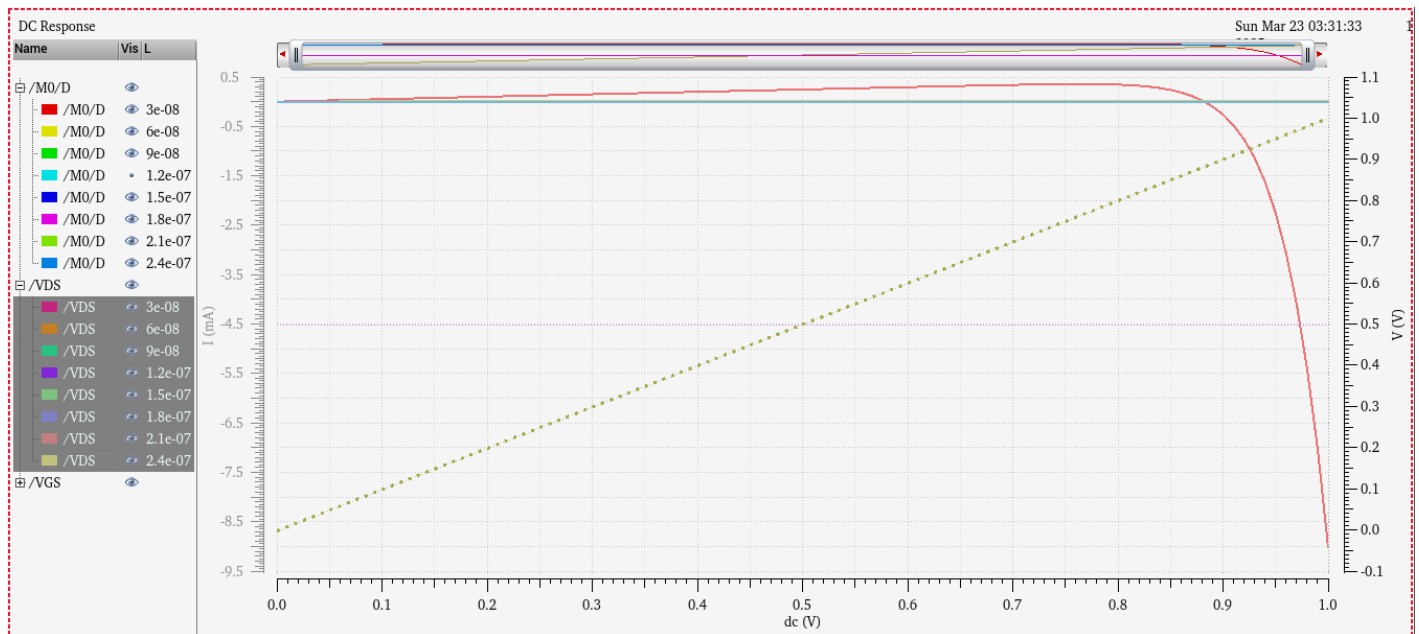
**Figure 11**  $I_D$  vs  $V_{GS}$  @  $V_{ds} = [0,1] V$  step 0.25V.

- Simulate curves  $I_D$  vs  $V_{DS}$  @  $W = [30,210] nm$  step 30nm.



**Figure 12**  $I_D$  vs  $V_{DS}$  @  $W = [30,210] nm$  step 30nm.

- Simulate curves  $I_D$  vs  $V_{DS}$  @  $L = [30, 240]$  nm step 30nm.



**Figure 13**  $I_D$  vs  $V_{DS}$  @  $L = [30, 240]$  nm step 30nm.

### \* Nhận xét:

**Figure 10:**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = [0, 1]$  V step 0.25V.

Dòng  $I_D$  theo  $V_{DS}$  khi càng tăng  $V_{GS}$  sẽ làm cho trạng thái bão hòa xuất hiện lâu hơn, đồng thời  $I_D$  tăng nhanh hơn bình thường.

**Figure 11:**  $I_D$  vs  $V_{GS}$  @  $V_{DS} = [0, 1]$  V step 0.25V.

Dòng  $I_D$  theo  $V_{GS}$  khi càng tăng  $V_{DS}$  sẽ làm cho trạng thái bão hòa xuất hiện sớm hơn, nhưng theo đồ thị thì có vẻ như  $I_D$  chưa rơi vào vùng bão hòa, dù vậy có thể tính toán đồ thị có  $V_{DS}$  càng cao sẽ sớm rơi vào vùng bão hòa hơn.

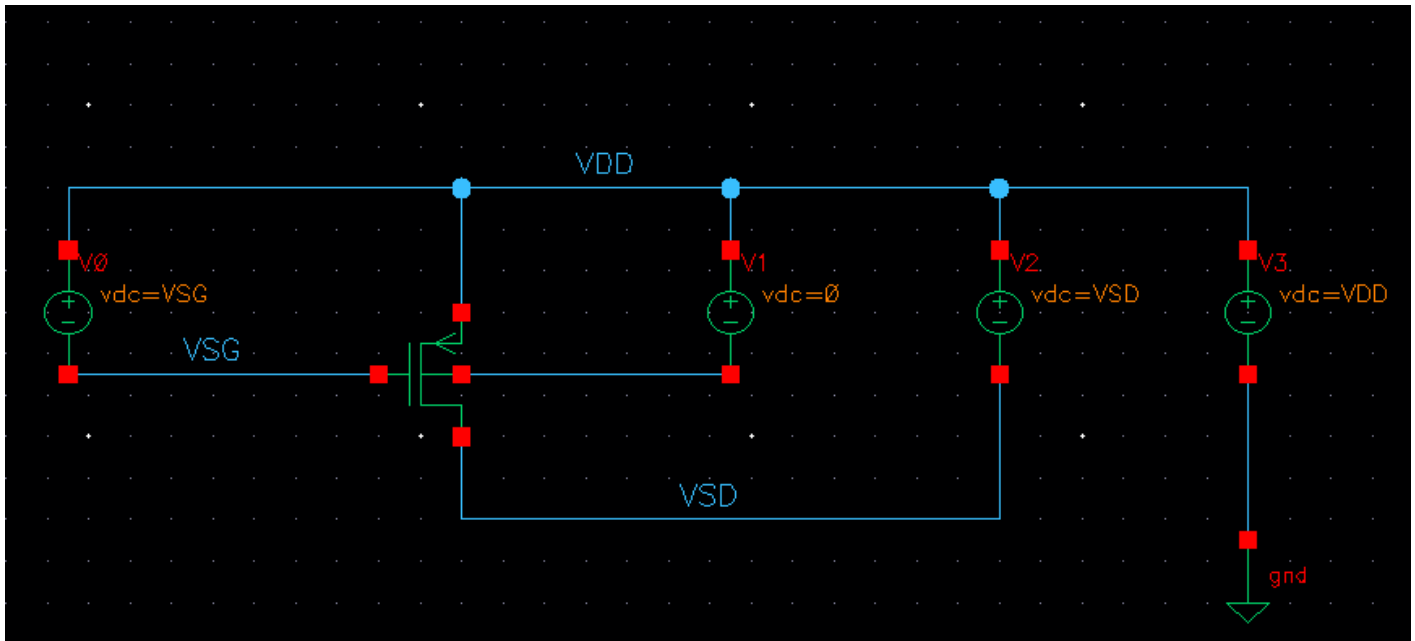
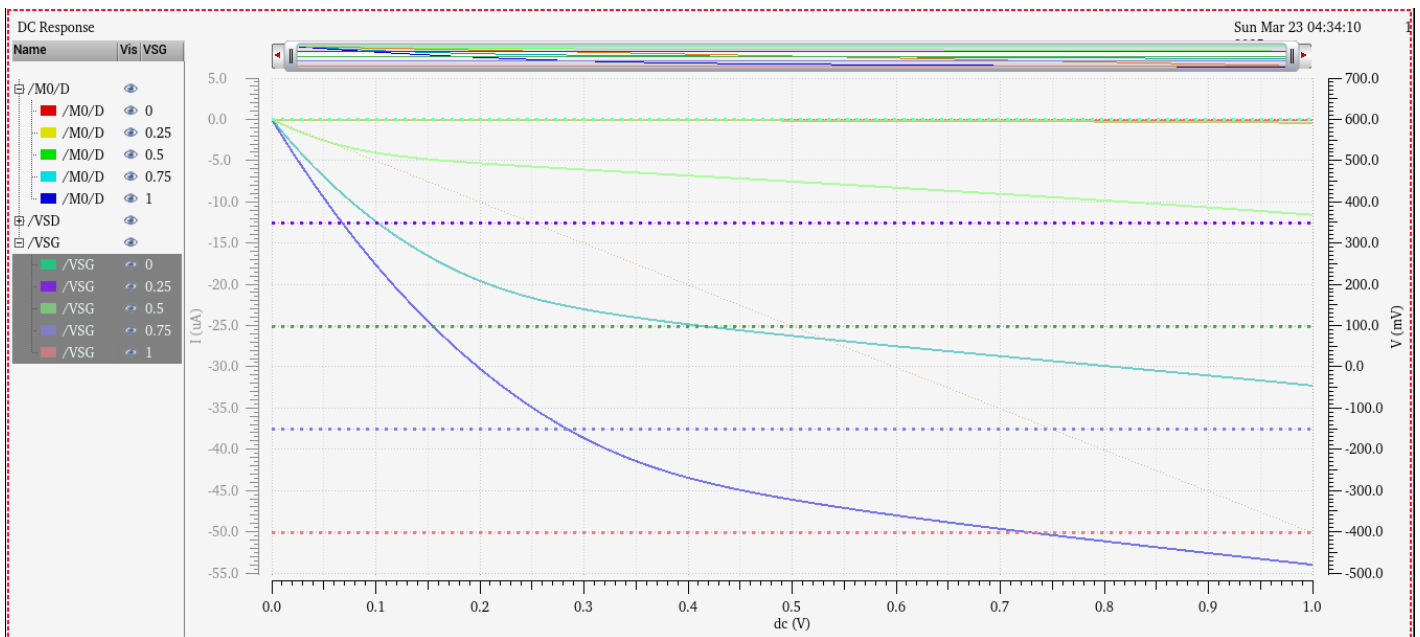
**Figure 12:**  $I_D$  vs  $V_{DS}$  @  $W = [30, 210]$  nm step 30nm.

Dòng  $I_D$  theo  $V_{DS}$  khi càng tăng  $W$  sẽ vẫn giữ trạng thái bão hòa tại 1 điểm cố định (không tăng không giảm), những sẽ làm cho dòng  $I_D$  tăng vì điện trở thấp.

**Figure 13:**  $I_D$  vs  $V_{DS}$  @  $L = [30, 240]$  nm step 30nm.

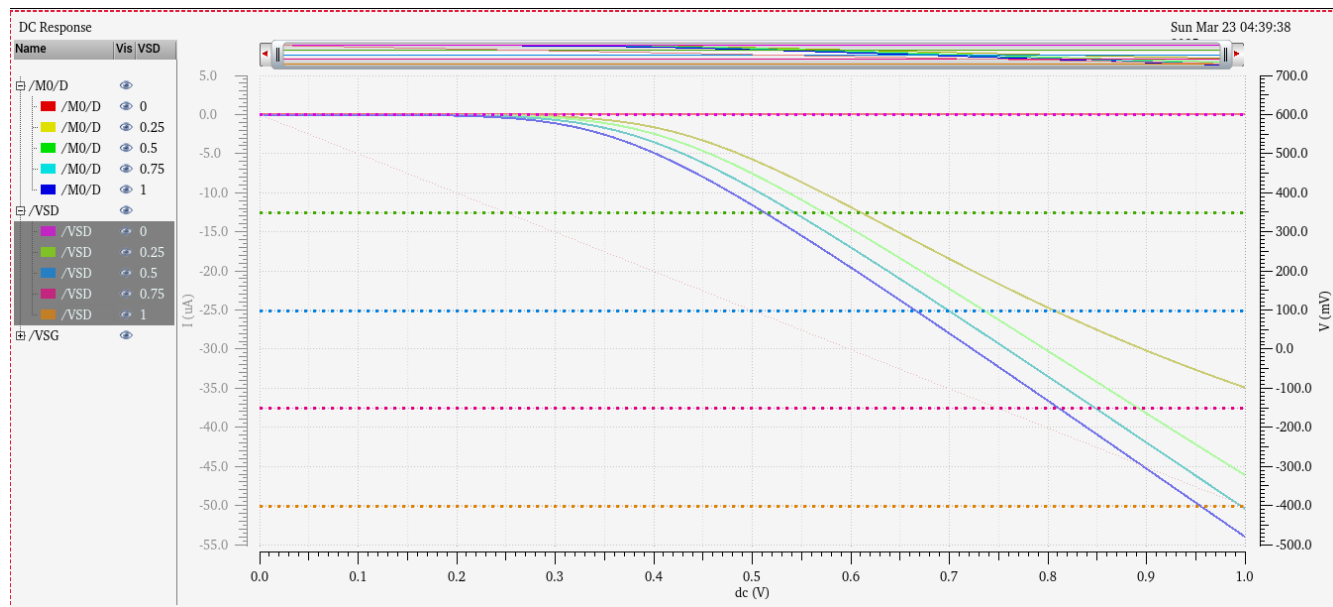
Dòng  $I_D$  khi  $L = 30$ nm có giá trị âm, đây là hiện tượng do hiệu ứng punch-through mang lại, khi mà  $L$  nhỏ, miền nghèo từ cực nguồn và cực máng có thể mở rộng và chạm nhau. Điều này gây ra 1 đường dẫn điện không kiểm soát được từ nguồn đến máng, ngay cả khi MOSFET đang tắt, chính vì vậy có thể đã gây ra dòng rò giá trị âm.

Còn khi  $L$  từ 60nm trở đi, dòng  $I_D = 0$  có thể do tăng chiều dài  $L$  lên dẫn đến điện trở tăng theo khiến cho dòng bị tiêu hao thành nhiệt lượng. (P/s: cái này chắc bọn em chính sai ở đâu rồi, chứ  $L = 60$ nm mà dòng = 0 hơi phi lí :<)

**PMOS:****Figure 14** Testbench PMOS for experiment 2.**Figure 15**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = [0,1] V$  step 0.25V.

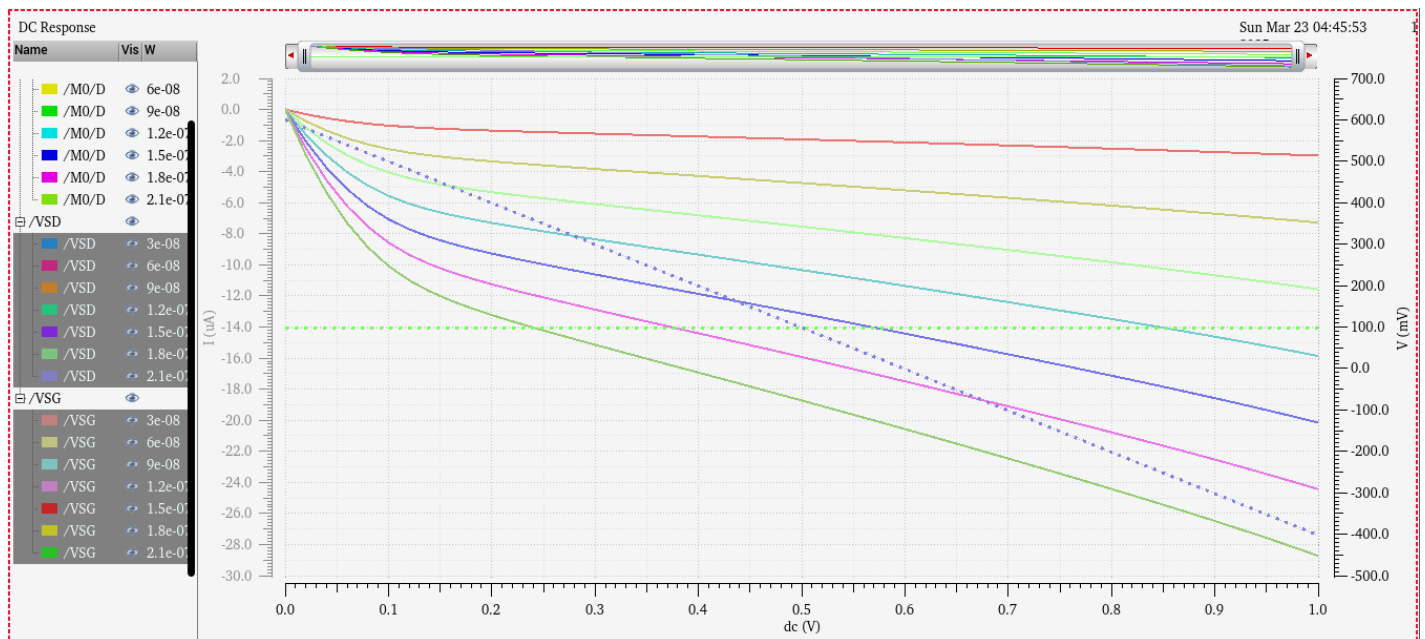
**Check:** Your result must show these results.

- Simulate curves  $I_D$  vs  $V_{GS}$  @  $V_{ds} = [0,1] V$  step 0.25V.



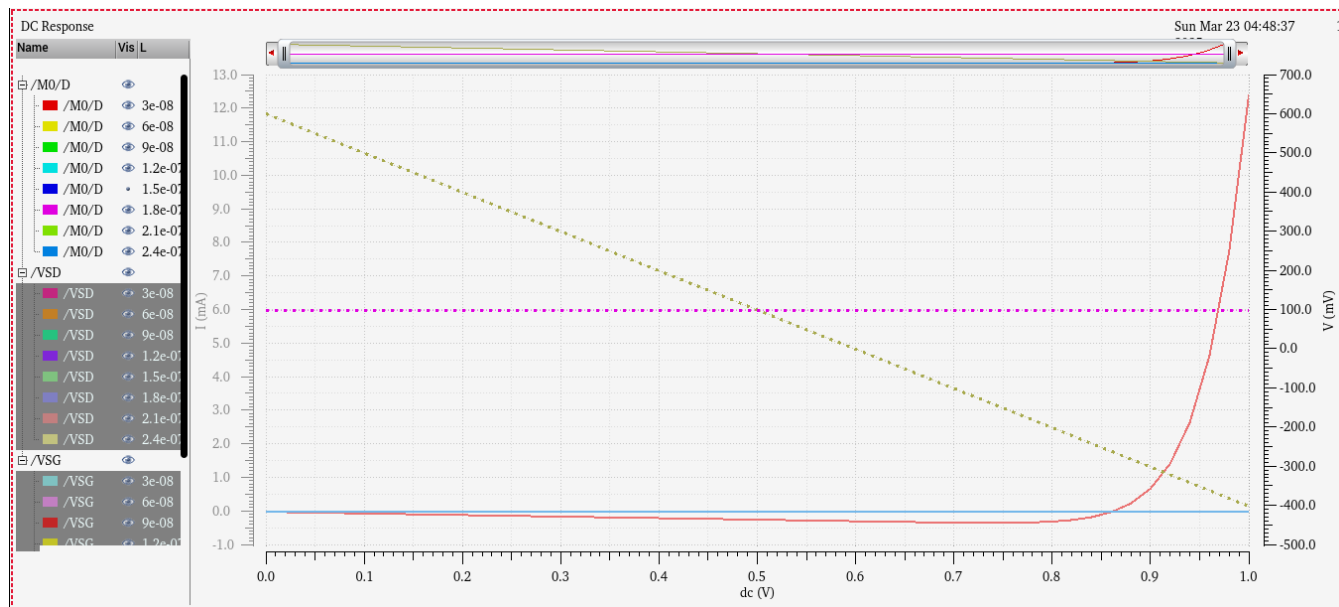
**Figure 16**  $I_D$  vs  $V_{GS}$  @  $V_{ds} = [0,1] V$  step 0.25V.

- Simulate curves  $I_D$  vs  $V_{DS}$  @  $W = [30,210] nm$  step 30nm.



**Figure 17**  $I_D$  vs  $V_{DS}$  @  $W = [30,210] nm$  step 30nm.

- Simulate curves  $I_D$  vs  $V_{DS}$  @  $L = [30, 240] \text{ nm}$  step 30nm.



**Figure 18**  $I_D$  vs  $V_{DS}$  @  $L = [30, 240] \text{ nm}$  step 30nm.

## \* Nhận xét:

Sự phụ thuộc của  $I_D$  vào  $V_{GS}$ ,  $V_{DS}$ ,  $L$  và  $W$  trong PMOS giống tính chất của NMOS (chỉ khác dấu và độ lớn của dòng PMOS nhỏ hơn vì lỗ trống kém linh động hơn hạt dẫn).



**EXPERIMENT 3**

**Objective:** Explore second-order effects (Body effect, Channel-length modulation).

**Requirements:**

- Simulate the  $ID$  vs  $VGS$  and  $ID$  vs  $VDS$  characteristics of NMOS\_VTG and PMOS\_VTG transistors using FreePDK45 and analyze the impact of these parameters.
- Measure, and analyze device characteristics:  $\lambda$ ,  $V_{Th0}$ ,  $kp$ , and  $\gamma$ .

**Reminds:**

- The ideal I-V model neglects many effects that are important to a device. It is useful to have a qualitative understanding of second-order effects to predict their impact on circuit behavior and to be able to anticipate how devices will change in future process generations. Some effects are listed as follows:

No.	Second-order effect (Nonlinear I-V Effects)	
1	Mobility degradation and Velocity saturation	
2	Channel length modulation	
3	Threshold voltage effect	Body effect
		Drain-Induced Barrier Lowering
		Short Channel Effect
4	Leakage	Subthreshold Leakage
		Gate Leakage
		Junction Leakage
5	Temperature Dependence	
6	Geometry Dependence	

**Table 1** Some second-order effects in MOS transistor.

In fact, body effect and channel length modulation are important when analyzing the small signal, and the expression determined  $ID$ . Assemble the testbench circuit as shown in **Figure 5**.

**Check:** Your report must show two results

Department of Electronics

EE3165 – IC Design Laboratory

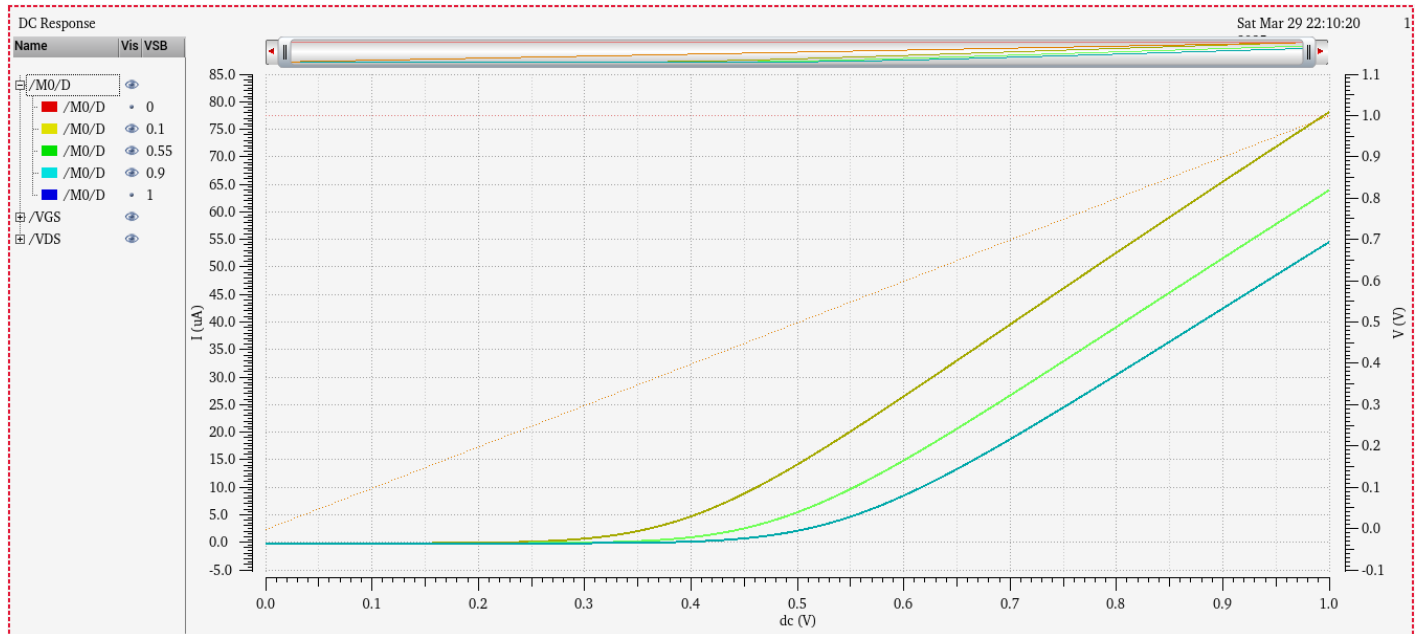
EE2125 – Introduction to VLSI System Design Laboratory



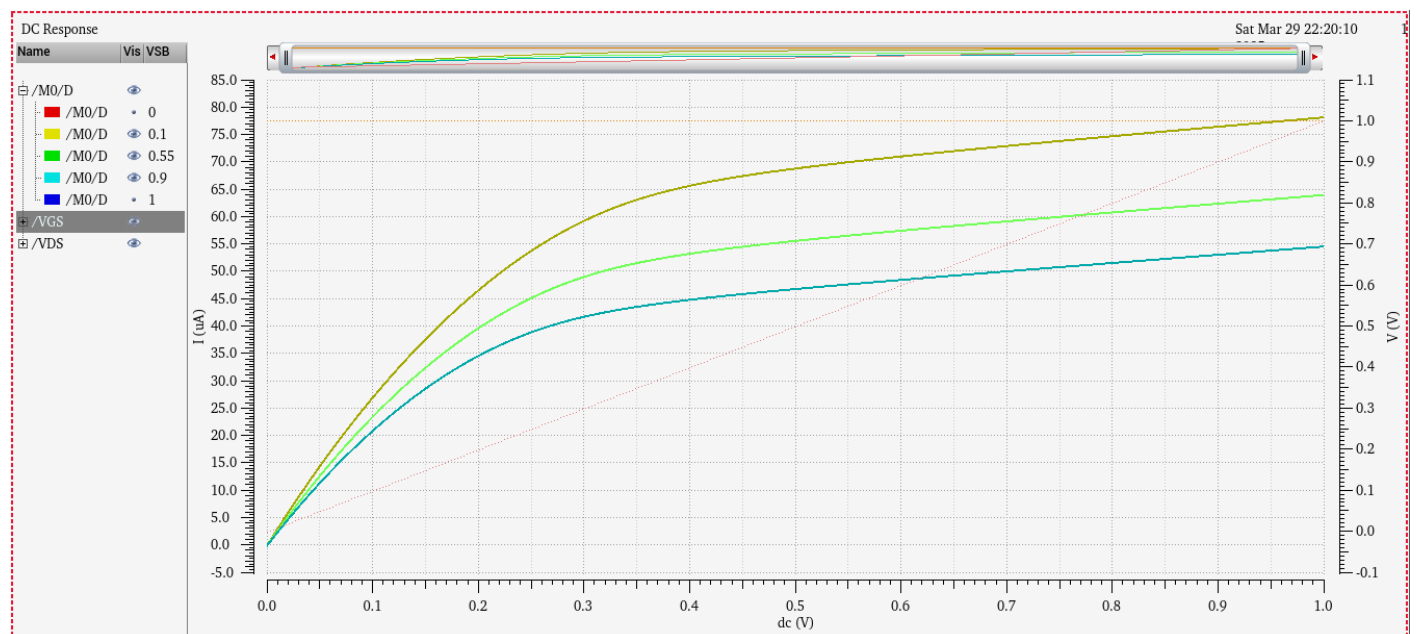
## LABORATORY 1 – MOS TRANSISTOR CHARACTERIZATION

- Draw curves  $I_D$  vs  $V_{GS}$  @  $V_{DS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$ , and sweeping  $V_{gs} = [0, 1] V$  with step 10mV.
- Draw curves  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$  and sweeping  $V_{DS} = [0, 1] V$  with step 10mV.
- Extract the four electrical parameters ( $k_p$ ,  $V_{Th0}$ ,  $\lambda$  and  $\gamma$ ) for NMOS\_VTG, and PMOS\_VTG from tool.

### NMOS:



**Figure 19**  $I_D$  vs  $V_{GS}$  @  $V_{DS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$ , and sweeping  $V_{gs} = [0, 1] V$  with step 10mV



**Figure 20**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$  and sweeping  $V_{DS} = [0, 1] V$  with step 10mV.

**\* Phân tích:**

**Figure 19:**  $I_D$  vs  $V_{GS}$  @  $V_{DS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$ , and sweeping  $V_{GS} = [0, 1] V$  with step 10mV.

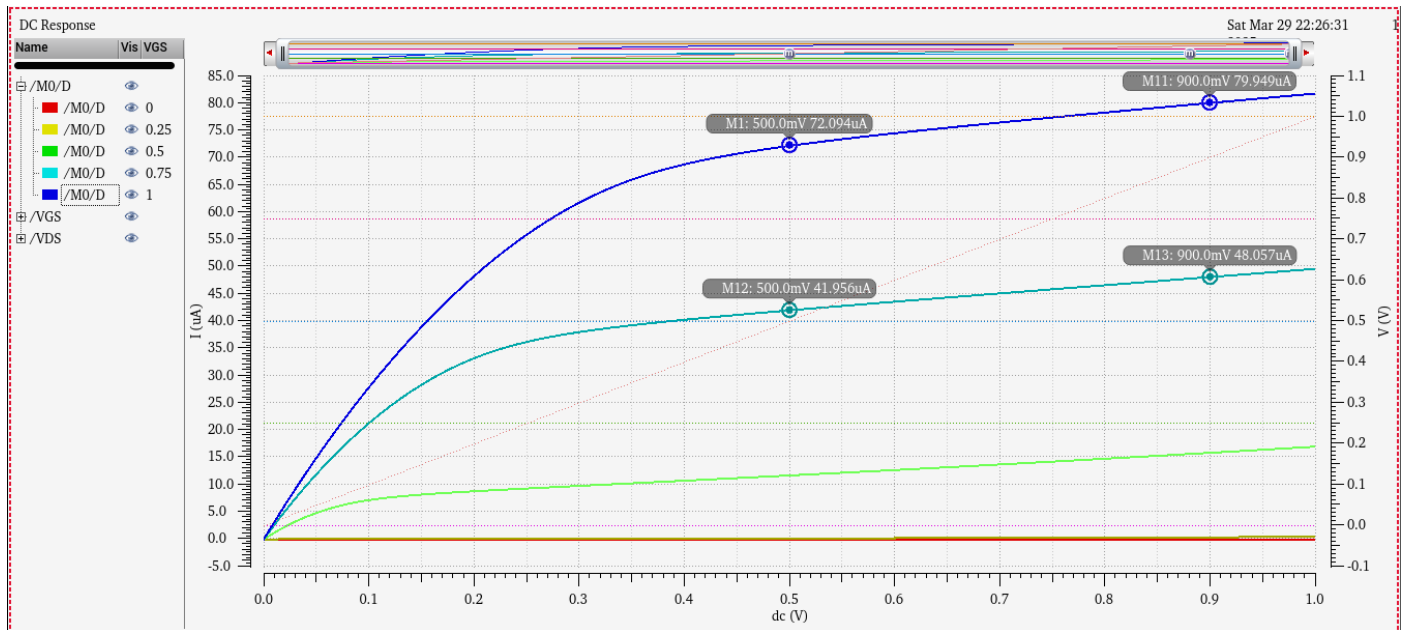
$V_{SB}$  tăng càng cao thì  $I_D$  càng giảm theo  $V_{GS}$ , có thể lý giải như sau: Xuất hiện điện trường tăng lên theo chiều từ S đến B, các electron tập trung càng nhiều dưới lớp  $SiO_2$ , khi đó càng tăng  $V_{GS}$  thì các hạt electron va nhau sẽ càng bị bão hòa vận tốc dẫn đến  $I_D$  tăng chậm.

**Figure 20:**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$  and sweeping  $V_{DS} = [0, 1] V$  with step 10mV.

$V_{SB}$  tăng càng cao thì  $I_D$  càng giảm theo  $V_{DS}$ , lý giải tương tự như **Figure 19**, cũng do sự ảnh hưởng độ linh động mà khi tăng  $V_{DS}$  sẽ càng bị bão hòa làm dòng  $I_D$  bão hòa sớm hơn dự kiến.

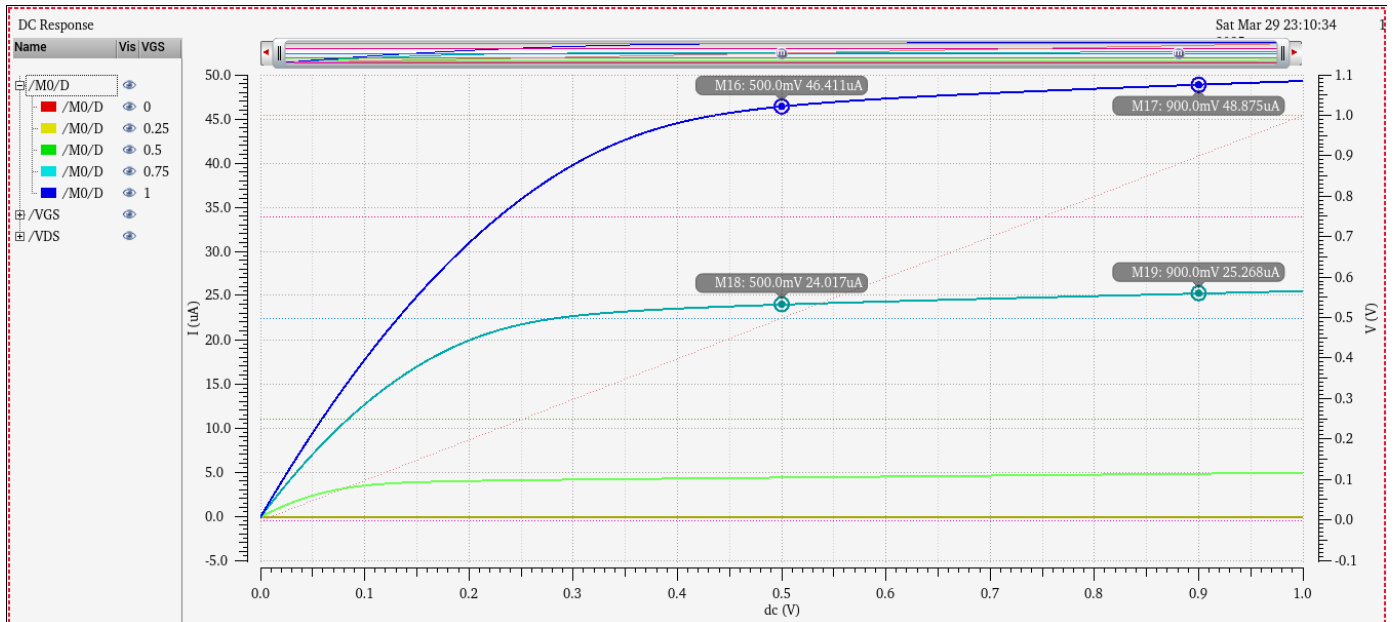
➤ To characterize the MOS transistors so that hand calculations can be done in the future, simulations need to be done to measure  $kP$ ,  $V_{th0}$ ,  $\lambda$  and  $\gamma$ . These parameters will be used in future labs, projects, and other assignments. This lab will be performing the calculation of the four parameters on two different device sizes for each of the two types of MOSFETs so that parameter variation may be observed. The test setups for the NMOS are shown in **Figure 5**, which will produce the plots shown in **Figure 7** using parametric analysis.

- Using a curve  $I_D$  vs  $V_{DS}$  which each curve represents a different  $V_{GS}$  value. Any one of these curves can be used to calculate  $\lambda$ . Make sure that  $V_{bs}$  is 0V for this simulation. The formula for calculating  $\lambda$  given two points on the saturation portion of a single curve is:



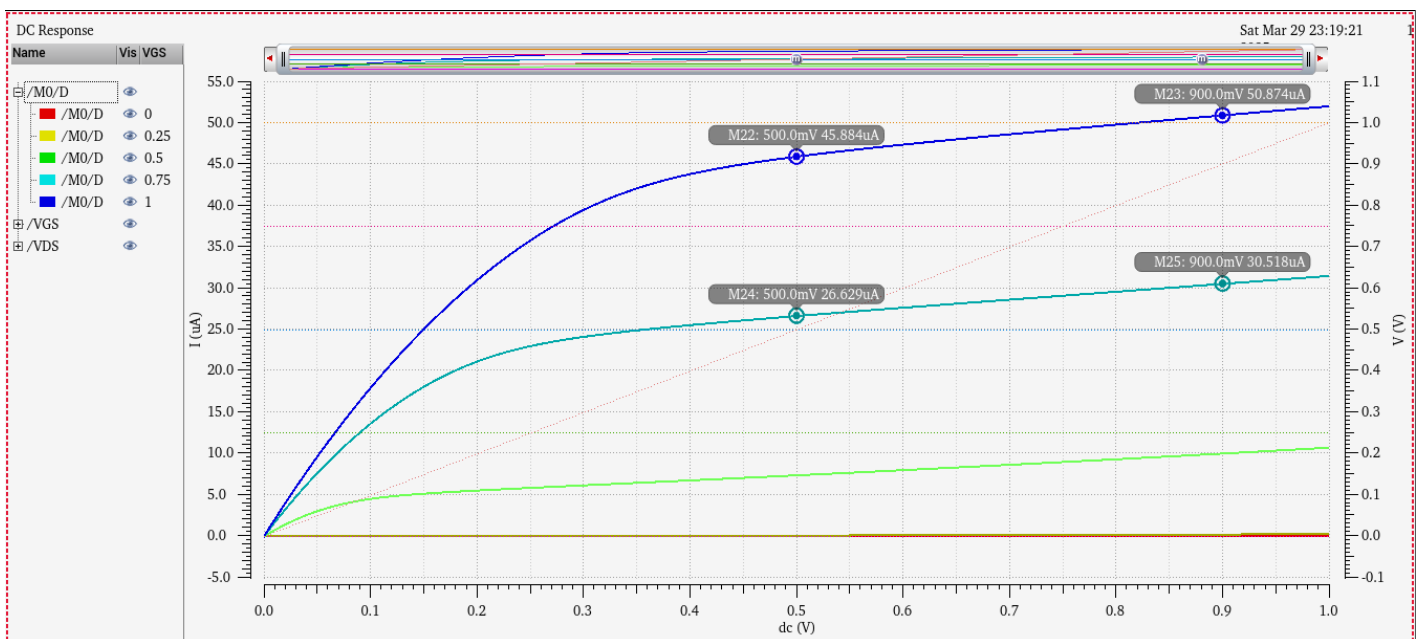
**Figure 21**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V ( $L = 50nm$  ;  $W = 90nm$ )

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}} = \frac{(79.949 - 72.094) \times 10^{-6}}{72.094 \times 10^{-6} \times 0.9 - 79.949 \times 10^{-6} \times 0.5} = 0.3153$$



**Figure 22**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V ( $L = 80nm$  ;  $W = 90nm$ )

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}} = \frac{(48.875 - 46.411) \times 10^{-6}}{46.411 \times 10^{-6} \times 0.9 - 48.875 \times 10^{-6} \times 0.5} = 0.1422$$



**Figure 23**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V ( $L = 50nm$  ;  $W = 60nm$ )

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}} = \frac{(50.874 - 45.884) \times 10^{-6}}{45.884 \times 10^{-6} \times 0.9 - 50.874 \times 10^{-6} \times 0.5} = 0.3147$$

**\* Nhận xét:**

Ta nhận thấy khi thay đổi tăng độ dài L thì hệ số điều chế độ dài kênh ( $\lambda$ ) giảm, đơn giản vì  $\lambda \sim \frac{1}{L}$ .

Còn khi giảm chiều rộng W thì  $\lambda$  không mấy thay đổi vì hệ số điều chế độ dài kênh không phụ thuộc vào W

*Điều này cho thấy thách thức khi chúng ta cố gắng giảm công nghệ xuống, càng giảm ta càng phải đối mặt với  $\lambda$  tăng, dẫn đến dòng  $I_D$  khó kiểm soát trong vùng bão hòa.*

-  $V_{Th0}$  can also be obtained from Figure 5. Using the saturation portion of the two curves with equal  $V_{ds}$  then  $V_{Th0}$  can be calculated as:

+ Figure 21 ( $L = 50\text{nm}$ ,  $W = 90\text{nm}$ )

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{0.75 - 1 \times \sqrt{\frac{48.057 \times 10^{-6}}{79.949 \times 10^{-6}}}}{1 - \sqrt{\frac{48.057 \times 10^{-6}}{79.949 \times 10^{-6}}}} = -0.1126 \text{ V}$$

+ Figure 22 ( $L = 80\text{nm}$ ,  $W = 90\text{nm}$ )

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{0.75 - 1 \times \sqrt{\frac{25.268 \times 10^{-6}}{48.875 \times 10^{-6}}}}{1 - \sqrt{\frac{25.268 \times 10^{-6}}{48.875 \times 10^{-6}}}} = 0.1103 \text{ V}$$

+ Figure 23 ( $L = 50\text{nm}$ ,  $W = 60\text{nm}$ )

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{0.75 - 1 \times \sqrt{\frac{30.518 \times 10^{-6}}{50.874 \times 10^{-6}}}}{1 - \sqrt{\frac{30.518 \times 10^{-6}}{50.874 \times 10^{-6}}}} = -0.1087 \text{ V}$$

**\* Nhận xét:**

$V_{Th0}$  là điện áp ngưỡng khi không có hiệu ứng kênh ngắn (SCE), dù vậy theo kết quả thu được thì khi  $L = 50\text{nm}$  (kênh ngắn) thì  $V_{Th0}$  vẫn thấp, điều này có thể lý giải bằng hiện tượng DIBL, khi  $V_D$  tăng thì cực D xuất hiện miền nghèo do electron bị hút về cực S dẫn đến đường truyền S đến D bị giảm, dẫn đến  $V_{Th0}$  bị giảm theo. Bằng chứng là khi tăng L lên thì khoảng cách S, D tăng theo làm  $V_{Th0}$  tăng.

*$V_{Th0}$  âm có thể gây ra lỗi nghiêm trọng khi NMOS sẽ luôn dẫn, đây cũng là 1 thách thức khi chúng ta cố gắng giảm công nghệ bán dẫn.*

➤ Knowing  $\lambda$  and  $V_{Th0}$ ,  $k_p$  can easily be found from the equation for a MOS transistor drain current in the saturation region. A little algebra shows that  $k_p$  is:

+ Figure 21 ( $L = 50\text{nm}$ ,  $W = 90\text{nm}$ )

$$k_p = \frac{2 \cdot I_D}{\frac{W}{L} (V_{GS} - V_{Th0})^2 \cdot (1 + \lambda \cdot V_{DS})} = \frac{2 \times 79.949 \times 10^{-6}}{\frac{90}{50} \times (1 - (-0.1126))^2 \times (1 + 0.3153 \times 0.9)} = 5.5899 \times 10^{-5}$$

+ Figure 22 ( $L = 80\text{nm}$ ,  $W = 90\text{nm}$ )

$$k_p = \frac{2 \cdot I_D}{\frac{W}{L} (V_{GS} - V_{Th0})^2 \cdot (1 + \lambda \cdot V_{DS})} = \frac{2 \times 48.875 \times 10^{-6}}{\frac{90}{80} \times (1 - 0.1103)^2 \times (1 + 0.1422 \times 0.9)} = 9.7314 \times 10^{-5}$$

+ Figure 23 ( $L = 50\text{nm}$ ,  $W = 60\text{nm}$ )

$$k_p = \frac{2 \cdot I_D}{\frac{W}{L} (V_{GS} - V_{Th0})^2 \cdot (1 + \lambda \cdot V_{DS})} = \frac{2 \times 50.874 \times 10^{-6}}{\frac{60}{50} \times (1 - (-0.1087))^2 \times (1 + 0.3147 \times 0.9)} = 5.3754 \times 10^{-5}$$

### \* Nhận xét:

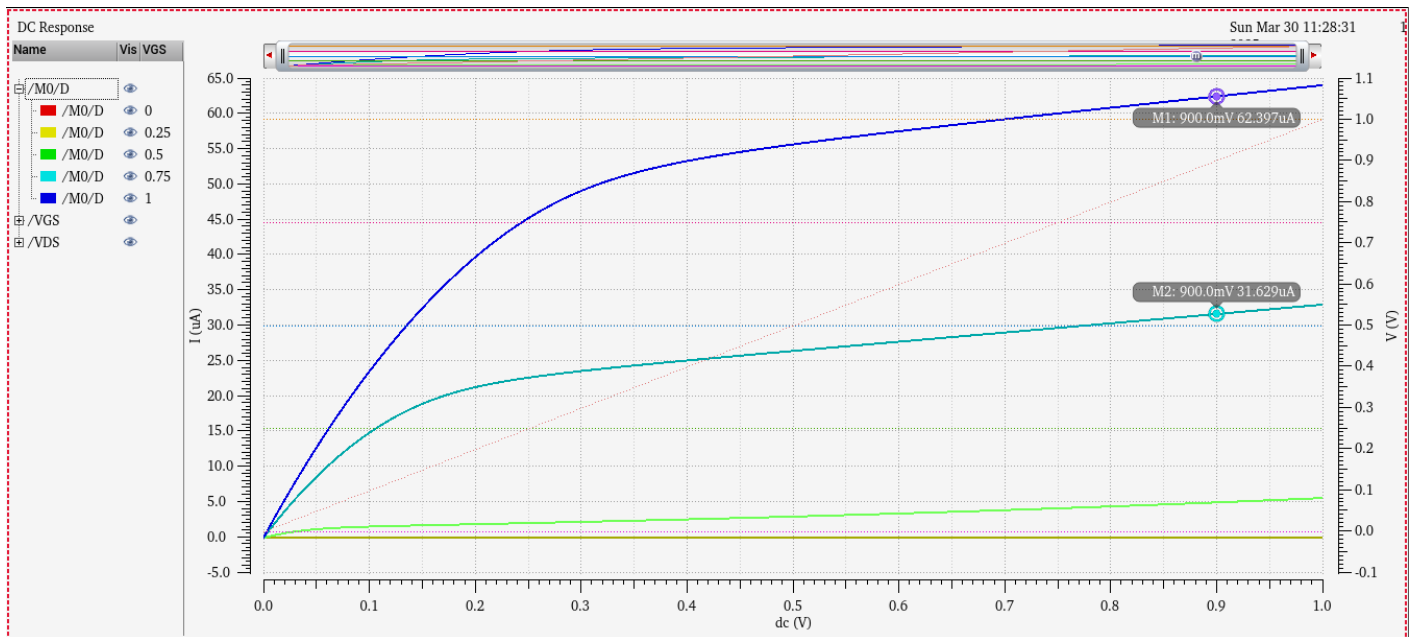
Thông thường tham số quá trình truyền dẫn  $k_p$  của CMOS phụ thuộc lớn vào  $W$  theo công thức:

$$k_p = \mu \cdot C_{ox} \quad (C_{ox} \text{ phụ thuộc vào } W).$$

Nhưng theo tính toán, hệ số  $k_p$  lại chỉ giảm nhẹ khi  $W$  giảm, mà theo lí thuyết đáng lẽ phải giảm mạnh theo  $W$ ). Ngược lại thì tăng  $L$  lại khiến  $k_p$  tăng đáng kể, điều này có thể giải thích thông qua hiệu ứng kênh ngắn (SCE), khi mà  $L$  tăng thì khoảng cách cực S đến D cũng tăng làm tăng  $V_{Th}$  (khoảng cách tỉ lệ thuận với  $V_{Th}$ ) dẫn đến độ linh động  $\mu$  có thể tiếp tục tăng thêm dẫn đến hệ số truyền dẫn  $k_p$  tăng theo.

**Độ linh động giảm, làm delay tăng lên gây ảnh hưởng đến tần số (điều mà các kỹ sư muốn hoạt động ở tần số cao) Đây cũng là 1 thách thức khi chúng ta cố gắng giảm công nghệ chip.**

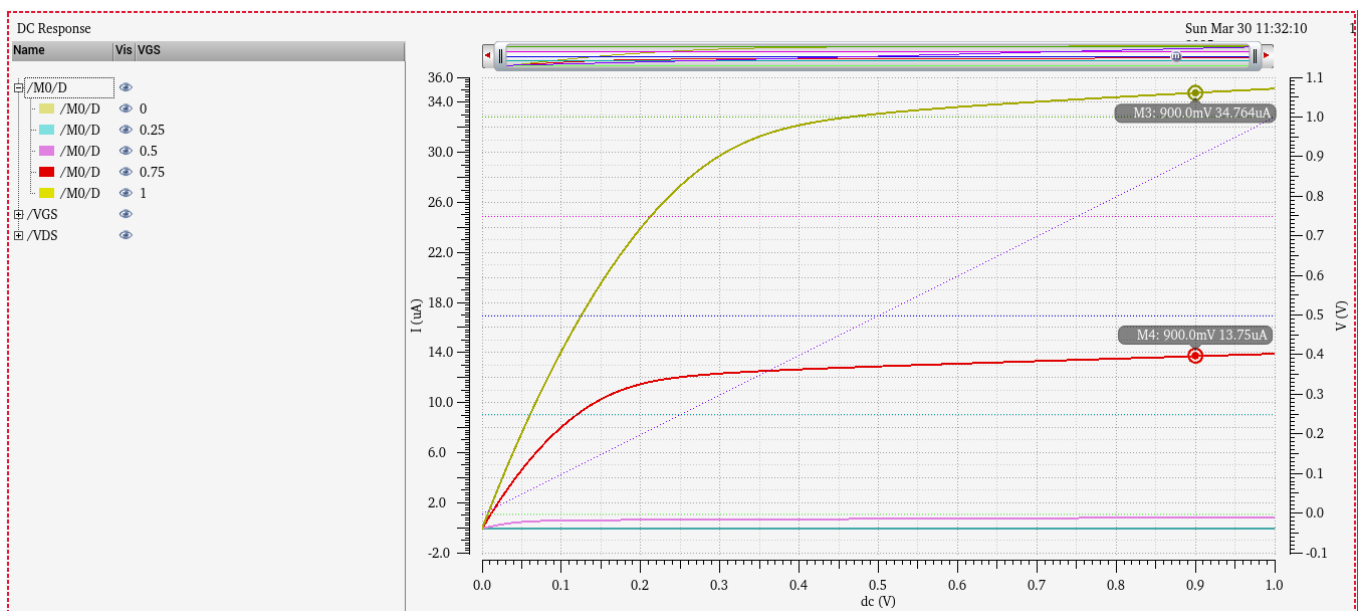
➤ To obtain  $\gamma$  you must first give the transistor a non-zero  $V_{SB}$ . Next, calculate the new  $V_{Th}$  using the same procedure that you used to obtain  $V_{Th0}$  where  $2\phi_F = 0.7$ .  $\gamma$  is given as:



**Figure 24**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0.55 V$ , sweeping  $V_{DS} = [0,1] V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V (L = 50nm ; W = 90nm)

Tính  $V_{Th} = 0.132 V$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{0.132 - (-0.1126)}{\sqrt{0.7 + 0.55} - \sqrt{0.7}} = 0.8693$$

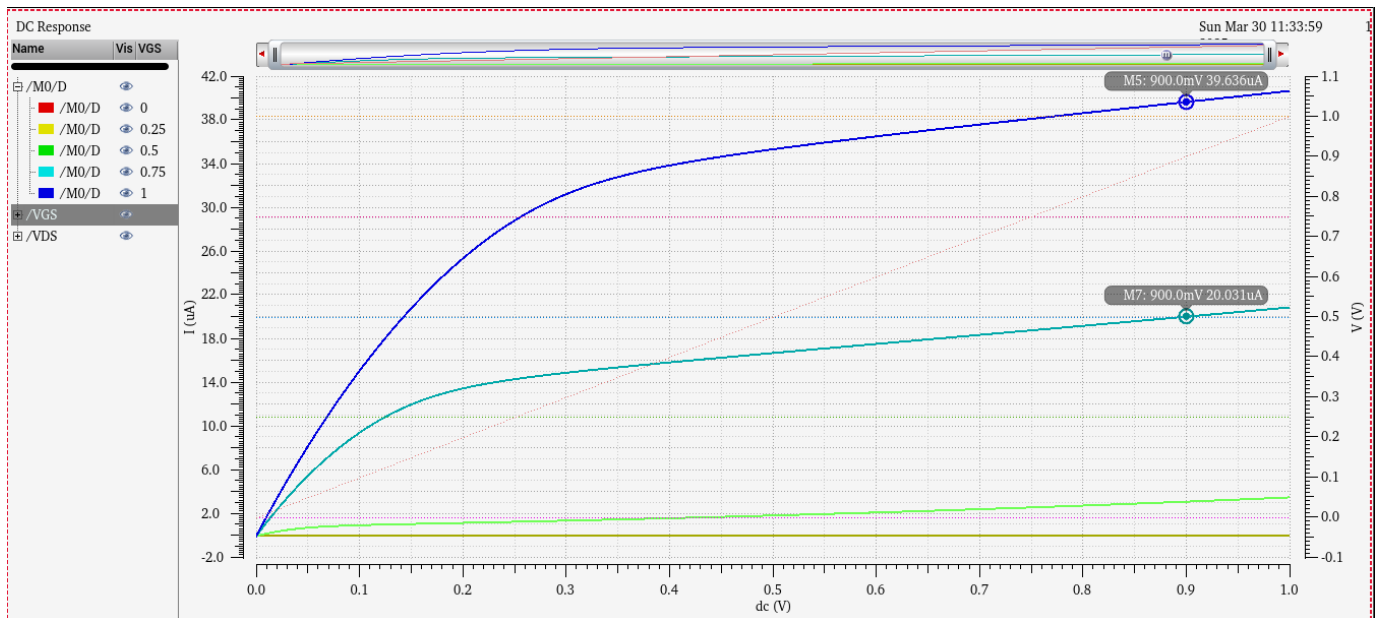


**Figure 25**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0.55 V$ , sweeping  $V_{DS} = [0,1] V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V (L = 80nm ; W = 90nm)

Tính  $V_{Th} = 0.3263 V$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{0.3263 - 0.1103}{\sqrt{0.7 + 0.55} - \sqrt{0.7}} = 0.7677$$





**Figure 26**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0.55V$ , sweeping  $V_{DS} = [0, 1]V$  with step 10mV and  $V_{GS} = [0, 1]$  step 0.25V ( $L = 50nm$ ;  $W = 60nm$ )

Tính  $V_{Th} = 0.1353V$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{0.1353 - (-0.1087)}{\sqrt{0.7 + 0.55} - \sqrt{0.7}} = 0.8672$$

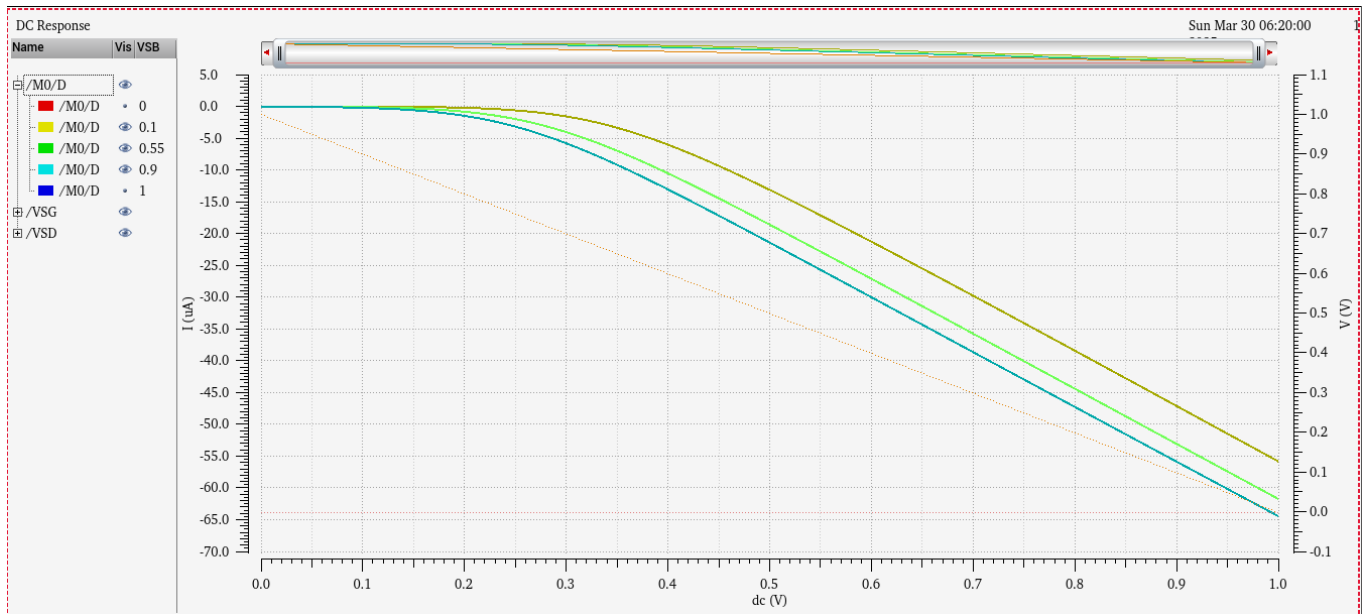
### \* Nhận xét:

Hệ số hiệu ứng thân ( $\gamma$ ) là hiệu ứng làm thay đổi mức điện áp ngưỡng, hệ số càng lớn thì mức độ thay đổi  $V_{Th}$  dựa trên  $V_{SB}$  càng cao. Nói cách khác,  $\gamma$  chính là hiệu ứng thân (Body effect).

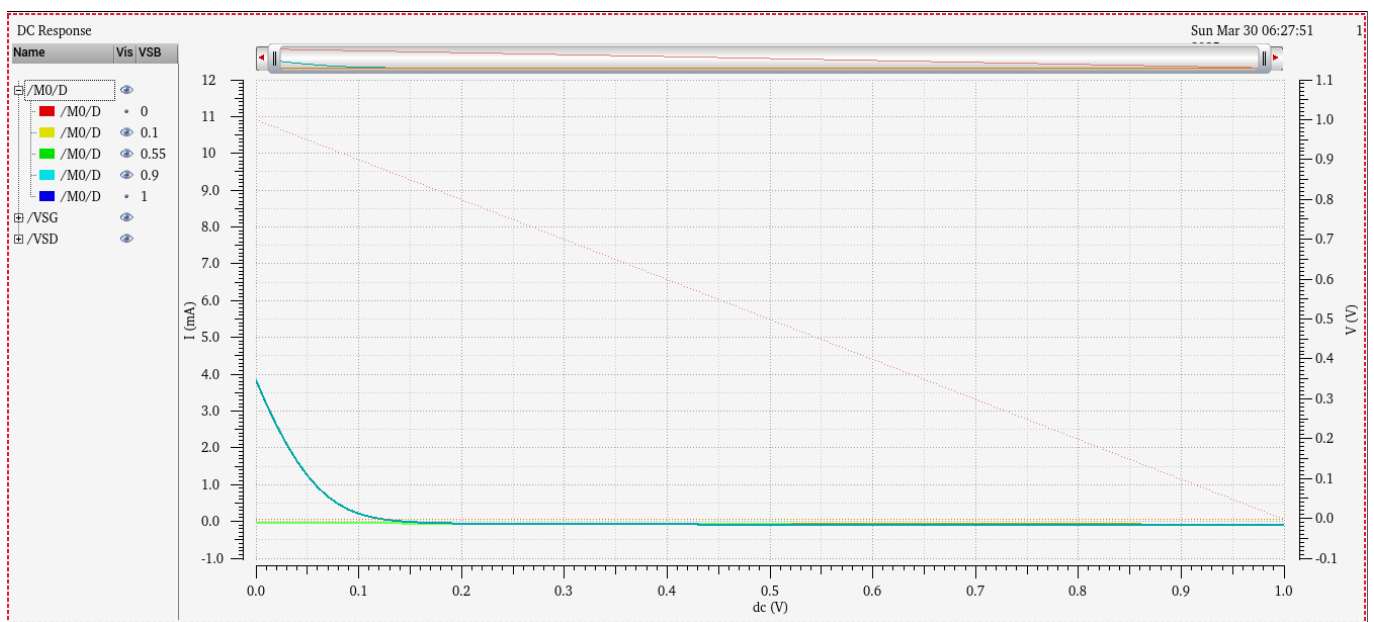
Từ kết quả có thể cho ta thấy khi thay đổi  $L$  hoặc  $W$  đều không ảnh hưởng đáng kể đến số liệu, đơn giản vì  $\gamma$  phụ thuộc vào  $V_{SB}$  chứ không phải  $L$  hay  $W$ , hiệu ứng xuất hiện khi có sự chênh lệch  $V_{SB}$ .

Khi  $V_{SB} = 0.55V$ , có thể hiểu  $V_B$  giảm, dẫn đến có trường điện từ theo hướng S sang B, khi đó các electron theo hướng ngược lại sẽ tập trung dưới cực Gate, đòi hỏi cực G phải cần hole để cân bằng, gây ra  $V_{GS}$  tăng làm  $V_{Th}$  tăng theo.

**Tóm lại, với xu hướng công nghệ giảm sẽ làm cho miền nghèo khó kiểm soát theo, từ đó  $C_{ox}$  giảm làm hệ số  $\gamma$  tăng. Tuy nhiên, một điều quan trọng chính là khi  $L$  quá nhỏ (dưới 100nm) hiệu ứng kênh ngắn (SCE) sẽ gây ảnh hưởng lớn hơn so với Body Effect, làm hiệu ứng thân không còn quan trọng như công nghệ cũ.**

**PMOS:**

**Figure 27**  $I_D$  vs  $V_{GS}$  @  $V_{DS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$ , and sweeping  $V_{GS} = [0, 1] V$  with step 10mV



**Figure 28**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$  and sweeping  $V_{DS} = [0, 1] V$  with step 10mV.

**\* Phân tích:**

**Figure 27:**  $I_D$  vs  $V_{GS}$  @  $V_{DS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$ , and sweeping  $V_{GS} = [0, 1] V$  with step 10mV.

Ngược lại với NMOS, PMOS có vùng hoạt động là các tạp chất Acceptor, do đó khi tăng  $V_{SB}$  thì sẽ không bị ảnh hưởng bởi độ linh động của electron nhiều, dẫn đến việc tăng  $V_{SB}$  sẽ giúp truyền dẫn tốt hơn.

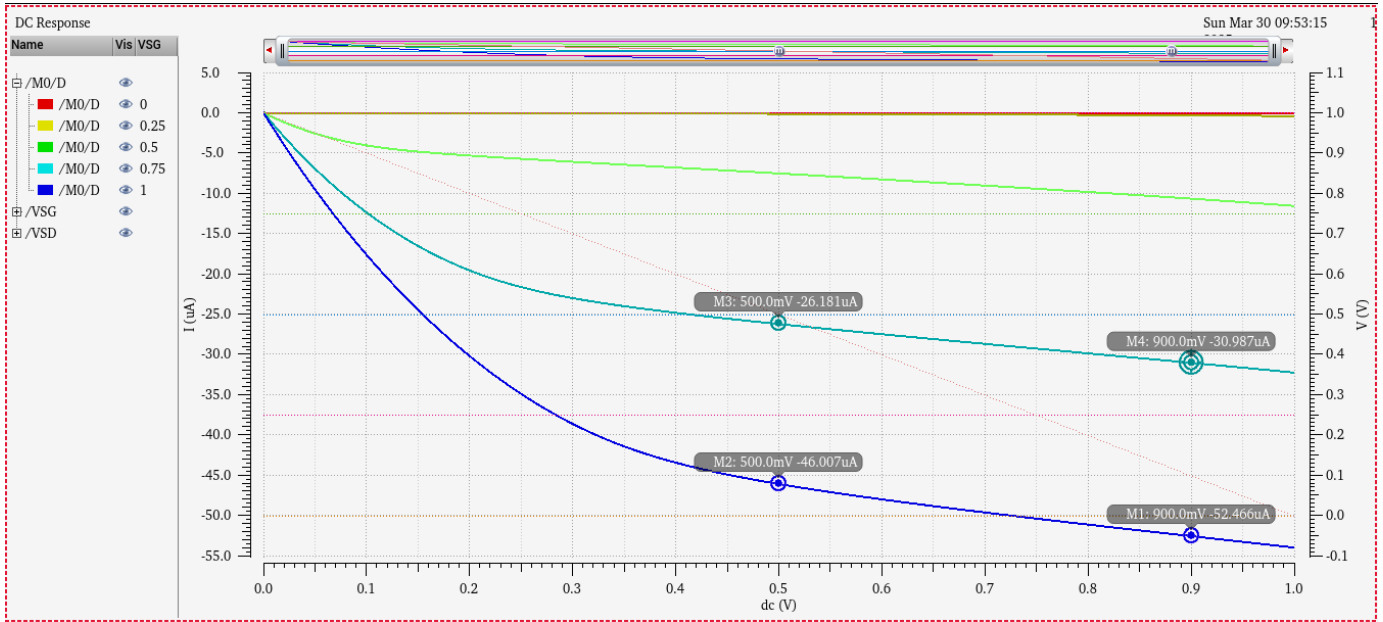
**Figure 28:**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = \{0.1, 0.55, 0.9\} V$  and sweeping  $V_{DS} = [0, 1] V$  with step 10mV.

Khi  $V_{SB}$  tăng dẫn đến  $V_{Th}$  tăng, làm giảm  $I_D$ . Khi  $V_{SB}$  đủ cao có thể khiến  $V_{Th}$  vượt  $V_{SG}$  khiến PMOS không dẫn điện.

Trong 1 số trường hợp  $I_D$  dương nhẹ trước khi về 0 có thể do hiệu ứng rò hay sự thay đổi của kênh dẫn.

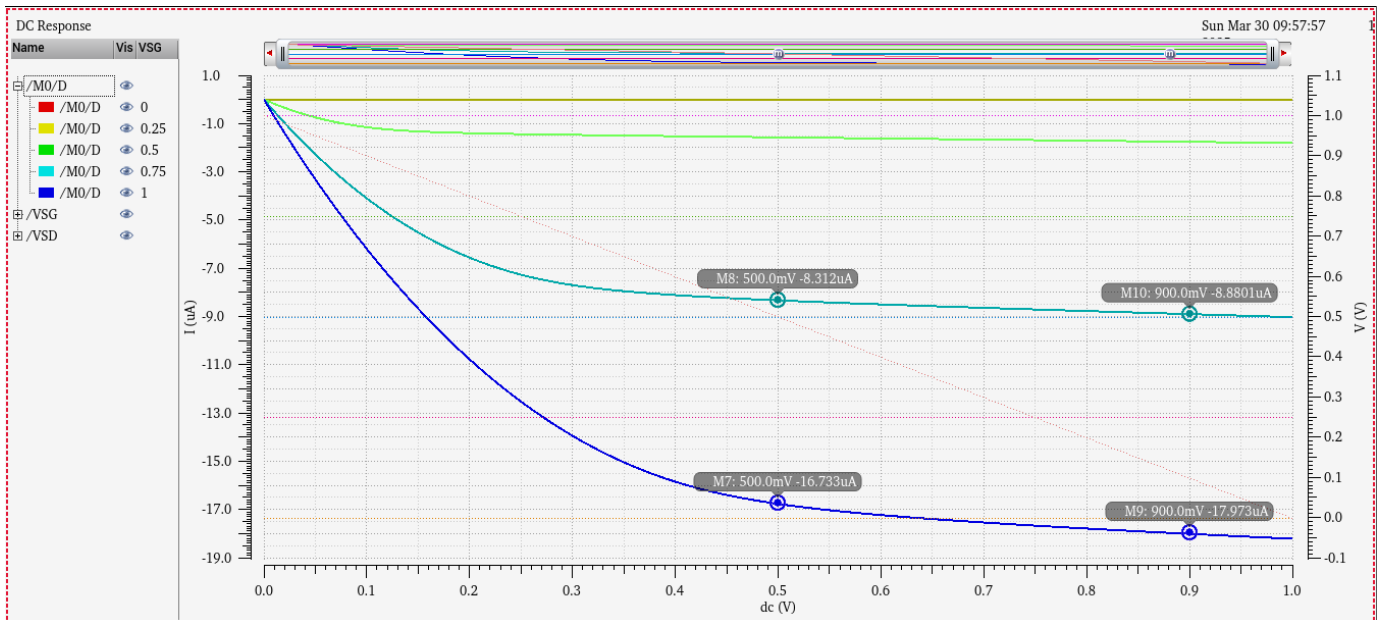


- Using a curve  $I_D$  vs  $V_{DS}$  which each curve represents a different  $V_{GS}$  value. Any one of these curves can be used to calculate  $\lambda$ . Make sure that  $V_{bs}$  is 0V for this simulation. The formula for calculating  $\lambda$  given two points on the saturation portion of a single curve is:



**Figure 29**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V ( $L = 50nm$  ;  $W = 90nm$ )

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}} = \frac{(-52.466 - (-46.007)) \times 10^{-6}}{-46.007 \times 10^{-6} \times 0.9 - (-52.466) \times 10^{-6} \times 0.5} = 0.4257$$



**Figure 30**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25 V ( $L = 80nm$  ;  $W = 60nm$ )

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1}V_{DS2} - I_{D2}V_{DS1}} = \frac{(-17.973 - (-16.733)) \times 10^{-6}}{-16.733 \times 10^{-6} \times 0.9 - (-17.973) \times 10^{-6} \times 0.5} = 0.2042$$

**\* Nhận xét:**

Hệ số  $\lambda$  của PMOS với sự thay đổi phụ thuộc vào  $L$  cũng tương tự như NMOS khi mà tăng  $L$  lên vẫn làm  $\lambda$  giảm. Nhưng hệ số  $\lambda$  của PMOS ở thông số  $W$ ,  $L$  cơ bản lại cao hơn so với NMOS?

Có thể xảy ra điều này do việc nhóm em chưa lấy đúng vị trí để tính  $\lambda$  trong vùng bão hòa gây ra sai số hoặc do độ linh động của NMOS cao hơn PMOS có thể đã sớm gây ra bão hòa vận tốc trong trạng thái bão hòa làm dòng  $I_D$  tăng ít hơn so với PMOS.

-  $V_{Th0}$  can also be obtained from Figure 5. Using the saturation portion of the two curves with equal  $V_{ds}$  then  $V_{Th0}$  can be calculated as:

+ Figure 29 ( $L = 50\text{nm}$ ,  $W = 90\text{nm}$ )

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{0.75 - 1 \times \sqrt{\frac{-30.987 \times 10^{-6}}{-52.466 \times 10^{-6}}}}{1 - \sqrt{\frac{-30.987 \times 10^{-6}}{-52.466 \times 10^{-6}}}} = -0.08 \text{ V}$$

+ Figure 30 ( $L = 80\text{nm}$ ,  $W = 60\text{nm}$ )

$$V_{Th0} = \frac{V_{GS1} - V_{GS2} \sqrt{\frac{I_{DS1}}{I_{DS2}}}}{1 - \sqrt{\frac{I_{DS1}}{I_{DS2}}}} = \frac{0.75 - 1 \times \sqrt{\frac{-8.8801 \times 10^{-6}}{-17.973 \times 10^{-6}}}}{1 - \sqrt{\frac{-8.8801 \times 10^{-6}}{-17.973 \times 10^{-6}}}} = 0.1585 \text{ V}$$

**\* Nhận xét:**

Cũng tương tự như trường hợp NMOS,  $V_{Th0}$  của PMOS (với  $L = 50\text{nm}$ ) là 1 số âm, đây là hiện tượng đúng. Còn khi tăng  $L$  thì  $V_{Th0}$  ra số tương, có thể giải thích bằng hiệu ứng DIBL, đường truyền  $S$  đến  $D$  tăng, dẫn đến  $V_{Th0}$  tăng theo. Bằng chứng là khi tăng  $L$  lên thì khoảng cách  $S$ ,  $D$  tăng theo làm  $V_{Th0}$  tăng.

➤ Knowing  $\lambda$  and  $V_{Th0}$ ,  $k_p$  can easily be found from the equation for a MOS transistor drain current in the saturation region. A little algebra shows that  $k_p$  is:

+ Figure 29 ( $L = 50\text{nm}$ ,  $W = 90\text{nm}$ )

$$k_p = \frac{2 \cdot I_D}{\frac{W}{L} (V_{GS} - V_{Th0})^2 \cdot (1 + \lambda \cdot V_{DS})} = \frac{|2 \times (-52.466) \times 10^{-6}|}{\frac{90}{50} \times (1 - (-0.08))^2 \times (1 + 0.4257 \times 0.9)} = 3.6135 \times 10^{-5}$$

+ Figure 30 ( $L = 80\text{nm}$ ,  $W = 60\text{nm}$ )

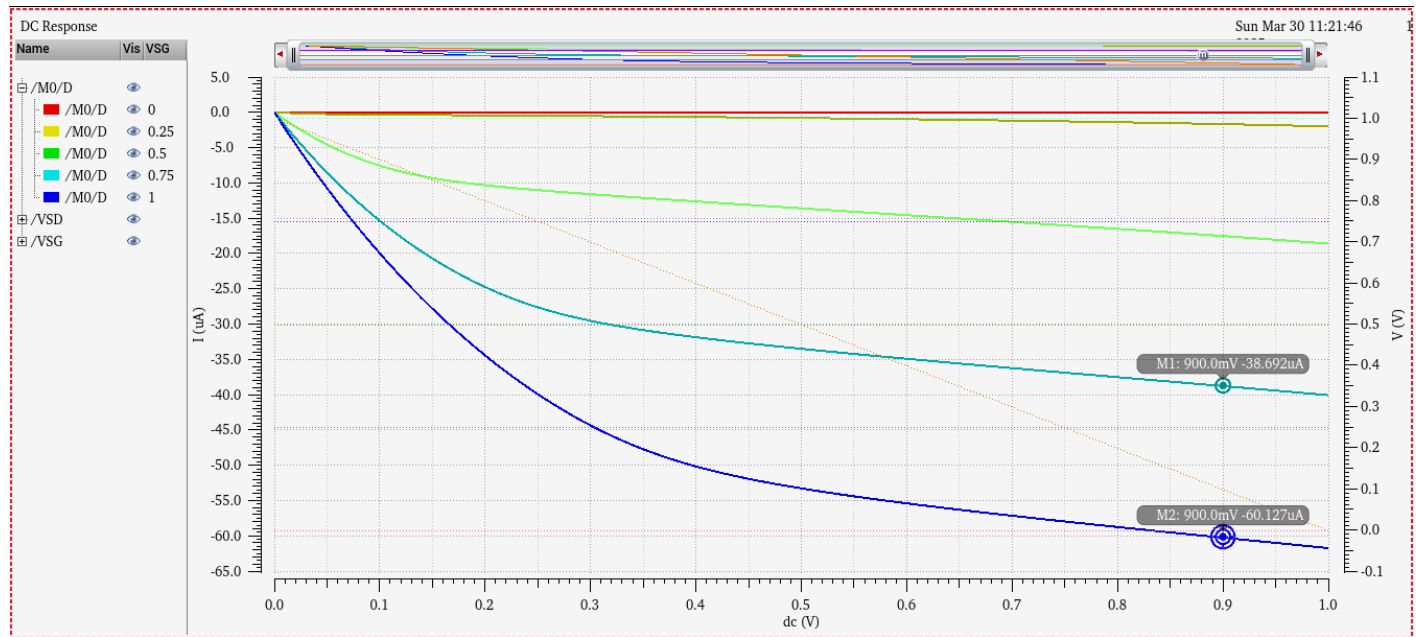
$$k_p = \frac{2 \cdot I_D}{\frac{W}{L} (V_{GS} - V_{Th0})^2 \cdot (1 + \lambda \cdot V_{DS})} = \frac{|2 \times (-17.973) \times 10^{-6}|}{\frac{60}{80} \times (1 - 0.1585)^2 \times (1 + 0.2042 \times 0.9)} = 5.7176 \times 10^{-5}$$

#### \* Nhận xét:

Không ngoại lệ, hệ số  $k_p$  của PMOS cũng tăng khi  $L$  tăng, có thể giải thích qua hiệu ứng kênh ngắn (SCE), khoảng cách cực  $S$  đến  $D$  cũng tăng làm tăng  $V_{Th}$  dẫn đến độ linh động  $\mu$  có thể tiếp tục tăng thêm dẫn đến hệ số truyền dẫn  $k_p$  tăng theo. Hệ số truyền dẫn electron của PMOS kém hơn so với NMOS cũng dễ hiểu vì độ linh động của hole kém hơn so với electron.



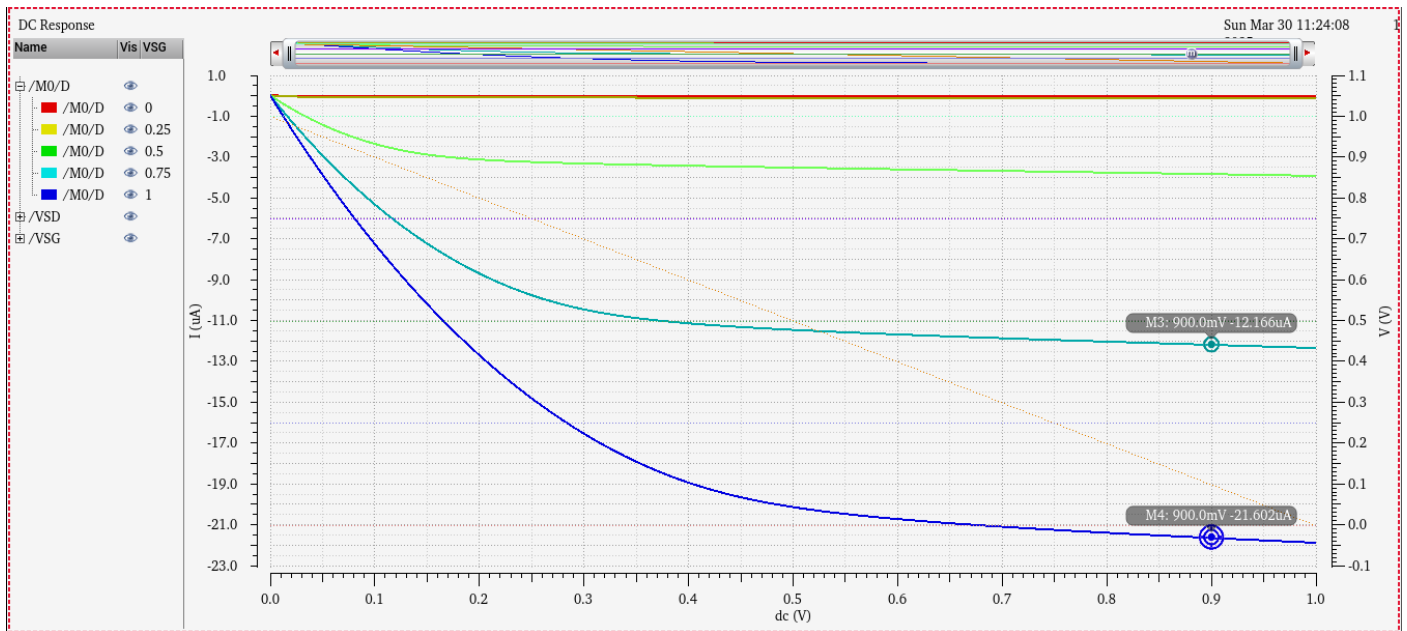
➤ To obtain  $\gamma$  you must first give the transistor a non-zero  $V_{SB}$ . Next, calculate the new  $V_{Th}$  using the same procedure that you used to obtain  $V_{Th0}$  where  $2\phi_F = 0.7$ .  $\gamma$  is given as:



**Figure 31**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0.55V$ , sweeping  $V_{DS} = [0,1]V$  with step 10mV and  $V_{GS} = [0,1]$  step 0.25V ( $L = 50nm$  ;  $W = 90nm$ )

Tính  $V_{Th} = -0.2638V$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{|-0.2638 - (-0.08)|}{\sqrt{0.7 + 0.55} - \sqrt{0.7}} = 0.6532$$



**Figure 32**  $I_D$  vs  $V_{DS}$  @  $V_{GS} = 1V$ ,  $V_{SB} = 0.55V$ , sweeping  $V_{DS} = [0, 1]V$  with step 10mV and  $V_{GS} = [0, 1]$  step 0.25V ( $L = 80nm$ ;  $W = 60nm$ )

Tính  $V_{Th} = -0.0018V$

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{|-0.0018 - 0.1585|}{\sqrt{0.7 + 0.55} - \sqrt{0.7}} = 0.5697$$

### \* Nhận xét:

Tóm lại, với xu hướng công nghệ giảm sẽ làm cho miền nghèo khó kiểm soát theo, từ đó  $C_{ox}$  giảm làm hệ số  $\gamma$  tăng. Tuy nhiên, một điều quan trọng chính là khi  $L$  quá nhỏ (dưới 100nm) hiệu ứng kênh ngắn (SCE) sẽ gây ảnh hưởng lớn hơn so với Body Effect, làm hiệu ứng thân không còn quan trọng như công nghệ cũ.

**EXPERIMENT 4**

**Objective:** Layout design for MOS transistors.

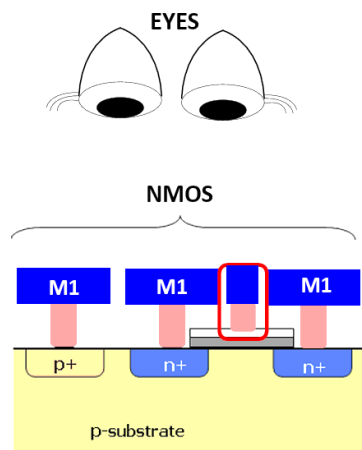
**Requirements:**

- Design the layout for a 120n/60n NMOS and a 50n/40n PMOS transistor.
- Verify the design by performing Design Rule Check (DRC) and ensuring Layout Versus Schematic (LVS) confirmation.

**Instructions:**

➤ In this experiment, students will explore the construction of transistors. A thorough understanding of the physical implementation of circuits is essential for designers, as it significantly influences performance, power consumption, and cost. This concept is best understood by examining both the top and cross-sectional views of a wafer in a simplified manufacturing process:

1. The **top view** represents the layout as seen from above the wafer.
2. The **cross-sectional view** is obtained by slicing the wafer through the middle of a transistor and observing it from the side.



**Figure** Cross section of an NMOS transistor.

➤ Students first examine the cross-section of a complete NMOS transistor, then analyze its top view and identify the set of masks used in the fabrication process.

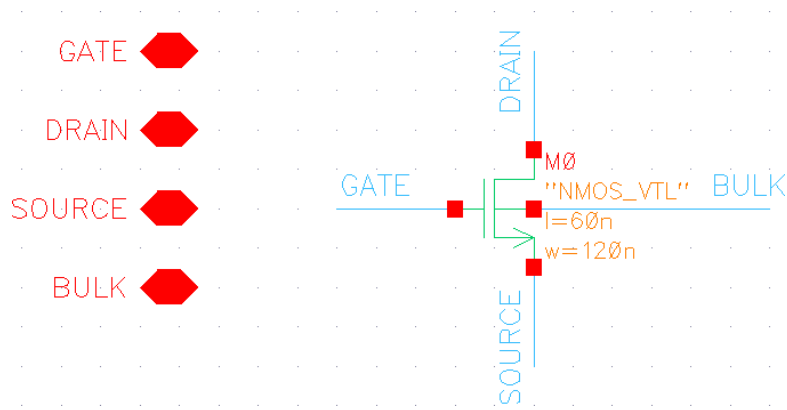
➤ Following the layout guidelines from Lab 0, this lab focuses only on the layout implementation steps:

1. Add **n-active** (n-islands).
2. Add Poly (**PO**) for the gate.
3. Make drain, source, and bulk connections (contacts).
4. Create **pwell**.
5. Overlap the two active regions with the correct types of **implants**.

Create contacts for four terminals (**metal1**).





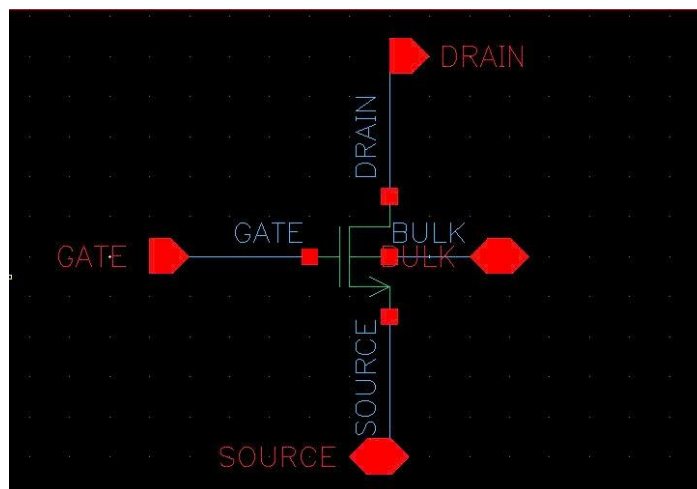


**Figure** NMOS\_VTL schematic.

**Check:** Your report must include these results. Additionally, provide a discussion and explanation for any modifications or optimizations you have implemented.

➤ Design the layout for an NMOS\_VTL (120n/60n) and a PMOS\_VTL (50n/40n), ensuring compliance with Design Rule Checks (DRC). Verify the corresponding schematic through Layout Versus Schematic (LVS) confirmation.

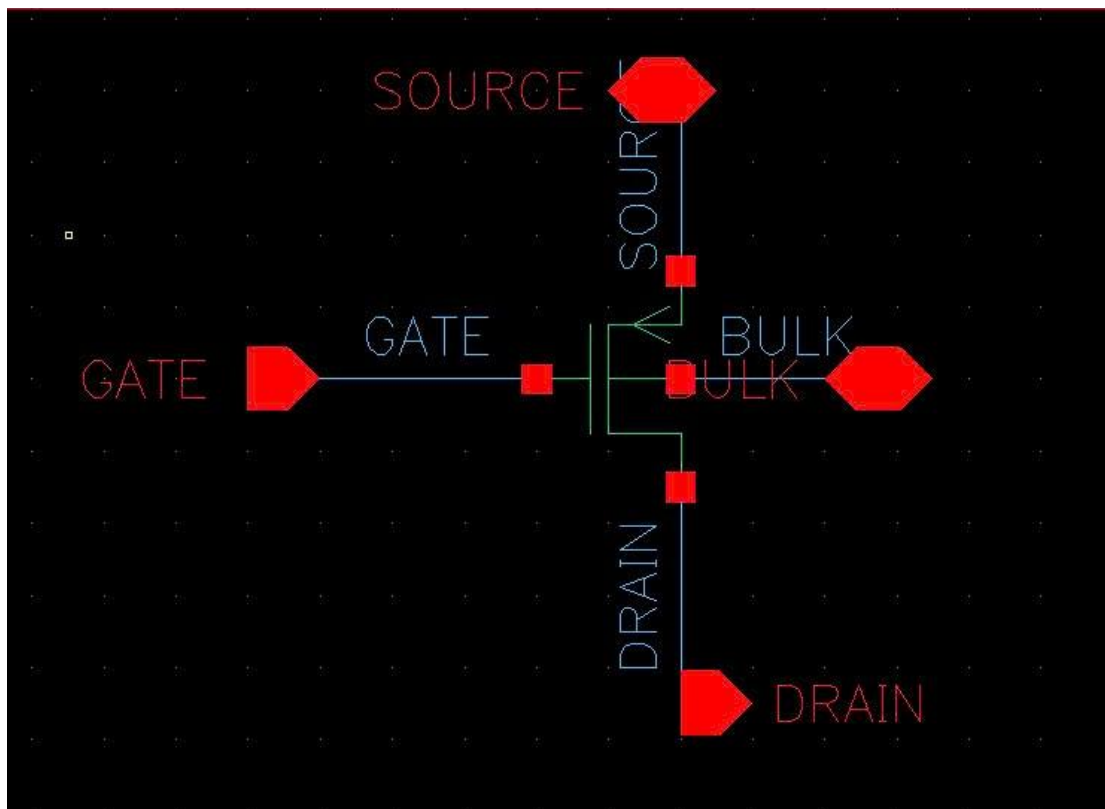
**NMOS:**



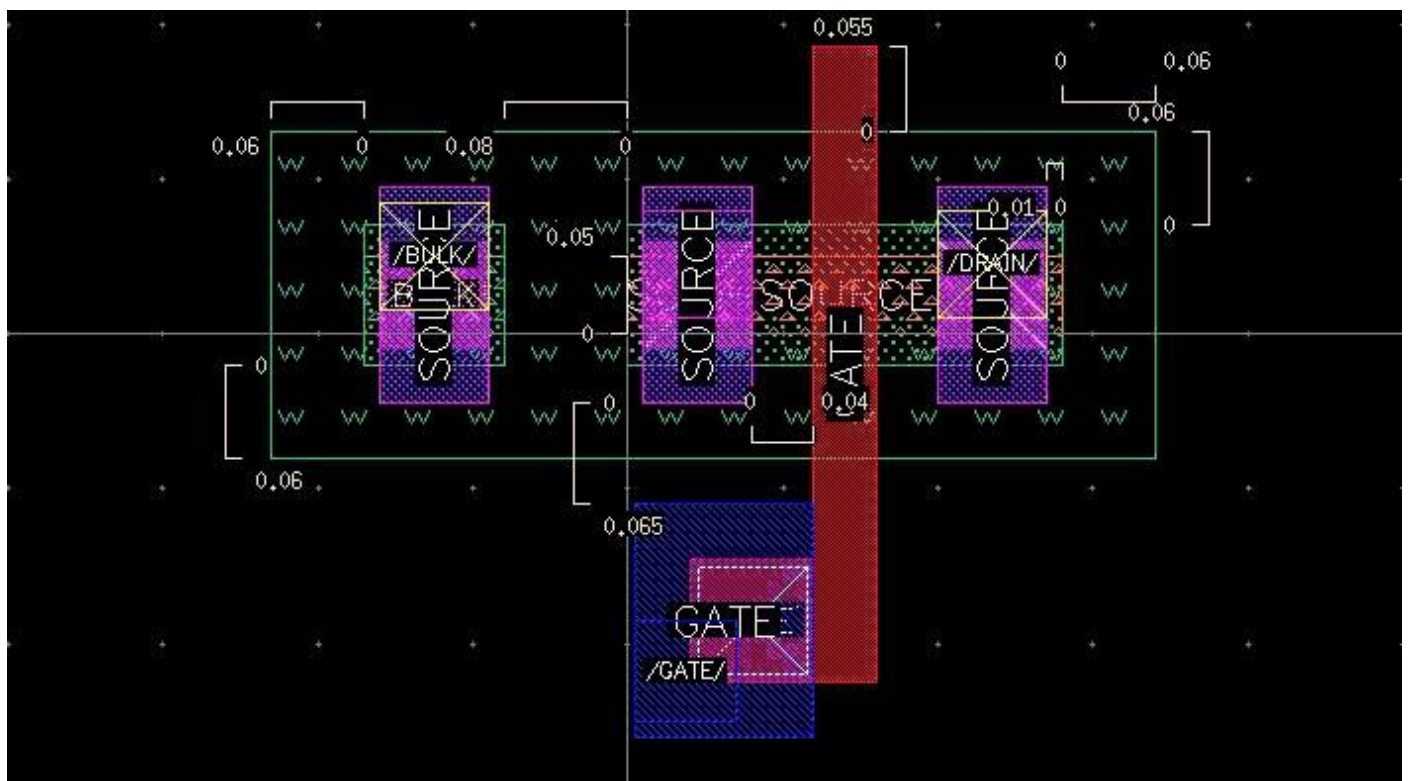
**Figure** NMOS\_VTL schematic



**PMOS:**

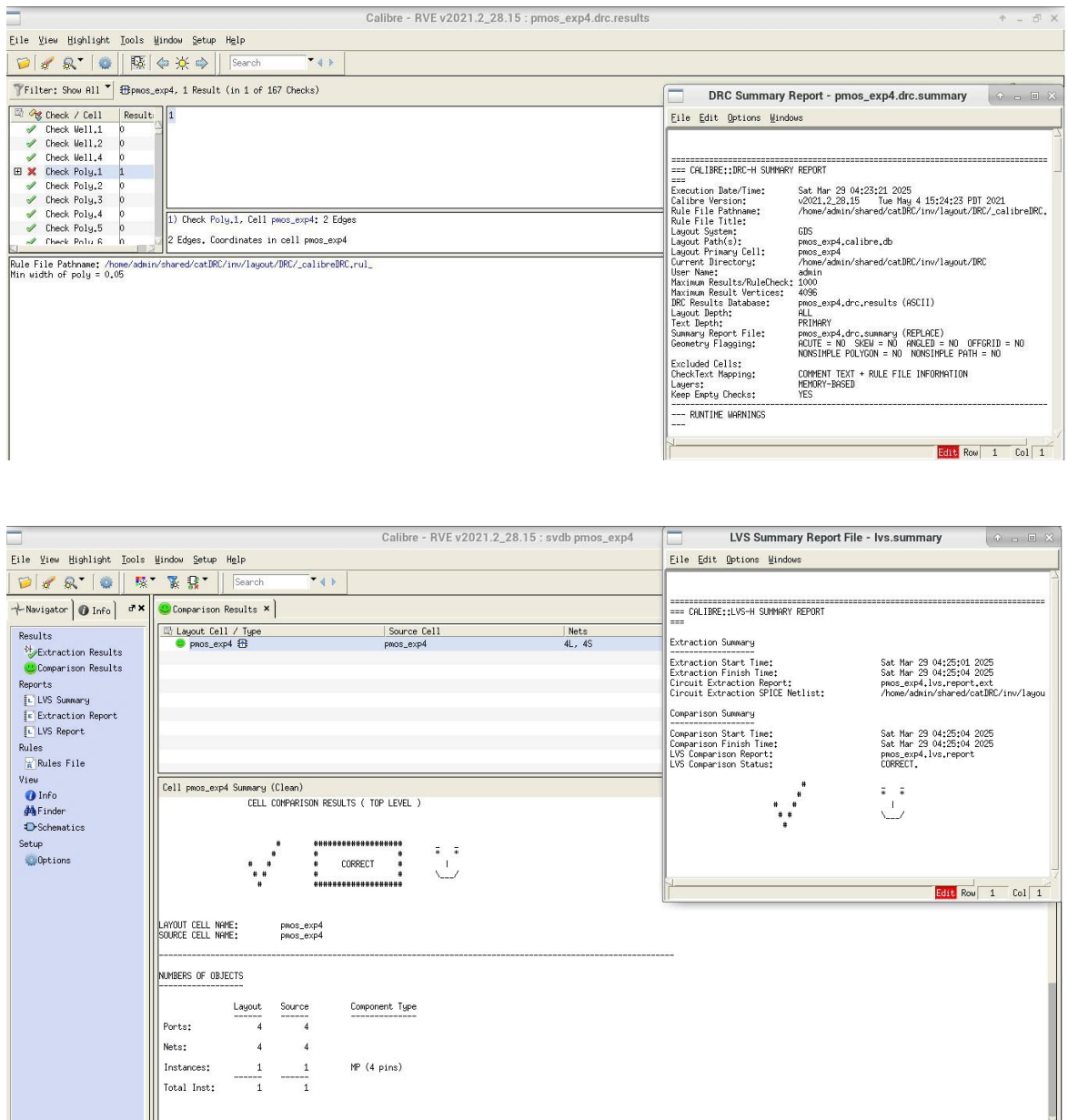


**Figure** PMOS\_VTL schematic



**Figure** PMOS\_VTL layout

# LABORATORY 1 – MOS TRANSISTOR CHARACTERIZATION



**Figure & PMOS\_VTL confirmation by DRC & LVS**

## \* Nhận xét:

Đối với PMOS\_VTL việc DRC chắc chắn bị lỗi vì  $L = 40\text{nm}$ , trong khi đó thư viện freePDK45 chỉ cho phép chúng ta thực hiện tối đa với công nghệ  $50\text{nm}$  :33.

Tuy vậy, với LVS của PMOS\_VTL vẫn chạy tốt vì nó hoạt động đúng theo schematic thiết kế.

P/s: Lab1 khảo sát nhiều quá anh, nhưng cũng nhờ vậy mà bọn em hiểu rõ mối quan hệ của chúng, đặc biệt là các hiệu ứng thứ cấp ><

