

**ĐẠI HỌC QUỐC GIA – THÀNH PHỐ HỒ CHÍ MINH**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**  
**KHOA ĐIỆN – ĐIỆN TỬ**



**BÁO CÁO ĐỒ ÁN 1**  
**CHUYÊN NGÀNH: KỸ THUẬT ĐIỆN TỬ - VIỄN THÔNG**  
**ĐỀ TÀI: LOW DROPOUT REGULATOR (LDO)**  
**GVHD: Th.S. Nguyễn Phan Hải Phú**

**Họ & Tên:** Trương Thế Mạnh  
**MSSV:** 2212004

Thành phố Hồ Chí Minh, ngày 09 tháng 06 năm 2025

## MỤC LỤC

I. GIỚI THIỆU, MỤC TIÊU ĐỀ TÀI .....	1
II. YÊU CẦU KỸ THUẬT .....	2
III. CƠ SỞ LÝ THUYẾT.....	3
3.1. Tổng quan về cấu trúc cơ bản của LDO .....	3
3.2 Hệ thống hồi tiếp .....	4
3.2.1. Tổng quan về hệ thống hồi tiếp .....	4
3.2.2 Hồi tiếp âm (Negative Feedback).....	5
3.2.2.1. Các vấn đề của hồi tiếp âm (Negative feedback) .....	6
3.2.3. Cách xác định loop gain trong hệ thống hồi tiếp âm.....	9
3.2.4. Tính ổn định của hệ thống hồi tiếp âm.....	9
3.2.4.1. Độ dư trữ pha (Phase Margin).....	11
3.2.4.2. Bù tần số (Frequency Compensasion).....	12
3.3. Tỉ số chống nhiễu nguồn (Power supply rejection ratio – PSRR) .....	13
3.4. Các vấn đề cơ bản về nhiễu .....	15
3.4.1. Khái niệm tổng quát về nhiễu.....	15
3.4.2. Mật độ công suất nhiễu.....	16
3.4.3. Phân loại về nhiễu .....	17
3.4.3.1. Nhiễu nhiệt (Thermal Noise) do điện trở .....	17
3.4.3.2 Nhiễu nhiệt trong Mosfet.....	19
3.4.3.3. Nhiễu Flicker trong Mosfet .....	20
3.4.3.4. Nhiễu Flicker giữa NMOS và PMOS.....	21
3.4.3.5. Tổng hợp giữa nhiễu nhiệt và nhiễu Flicker trong Mosfet.....	22
3.5. Pass Transistor.....	22
3.5.1. Pass transistor sử dụng Pmos đóng vai trò như một nguồn dòng.....	23
3.5.2. Pass transistor sử dụng Nmos đóng vai trò như một Source follower .....	25
IV. THIẾT KẾ LDO.....	27
4.1. Mạng hồi tiếp.....	27
4.2. Pass Transistor .....	27
4.3. Operation Amplifier (OP – AMP).....	27
4.4. Khảo sát tỉ số chống nhiễu nguồn (PSRR) .....	33
V. TÀI LIỆU THAM KHẢO .....	34

## I. GIỚI THIỆU, MỤC TIÊU ĐỀ TÀI

**Low Dropout Regulator (LDO)** là một bộ điều chỉnh điện áp, có vai trò “quản lí” nguồn cung cấp cho các mạch tích hợp (Integrated Circuit) hay các System on Chip hiện nay hoạt động. Khả năng duy trì điện áp ngõ ra ổn định kể cả khi điện áp ngõ vào thay đổi là đặc điểm nổi bật nhất.

Vào những năm 1980 LDO được sử dụng mạnh mẽ khi mà ở lĩnh vực điện tử ô tô gặp phải vấn đề khi vi xử lí yêu cầu một nguồn cấp được đảm bảo chính xác là  $5.5V \pm 0.25V$  trong khi chúng phải hoạt động với một nguồn cấp cho cả hệ thống xe có thể bị giảm từ 12V xuống 5.5V khi xe khởi động, vì vậy LDO được sử dụng như một khối mạch có chức năng tạo ra một mức điện áp ổn định dùng để cấp cho vi xử lí kể cả khi nguồn cấp chính bị sụt áp khi tải hoạt động.

Bên cạnh đó, trong thiết kế mạch tích hợp hay các System on Chip bao gồm nhiều khối mạch, sẽ có những khối mạch nhạy cảm với nhiễu và những khối mạch tạo ra nhiễu trong quá trình chuyển mạch. Vậy nên, trên thực tế chúng em không thể dùng chung một đường nối nguồn cho tất cả các khối trên mạch. Vì lí do đó, LDO được sử dụng như một bộ “lọc nhiễu” nguồn hay nói cách khác với sự thay đổi của nguồn cấp ở một vùng xác định, LDO sẽ tạo ra một mức điện áp ổn định, ít nhiễu nhất có thể (tùy thiết kế) để cung cấp cho tải.

Ở từng ứng dụng cụ thể, mạch LDO sẽ được thiết kế khác nhau để đáp ứng những yêu cầu cụ thể của mạch, chẳng hạn như: mức độ ổn định điện áp đầu ra, khả năng loại bỏ nhiễu từ nguồn (PSRR), độ nhiễu thấp, phản hồi nhanh với sự thay đổi tải.

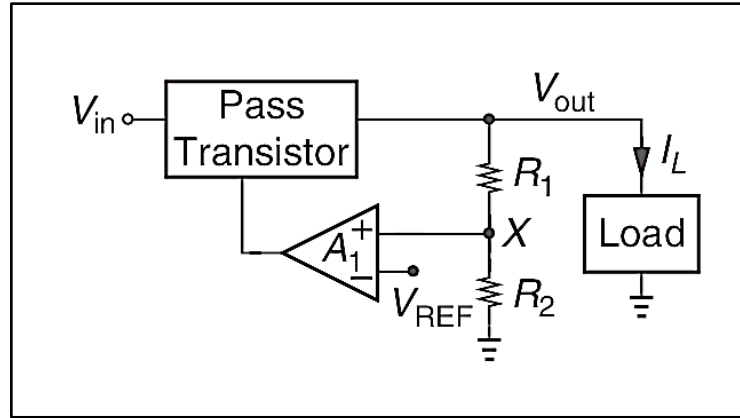
## **II. YÊU CẦU ĐỀ TÀI**

Trong đề tài lần này, em sẽ thiết kế bộ LDO cho một 5- GHz LC VCO với các thông số kỹ thuật như sau

1. Điện áp ngõ vào: 1.2V
2. Điện áp ngõ ra: 1V
3. Dòng ngõ ra tối đa: 5mA
4. Power Supply Rejection Ratio > 40dB trong khoảng tần số 10MHz

### III. CƠ SỞ LÝ THUYẾT

#### 3.1. Tổng quan về cấu trúc cơ bản của LDO



Hình 1: Sơ đồ khối tổng quát LDO

Cấu trúc cơ bản của một mạch LDO bao gồm các thành phần chính như sau

1. Pass Transistor
2. Operational Amplifier
3. Negative Feedback (hồi tiếp thông qua mạng chia áp)

Hệ thống về cơ bản sẽ hoạt động như sau:

Trong trường hợp có một yếu tố nào đó (có thể là nhiều nguồn hoặc tải kéo nhiều dòng hơn) làm cho  $V_{out}$  bị tác động, giả sử  $V_{out}$  giảm, hồi tiếp được tạo ra bằng mạng chia áp  $V_X = \frac{V_{out} \cdot R_2}{R_1 + R_2}$  cũng bị giảm theo. Do  $V_X$  được đưa vào chân không đảo của Op – Amp nên khi  $V_X$  giảm so với  $V_{REF}$  hay  $V_{out}$  bé hơn chuẩn thiết kế thì  $V_G$  cũng giảm, lúc này do  $V_G$  giảm nên  $V_{SG} = V_S - V_G$  tăng. Ta có  $I_{pmos} = \frac{1}{2} \mu_P C_{ox} \frac{W}{L} (V_{SG} - |V_{TP}|)^2$  nên khi  $V_{SG}$  tăng thì  $I_{pmos}$  cũng tăng điều này làm cho  $V_{out}$  tăng trở lại

Ngoài vấn đề liên quan đến chênh lệch giữa điện áp ngõ vào và ngõ ra thì đối với một bộ LDO, ta cũng cần quan tâm đến các vấn đề như sau

1. Tỷ số chống nhiễu nguồn (Power Supply Rejection Ration – PSRR) hay còn được gọi là Line Regulation, được định nghĩa bởi  $\frac{\partial V_{out}}{\partial V_{in}}$ . Line regulation cho biết mức độ thay đổi của điện áp đầu ra khi có sự thay đổi điện áp đầu vào
2. Load Regulation, được định nghĩa bằng  $\frac{\partial V_{out}}{\partial I_L}$ , biểu thị mức biến thiên của điện áp đầu ra khi có sự thay đổi về dòng tải, được đo trong trạng thái ổn định. Nó phản ánh khả năng của LDO trong việc duy trì điện áp đầu ra trước các mức dòng tải khác nhau.

## 3.2 Hệ thống hồi tiếp

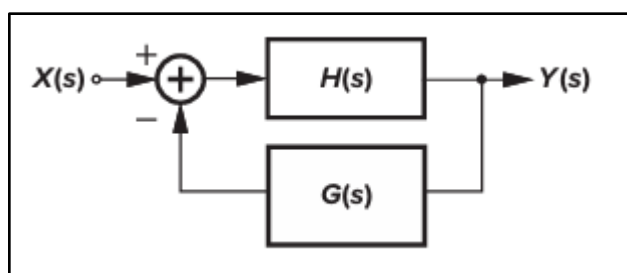
### 3.2.1. Tổng quan về hệ thống hồi tiếp

Trên thực tế việc sử dụng thêm mạng hồi tiếp sẽ giúp hệ thống được ổn định hơn, lấy ví dụ như một chiếc xe ô tô đang xuống dốc, trong trường hợp không dùng phanh cơ học thì tốc độ của xe sẽ tăng dần theo thời gian

Như vậy để tránh cho vận tốc xe tăng quá cao, giả sử đặt giới hạn là 45km/h. Ta cần một thiết bị cảm biến để đo vận tốc của xe sau đó chuyển vận tốc đó thành dưới dạng điện áp. Điều ta cần tiếp theo ở đây chính là một hệ thống có thể so sánh giữa vận tốc hiện tại với vận tốc giới hạn được đặt ra (tất nhiên là dưới dạng điện áp) sao cho khi vận tốc hiện tại lớn hơn vận tốc giới hạn thì ngõ ra của hệ thống sẽ giảm từ đó điều chỉnh cho vận tốc của xe giảm lại.

Một thiết bị có hai ngõ vào và một ngõ ra được xác định dựa trên sự sai lệch của hai ngõ vào, với mô tả trên thì Op – Amp chính là một sự lựa chọn hợp lý.

Như vậy, việc đặt chiếc xe vào một hệ thống hồi tiếp sẽ giúp chiếc xe tự cân bằng và ổn định hơn về tốc độ so với khi không có mạng hồi tiếp. Tiếp theo, em sẽ đi vào giới thiệu một hệ thống hồi tiếp tổng quát.



Hình 2. Sơ đồ của một mạng hồi tiếp

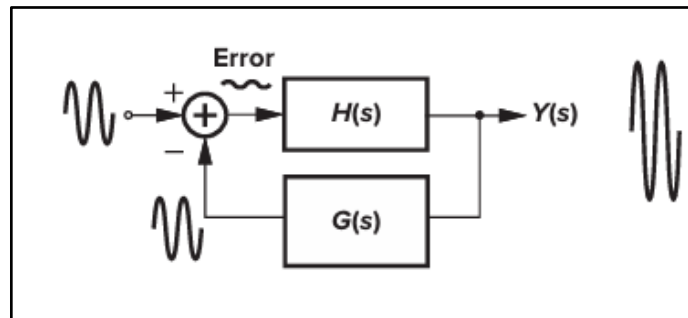
Dựa trên sơ đồ, một mạng hồi tiếp tổng quát sẽ bao gồm 4 thành phần chính. Trên thực tế mặc dù các thành phần này không được thể hiện rõ ràng trong mạch tuy nhiên một hệ thống hồi tiếp luôn bao gồm đủ bốn thành phần sau đây:

- 1. Khối  $H(s)$ :** là thành phần feedforward, ở ví dụ bên trên là chiếc xe ô tô.
- 2. Khối  $G(s)$ :** Là thành phần feedback network, có thể là dây dẫn hoặc 1 mạng chia áp.
- 3. Sensing Mechanism:** Là thành phần xác định tín hiệu ở ngõ ra của  $H(s)$  để feedback về ở ví dụ trên chính là cảm biến tốc độ.
- 4. Subtractor:** Là thành phần so sánh tín hiệu được feedback với tín hiệu tham chiếu để điều khiển ngõ ra, ở ví dụ bên trên thành phần này chính là Op – Amp.

Với một hệ thống hồi tiếp thông thường ta sẽ thấy hai loại chính là hồi tiếp âm và hồi tiếp dương, hồi tiếp âm phù hợp với các ứng dụng yêu cầu xử lý tín hiệu có độ chính xác cao, trong khi đó hồi tiếp dương thích hợp hơn trong việc xây dựng các bộ tạo

dao động. Trong khía cạnh bài tập lớn lần này, em nghiên cứu sẽ tập trung chủ yếu về hồi tiếp âm.

### 3.2.2 Hồi tiếp âm (Negative Feedback)



Hình 3. Sơ đồ của hệ thống hồi tiếp âm

Về cơ bản, nếu nhìn trên sơ đồ ta có thể nhận biết được đây là hồi tiếp âm dựa trên dấu “-” của tín hiệu hồi tiếp, tuy nhiên dấu “-” này không phải lúc nào cũng trùng với ngõ vào đảo trên Op – Amp mà trên thực tế khi thiết kế mạch em cần phải dựa vào mạch thực tế để xác định.

Dựa vào sơ đồ bên trên, em có thể dễ dàng viết được hàm của Y(s) như sau:

$$Y(s) = H(s)[X(s) - G(s).Y(s)] \quad (1)$$

Từ đó em rút ra được hàm truyền tổng quát của hệ thống trên:

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + G(s).H(s)} \quad (2)$$

Xét dưới góc độ một mạch khuếch đại, giả sử H(s) là một hệ thống có độ lợi vòng hở (open – loop gain) là A và G(s) hay feedback network được kí hiệu là K hay còn gọi là hệ số hồi tiếp. Từ phương trình tổng quát, em có được quan hệ vào – ra của trường hợp này như sau:

$$\frac{Y}{X} = \frac{A}{1 + KA} \quad (3)$$

(Với độ lợi vòng hở (open – loop gain) chính là độ lợi ban đầu của hệ thống khi chưa gắn vào mạng hồi tiếp. Hay nói cách khác ở trường hợp này hệ số feedback K = 0)

Trong tự em định nghĩa nên khái niệm độ lợi vòng kín (closed – loop gain) chính là độ lợi của hệ thống khi em thiết lập thêm mạng hồi tiếp hay chính là phương trình (3) em vừa thể hiện bên trên)

Dựa vào hình 3, em quan sát thấy một tín hiệu xuất hiện phía sau bộ so sánh tên “error” có tên như vậy bởi vì tín hiệu này thể hiện cho độ lệch của tín hiệu hồi tiếp so với tín hiệu chuẩn được tạo ra bởi bộ so sánh. Với giả sử gọi tín hiệu hồi tiếp là U, em có thể xác định được Error như sau:

$$Error = X - U = X - K.Y = X - K.\frac{A.X}{1 + K.A} = X \left(1 - \frac{KA}{1 + KA}\right) \quad (4)$$

Trong thiết kế, tất nhiên em luôn mong muốn tín hiệu feedback về có độ lệch so với chuẩn là nhỏ nhất, hay Error tiến về không, dựa vào phương trình trên để thỏa điều kiện đó em cần có  $K.A \gg 1$ . Như vậy đối với một hệ thống hồi tiếp tốt,  $\text{error} \rightarrow 0$ .

$X \approx U$ , nói cách khác tín hiệu hồi tiếp  $U$  lúc này được coi như là một “bản sao” của tín hiệu đầu vào.

### 3.2.2.1. Các vấn đề của hồi tiếp âm (Negative feedback)

#### 3.2.2.1.1 Giảm độ nhạy của độ lợi (Gain Desensitization)

Em có độ lợi vòng kín (closed – loop gain) của một hệ thống được cho bởi phương trình sau:

$$\frac{Y}{X} = \frac{A}{1 + KA}$$

Em giả sử độ lợi vòng hở (open – loop gain) của hệ thống  $A$  giảm từ  $A_1 = 100$  xuống  $A_2 = 50$ , chọn  $K = 0.1$  em suy ra được độ lợi vòng kín ở hai trường hợp trên:

$$A_{\text{closed-loop gain } 1} = \frac{100}{1 + 0.1 * 100} \approx 9.09$$

$$A_{\text{closed-loop gain } 2} = \frac{50}{1 + 0.1 * 50} \approx 8.33$$

Quan sát với độ lợi vòng hở giảm đi 50% thì độ lợi của vòng hồi tiếp chỉ giảm tầm 10%, như vậy bằng cách sử dụng vòng hồi tiếp âm em có thể làm cho độ lợi hiệu dụng (closed – loop gain) ít phụ thuộc hơn vào độ lợi nội tại của hệ thống (open – loop gain) – thông số mà có thể bị thay đổi khi chịu tác động của nhiệt độ, nguồn cấp hay đặc biệt là tần số.

Như đã nhận xét trước đó, một hệ thống có hồi tiếp được thiết kế tốt là một hệ thống có tín hiệu hồi tiếp xấp xỉ với tín hiệu ngõ vào hay nói cách khác  $K.A \gg 1$ , với điều kiện đó lúc này em có thể xấp xỉ:

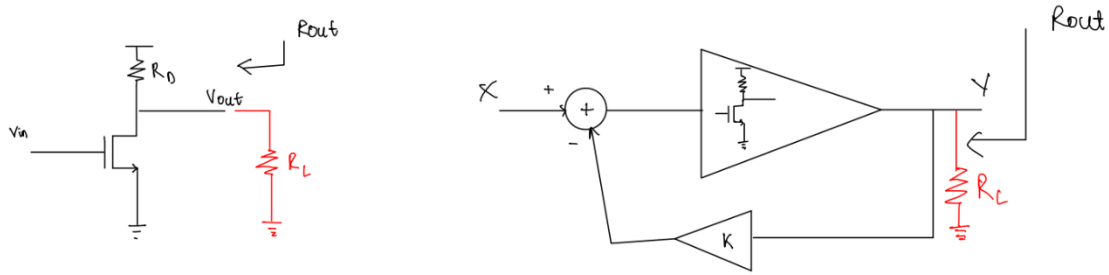
$$\frac{Y}{X} \approx \frac{1}{K} \quad (5)$$

Suy ra được rằng việc thiết kế sao cho  $K.A \gg 1$  ngoài việc làm giảm sự lệch của tín hiệu hồi tiếp so với tín hiệu chuẩn còn làm cho độ lợi thực tế của hệ thống có hồi tiếp ít bị ảnh hưởng bởi độ lợi vòng hở. Bên cạnh đó, từ phương trình (4) em nhận xét rằng để độ lợi lớn hơn 1 em thường thiết kế sao cho hệ số hồi tiếp  $K$  nhỏ hơn 1.

(Một số tài liệu gọi  $K.A$  là loop – gain)



### 3.2.2.1.2 Điều chỉnh trở kháng vào – ra ( Modification of Input and Output impedance)



Hình 4. Mạch khuếch đại không có hồi tiếp (bên trái) và có hồi tiếp (bên phải)

Giả sử mạng hồi tiếp ở trường hợp này được thực hiện bằng một mạng chia áp → hệ số hồi tiếp  $K = 0.5$ , tất cả điện trở trong mạch được khởi tạo giá trị bằng 1K Ohm. Điện trở ngõ ra ở trường hợp không có hồi tiếp:  $R_{OUT} = R_{LOAD} // R_D = \frac{1.1}{1+1} = 0.5 (kOhm)$ .

Như vậy với việc mắc thêm mạng hồi tiếp, điều này làm cho trở kháng đầu ra tổng thể của mạch sẽ bị giảm. Bên cạnh đó, em sẽ thử xét xem độ lợi ở cả hai trường hợp này:

#### Trường hợp không có hồi tiếp:

Giả sử độ lợi ban đầu khi không có tải:  $A_V = -50$ ,  $R_{OUT} = R_D$ .

Khi có tải:  $R_{OUT}$  bị giảm 50% như đã tính bên trên dẫn tới lúc này  $A_V = -25$ .

#### Trường hợp có hồi tiếp:

Khi chưa có tải:  $A_{closed-loop} = \frac{50}{1+0.5.50} \approx 1.92$

Khi có tải:  $A_{closed-loop} = \frac{25}{1+0.5.25} \approx 1.85$

Điều này cũng cho thấy rằng việc khi có hệ thống hồi tiếp thì độ lợi hiệu dụng sẽ ít bị ảnh hưởng bởi tải hơn, bởi em có thể quan sát thấy khi có tải độ lợi vòng hở giảm 50% tuy nhiên cùng với tải đó, độ lợi vòng kín chỉ giảm tầm 4%.

### 3.2.2.1.3. Điều chỉnh băng thông (Bandwidth Modification)

Giả sử em đang xét một bộ khuếch đại chỉ có một cực với độ lợi vòng hở là  $A$ , và  $\omega_0$  là băng thông 3db hay tần số cực, em có hàm truyền được cho như sau:

$$A(s) = \frac{A}{1 + \frac{s}{\omega_0}} \quad (6)$$

Như vậy với  $A_{closed-loop} = \frac{A}{1+KA}$ , suy ra hàm truyền của hệ thống có hồi tiếp là:

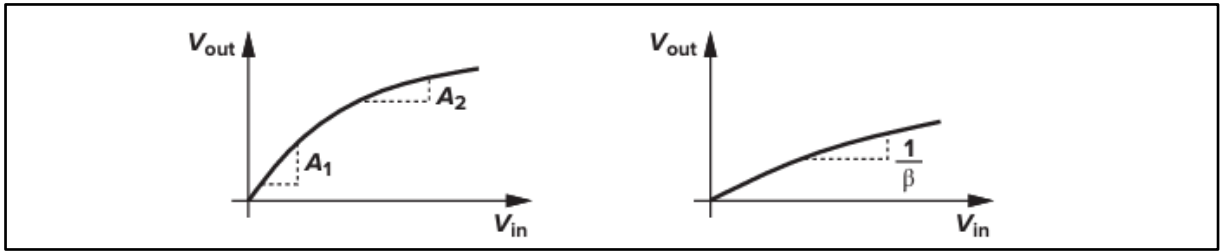
$$\begin{aligned}
\frac{Y}{X}(s) &= \frac{\frac{A}{1+KA}}{1+K \cdot \frac{A}{1+\omega_0 s}} \\
&= \frac{A}{1+KA + \frac{S}{\omega_0}} \\
&= \frac{\frac{A}{1+KA}}{1 + \frac{S}{(1+KA)\omega_0}}
\end{aligned}$$

Từ phương trình (6), em dễ dàng tính ra được cực của hệ thống hồi tiếp bằng cách cho mẫu số bằng 0, em được:

$$s = -\omega_0(1 + K.A) \quad (7)$$

Như vậy em có thể nhận thấy rằng, việc thiết lập thêm hệ thống hồi tiếp làm cho  $A_{\text{closed-loop}}$  bị giảm so với  $A_{\text{open-loop}}$ , tuy nhiên băng thông 3db của mạch lúc này lại rộng hơn lúc không có hồi tiếp.

#### 3.2.2.1.4. Giảm sự không tuyến tính của mạch (Nonlinearity Reduction)



Hình 5. Đặc tuyến vào ra của mạch khuếch đại, trái (không hồi tiếp), phải (hồi tiếp)

Một cách đơn giản, em có thể thấy rằng độ lợi của mạch trên đặc tuyến vào ra chính là độ dốc của đặc tuyến, như em đã phân tích ở bên trên, khi có hệ thống hồi tiếp độ lợi vòng kín (hiệu dụng) sẽ chịu ảnh hưởng ít hơn bởi độ lợi vòng hở. Hay khi quan sát trên biểu đồ, giả sử với đặc tuyến bên trái, độ dốc tại  $A_2$  nhỏ hơn tại  $A_1$  chênh lệch là  $x$  thì với đặc tuyến bên phải độ dốc cũng nhỏ hơn tuy nhiên độ chênh lệch sẽ  $< x$ . Điều này là chính xác khi như đã chứng minh bên trên, ở cùng một điều kiện thì độ lợi vòng kín sẽ giảm ít hơn độ lợi vòng hở, để trực quan hơn em xét ví dụ sau đây:

Giả sử tỉ số giữa  $A_2$  và  $A_1$  là  $r_{\text{open-loop}} \rightarrow r_{\text{open-loop}} = \frac{A_2}{A_1}$  với  $A_2 = A_1 - \Delta A$

$$\rightarrow r_{\text{open-loop}} = 1 - \frac{\Delta A}{A_1}$$

Xét tỉ số giữa  $A_2$  và  $A_1$  khi có vòng hồi tiếp

$$r_{\text{closed-loop}} = \frac{\frac{A_2}{1+K.A_2}}{\frac{A_1}{1+K.A_1}} \text{ thay } A_2 = A_1 - \Delta A$$



### Hình 7: Mô hình tổng quát hồi tiếp âm

Ta có hàm truyền của một hệ thống hồi tiếp âm được cho bởi phương trình sau

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + K.H(s)}$$

(Để thống nhất với các phần lý thuyết trước, em sẽ dùng ký hiệu  $K$  thể hiện cho hệ số hồi tiếp thay vì  $\beta$  như trong hình, chỉ khác ký hiệu còn về bản chất là không đổi)

Thay  $s = j\omega$  ta được đáp ứng tần số của hệ thống hồi tiếp như sau

$$\frac{Y}{X}(j\omega) = \frac{H(j\omega)}{1 + K.H(j\omega)}$$

Quan sát hàm truyền, ta nhận thấy được giả sử có tồn tại  $\omega$  làm cho  $K.H(j\omega) = -1$  (Loop – Gain) lúc này  $\frac{Y}{X}(j\omega) \rightarrow \infty$  hay nói cách khác tại tần số này với chỉ ngõ vào rất rất nhỏ cũng có thể làm tín hiệu ở ngõ ra là rất lớn, từ đây ta định nghĩa ra được khái niệm về “hệ thống không ổn định”

Trên thực tế đặc điểm này sẽ phù hợp với mục đích tạo ra một bộ dao động tuy nhiên đối với một bộ khuếch đại thì đây lại là yếu tố mà ta cần khắc phục khi thiết kế

Mặt khác  $K.H(j\omega) = -1$  có thể được biểu diễn thành

$$|KH(j\omega)| = 1$$

$$\arg[K.H(j\omega)] = 180^\circ$$

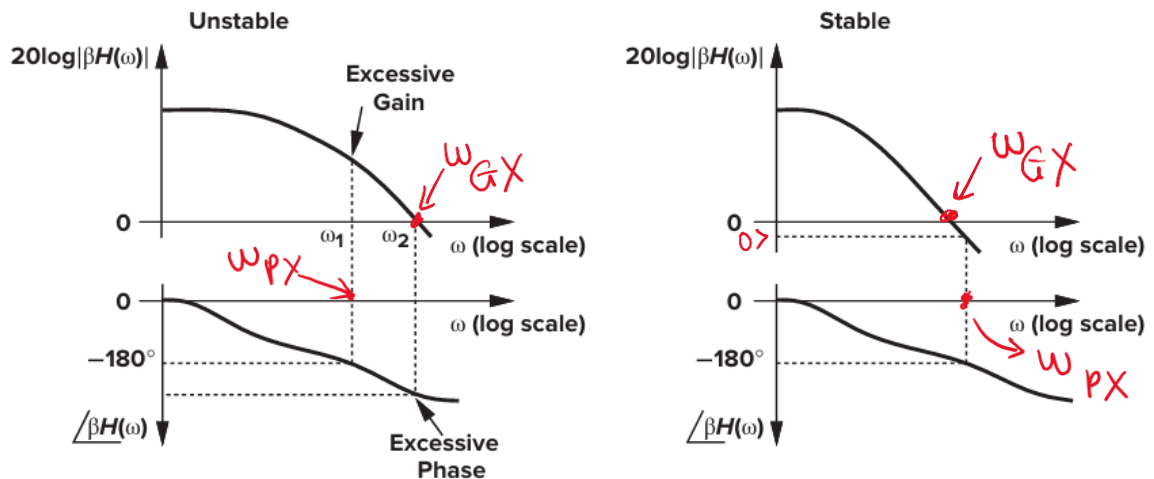
Do bản thân  $K$  là một hệ số gần như không phụ thuộc vào tần số dẫn đến không có sự lệch pha đáng kể hay nói cách khác

$$\arg[K.H(j\omega)] \approx \arg[H(j\omega)]$$

Song trên thực tế một hệ thống không ổn định không nhất thiết đáp ứng biên độ phải luôn bằng 1 mà đại lượng này có thể lớn hơn 1, chỉ cần đáp ứng pha bằng  $180^\circ$  là thoả điều kiện để nhận xét rằng một hệ thống không ổn định, cụ thể một hệ thống không ổn định khi

$$|KH(j\omega)| \geq 1$$

$$\arg[H(j\omega)] = 180^\circ$$



Hình 8: Ví dụ về tính ổn định của hệ thống hồi tiếp âm

Ta sẽ phân tích thêm về tính ổn định của hệ thống hồi tiếp dựa vào sơ đồ trên

Đầu tiên ta sẽ xét hệ thống bên phải, quan sát thấy rằng tại tần số mà đáp ứng pha của hệ thống là  $180^\circ$  thì đáp ứng biên độ của hệ thống  $< 0 \rightarrow$  hệ thống ổn định, mặt khác ta có thể nhận xét rằng do tần số gây ra sự đảo pha, khiến cho hệ thống từ hồi tiếp âm thành hồi tiếp dương (trễ pha  $180^\circ$ ) không nằm trong băng thông hoạt động của mạch nên mạch được đánh giá là ổn định

Tương tự đối với hệ thống bên trái, quan sát thấy rằng tại tần số mà đáp ứng pha của hệ thống trễ  $180^\circ$  thì đáp ứng biên độ đang lớn hơn 1 hay tần số gây ra sự đảo pha, khiến cho hệ thống từ hồi tiếp âm thành hồi tiếp dương (trễ pha  $180^\circ$ ) nằm trong băng thông hoạt động của mạch nên ta có thể đánh giá hệ thống trên là không ổn định

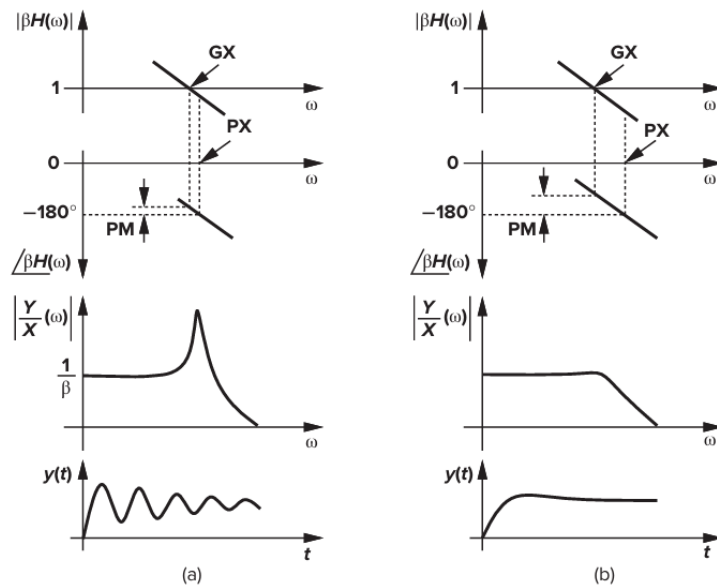
Ta định nghĩa ra hai khái niệm

1.  $\omega_{GX}$  (Gain cross-over frequency): Là tần số mà tại đó đáp ứng về biên độ của hệ thống  $= 1$  (hay 0dB)
2.  $\omega_{PX}$  (Phase cross-over frequency): Là tần số mà tại đó mạch bị đảo pha  $180^\circ$

Từ ví dụ trên ta kết luận rằng để cho một hệ thống ổn định cần thiết kế sao cho  $\omega_{PX} > \omega_{GX}$

#### 3.2.4.1. Độ dãn trữ pha (Phase Margin)

Như đã đề cập ở phần lý thuyết bên trên, để một hệ thống ổn định, ta cần phải thiết kế sao cho  $\omega_{PX} > \omega_{GX}$



Hình 9: So sánh giữa hai Phase Margin khác nhau

Phase Margin (độ dự trữ pha) được định nghĩa là độ lệch pha giữa pha tại  $\omega_{GX}$  và  $\omega_{PX}$  với điều kiện  $\omega_{PX} > \omega_{GX}$ . Quan sát đồ thị trên ta nhận thấy được rằng Phase Margin càng lớn hay khoảng cách giữa  $\omega_{PX}$  và  $\omega_{GX}$  càng lớn thì sẽ mang lại sự ổn định hơn ở ngõ ra

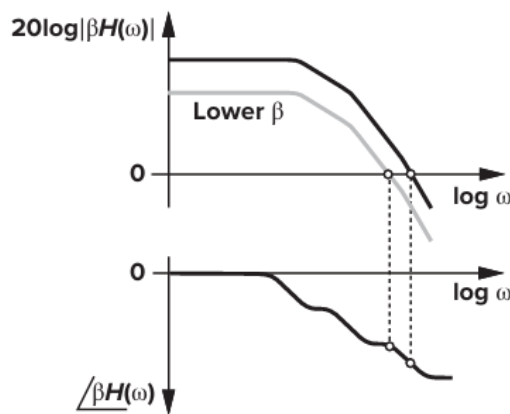
Từ định nghĩa ta có thể rút ra được công thức tính Phase Margin như sau:

$$PM = \arg[H(j\omega_{GX})] + 180^\circ \quad (9)$$

#### 3.2.4.2. Bù tần số (Frequency Compensation)

Việc một hệ thống mất ổn định trong thiết kế là điều không thể tránh khỏi, vấn đề đặt ra ở đây là làm sao để cải thiện tính ổn định, ý tưởng được đề ra chính là kéo  $\omega_{GX}$  gần lại hoặc  $\omega_{PX}$  xa ra.

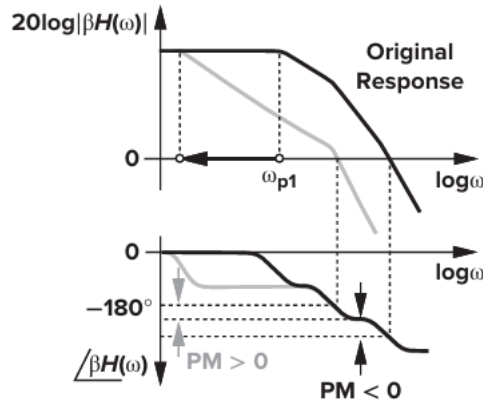
Trước hết ta sẽ thử giảm hệ số hồi tiếp



Hình 10: Đáp ứng của hệ thống khi giảm hệ số hồi tiếp

Nhận thấy được rằng việc giảm hệ số hồi tiếp của mạch có thể làm  $\omega_{GX}$  gần lại khiến cho mạch ổn định hơn, tuy nhiên giảm hệ số hồi tiếp khiến cho loop – gain giảm, điều này đồng nghĩa với việc làm cho vòng hồi tiếp yếu đi nên việc tăng tính ổn định của hệ thống bằng việc làm giảm hệ số hồi tiếp là không được khuyến khích ở trường hợp này

Với cùng một ý tưởng, ta có  $f = \frac{1}{R.C}$  nên để giảm tần số của cực dominant xuống hay kéo  $\omega_{GX}$  gần lại ta có thể tăng thêm tụ cho cực dominant của mạch

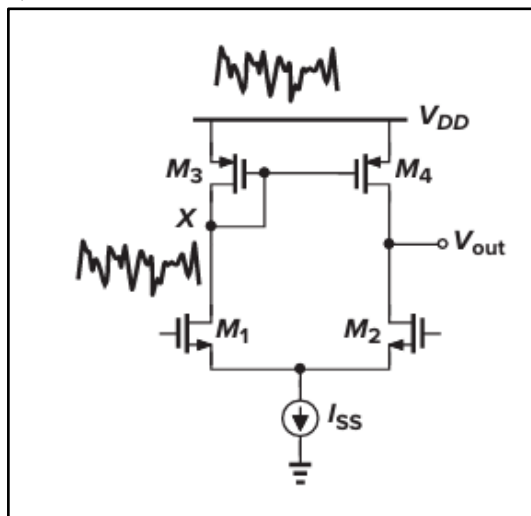


Hình 11: Hệ thống sau khi được thêm tụ bù

Việc thêm tụ bù để ổn định hệ thống được khuyến khích sử dụng hơn là việc làm giảm hệ số hồi tiếp, tuy nhiên dựa theo hình ta có thể thấy được việc kéo  $\omega_{GX}$  gần lại cũng khiến cho băng thông bị hẹp đi, đây là một vấn đề mà ta cần chú ý khi thiết kế

### 3.3. Tỷ số chống nhiễu nguồn (Power supply rejection ratio – PSRR)

Trong các mạch khuếch đại, hay ở trường hợp của bài tập lớn lần này là Op–Amp thường có nguồn cấp với tỉ lệ nhiễu cao do đó bản thân mạch khuếch đại phải được thiết kế có khả năng loại bỏ nhiễu từ nguồn cấp một cách hiệu quả. Xét một mạch vi sai với tải chủ động (Active load).



Hình 12. Chống nhiễu nguồn mạch vi sai với active load

Giả sử mạch ở hình 7 là mạch đối xứng, lúc này  $V_{out} = V_x$ . Bởi vì M3 được mắc theo kiểu diode – connected nên điện áp ở nút X luôn bằng  $V_{DD} - V_{TH3}$ . Do đó  $V_{out}$  cũng bằng  $V_{DD} - V_{TH3}$  nên  $V_{out}$  sẽ thay đổi cùng khoảng điện áp với  $V_{DD}$ , hay nói cách khác độ lợi từ  $V_{DD}$  đến  $V_{out}$  gần như bằng 1. Tỉ số chống nhiễu nguồn (Power supply rejection ratio – PSRR) được định nghĩa bằng tỉ số giữa độ lợi từ ngõ vào đến ngõ ra chia cho độ lợi từ nguồn đến ngõ ra. Ở tần số cao công thức tính PSRR được cho như sau

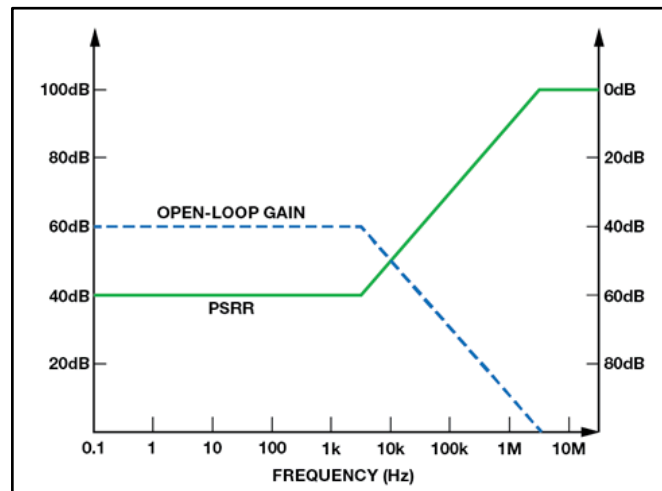
Ở tần số thấp, như đã phân tích ở trên độ lợi từ nguồn đến ngõ ra xấp xỉ bằng 1, hay nói cách khác  $V_{DD}$  thay đổi  $\Delta V$  thì  $V_{out}$  cũng thay đổi  $\Delta V$ .

$$\text{Từ đó} \rightarrow \text{PSRR}_{\text{low-frequency}} = g_{mN}(r_{OP}/r_{ON}) \quad (10)$$

Như vậy có thể nhận xét rằng với PSRR càng cao thì càng tốt vì độ lợi từ nguồn cấp đến ngõ ra càng nhỏ hay nói cách khác ngõ ra bị ảnh hưởng ít hơn khi nguồn cấp bị thay đổi (nhiều).

Xét Power Supply Rejection Ratio với mạch LDO, với  $V_{in}$  là  $V_{dd}$  ta có biểu thức tính PSRR như sau

$$\text{PSRR} = 20 \log \frac{\Delta V_{out}}{\Delta V_{in}} \quad (\text{dB}) \quad (11)$$



Hình 13: Mối quan hệ giữa Loop – Gain và PSRR

Dựa vào hình 13 có thể thấy được rằng khi ra ngoài bảng thông thiết kế độ lợi hở mạch của Op – Amp bị giảm kéo theo PSRR của mạch cũng giảm theo điều này cho thấy rằng độ lợi của Op – Amp đóng vai trò rất quan trọng trong việc có được một PSRR tốt (công thức toán được chứng minh ở phần pass transistor)



### 3.4. Các vấn đề cơ bản về nhiễu

#### 3.4.1. Khái niệm tổng quát về nhiễu

Nhiều là một biến số ngẫu nhiên, tức là ngay cả khi ta có dữ liệu về trạng thái trước đó của nó ta cũng không thể dự đoán được trạng thái của nó sau này là gì, tuy nhiên đối với mạch điện, có một yếu tố của nhiễu mà ta có thể dự đoán và tính toán được đó chính là công suất trung bình vì hầu hết trong các mạch điện thì công suất trung bình là không đổi

Công thức tính công suất trung bình được cho như sau

$$P_{av\_RL} = \int_{-\frac{T}{2}}^{\frac{T}{2}} \frac{V^2(t)}{R_L} dt \quad (12)$$

Về mặt toán học công suất trung bình (xét trong một chu kì) là phép lấy tích phân với cận từ  $-\frac{T}{2}$  đến  $\frac{T}{2}$

Với T thể hiện cho chu kì của tín hiệu, đơn vị của  $P_{av}$  là Watt thể hiện cho nhiệt lượng trung bình toả ra trên  $R_L$  gây ra bởi  $V^2(t)$

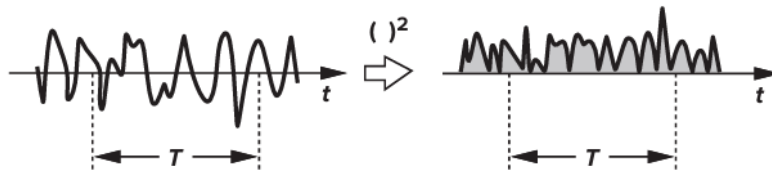


Figure 7.3 Average noise power.

Hình 14: Minh họa cho phép tính công suất nhiễu

Một cách khác, nếu chỉ xét riêng về công suất trung bình của tín hiệu  $[x(t)]$  mà không quan tâm tín hiệu đó được truyền vào tải nào, một cách tương tự ta có công thức công suất trung bình ở trường hợp này như sau

$$P_{av} = \int_{-\frac{T}{2}}^{\frac{T}{2}} x^2(t) dt \quad (13)$$

Đơn vị của công suất trung bình lúc này chính là bằng  $V^2$  thay vì Watt, ý tưởng ở đây chính là nếu ta có được công suất được tính như phương trình (13), ta có thể tính được công suất trung bình tổng quát được tạo ra bởi tải trở bằng

$$P_{av\_RL} = \frac{P_{av}}{R_L} \quad (14)$$

Đồng thời ta có thể định nghĩa ra điện áp hiệu dụng như sau

$$V_{rms} = \sqrt{P_{av}}$$

### 3.4.2. Mật độ công suất nhiễu

Vấn đề đặt ra là sẽ như thế nào khi ta nhắc tới công suất trung bình của tín hiệu dưới góc độ tần số. Ta định nghĩa nên một khái niệm được gọi là **Mật độ công suất nhiễu – Power Spectral Density (PSD)**, khái niệm này thể hiện lượng công suất mà tín hiệu tạo ra ở một tần số nhất định, cụ thể hơn PSD hay kí hiệu là  $S_x(f)$  của một tín hiệu  $x(t)$  được định nghĩa là công suất trung bình của tín hiệu trong băng thông 1 Hert quanh tần số mà ta đang xét. Từ định nghĩa bên trên ta có thể rút ra được thứ nguyên của PSD chính là watt/hert (W/Hz)

**Ví dụ:** ta đang khảo sát PSD của tín hiệu tại tần số 100Hz tức là ta đang tính công suất trung bình của tín hiệu trong băng thông từ 99Hz đến 101Hz

Như thứ nguyên của  $P_{av}$  đã được định nghĩa ở phương trình (2) chính là  $V^2$  lúc này ta có thể viết thứ nguyên của  $S_x(f)$  là  $V^2/Hz$  thay vì  $W/Hz$ . Thường thì các tài liệu sẽ lấy căn bậc 2 để biểu thị thứ nguyên của đại lượng này chính là  $\frac{V}{\sqrt{Hz}}$ , một cách hiểu khác chính là việc lấy căn bậc hai sẽ cho ta giá trị hiệu dụng của PSD

**Ví dụ:** Ta có nhiễu điện áp ngõ vào của một bộ khuếch đại tại tần số 100Mhz là  $3 \frac{nV}{\sqrt{Hz}}$  chính là đang thể hiện công suất trung bình ở băng thông 1 – Hezt quanh 100Mhz của tín hiệu nhiễu là  $(3 \times 10^9)^2 V^2$  hay điện áp nhiễu ở trường hợp này là 3nV

**Định lí:** Giả sử có một hệ thống tuyến tính bất biến theo thời gian có hàm truyền  $H(s)$ , trong trường hợp này mật độ phổ công suất nhiễu ở ngõ ra được cho như sau

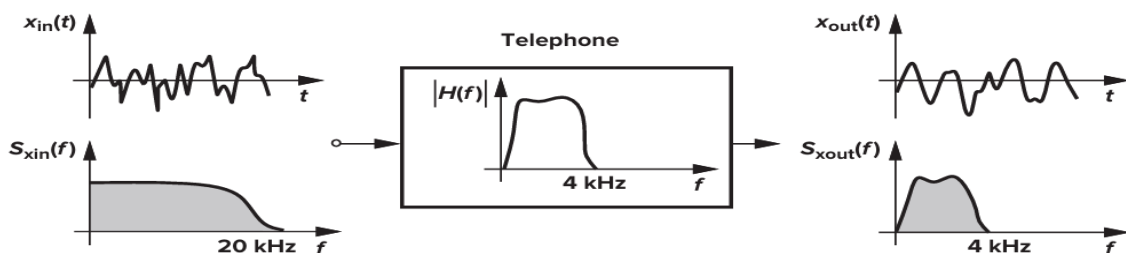
$$S_Y(f) = S_x(f) \cdot |H(f)|^2 \quad (15) \quad ; \quad \text{với } H(f) = H(s = 2\pi jf)$$

Phương trình này cho thấy rằng cũng giống như quan hệ tín hiệu thông thường

$$Y(s) = X(s) * H(s)$$

Thì mật độ phổ công suất ở ngõ ra của một hệ thống cũng bị ảnh hưởng bởi hàm truyền của hệ thống

**Ví dụ:** Xét một hệ thống có hàm truyền  $H(f)$  được mô tả như hình sau:



Hình 15: Minh họa một điện thoại có băng thông 3Khz

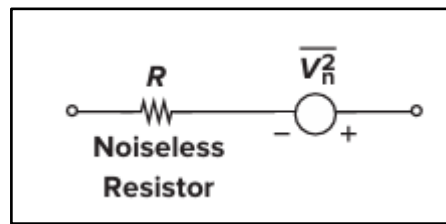
Ta quan sát thấy rằng hệ thống trên có băng thông xấp xỉ là 4kHz, với băng thông này nó giới hạn băng thông ở ngõ ra chỉ còn 4kHz dù cho tín hiệu ngõ vào có băng thông là 20kHz, hay nói cách khác hệ thống đã triệt đi các thành phần tần số cao của tín hiệu ngõ vào. Trong miền thời gian ta có thể thấy được rằng với băng thông làm cho tín hiệu ngõ ra có sự thay đổi “chậm” hơn so với ngõ vào

### 3.4.3. Phân loại về nhiễu

Tín hiệu tương tự trong các mạch tích hợp sẽ bị nhiễu bởi hai yếu tố, đó chính là nhiễu do thiết bị trong mạch gây ra và nhiễu do môi trường gây ra. Trong phần cơ sở lý thuyết này, ta sẽ đề cập về nhiễu do thiết bị trong mạch gây ra

#### 3.4.3.1. Nhiễu nhiệt (Thermal Noise) do điện trở

Trên thực tế, kể cả trường hợp không có dòng điện trên dây dẫn hay bất kì vật liệu nào thì do ảnh hưởng bởi nhiệt độ, sự chuyển động hỗn loạn của các electron trong dây dẫn vẫn gây ra một sự biến đổi điện áp trên đường dây hay nói cách khác dưới tác động của nhiệt độ làm xuất hiện một nguồn điện áp không mong muốn, ta xác định đó là “nhiễu”, điện trở cũng là một vật liệu gây ra nhiễu nhiệt, ta mô hình cho loại nhiễu này bằng một điện trở mắc nối tiếp với một nguồn áp nhiễu



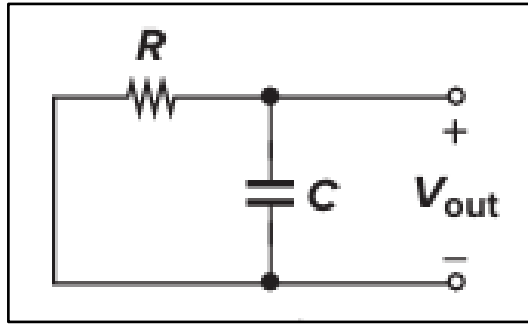
Hình 16: Mô hình hoá của nhiễu nhiệt do điện trở

Đồng thời mật độ công suất nhiễu tại một tần số  $f$  nhất định được cho như sau

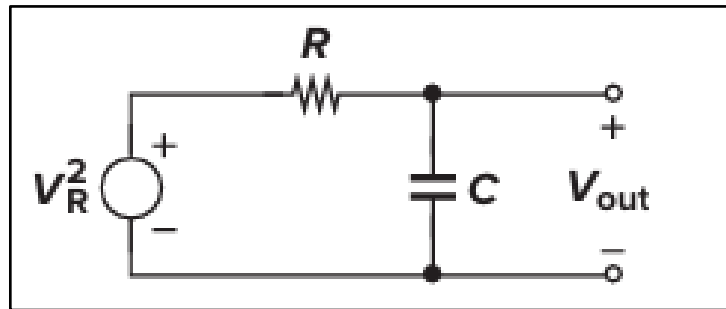
$$S_v(f) = 4kTR \quad (16)$$

**Ví dụ:** cho một điện trở  $50 \, \Omega$  tại nhiệt độ  $T = 300 \, \text{K}$  có mật độ phổ công suất nhiễu nhiệt là  $8.28 \times 10^{-19} \, \text{V}^2/\text{Hz}$  hay  $0.91 \times 10^{-19} \frac{\text{V}}{\sqrt{\text{Hz}}}$ . Ta có thể hiểu rằng ở băng thông 1 – Herzt quanh một tần số xác định thì công suất của tín hiệu là  $(0.91 \times 10^{-19})^2 \, \text{V}^2$

**Ví dụ:** Xét một mạch RC như sau



Như đã đề cập bên trên, ta sẽ mô hình nhiễu do nhiệt độ gây ra bằng một nguồn áp, từ đó ta có mô hình tương đương



Từ mô hình mạch ta dễ dàng rút ra được hàm truyền của mạch trên

$$H(s) = \frac{V_{out}}{V_R} = \frac{1}{RCs + 1}$$

Áp dụng định lý:  $S_Y(f) = S_x(f) \cdot |H(f)|^2$

Ta rút ra được  $S_{n,out}(f) = 4kTR \cdot \left( \frac{1}{R.C.2\pi jf + 1} \right)^2$

Để tính tổng công suất của tín hiệu nhiễu lúc này, ta đơn giản chỉ cần lấy tích phân từ 0 đến  $\infty$  của  $S_{out}(f)$

$$P_{n,out} = \int_0^\infty 4kTR \cdot \left( \frac{1}{R.C.2\pi jf + 1} \right)^2 df = \frac{kT}{C} \quad (17)$$

Như vậy với bài toán trên ta có thể kết luận rằng công suất nhiễu nhiệt ở ngõ ra là một đại lượng không phụ thuộc vào giá trị R, nguyên nhân chính là khi giá trị R tăng làm cho mật độ công suất nhiễu trên mỗi một Hz băng thông sẽ tăng tuy nhiên đồng thời R tăng cũng làm cho tần số cắt  $f = \frac{1}{RC}$  bị giảm, nhiễu trên mỗi Hz băng thông tăng tuy nhiên tổng băng thông lại giảm, hai yếu tố này làm cho công suất tổng nhiễu ở ngõ ra sẽ không bị phụ thuộc vào giá trị R, hay nói cách khác cách để làm giảm nhiễu do nhiệt độ ở ngõ ra chỉ có thể là tăng điện dung C

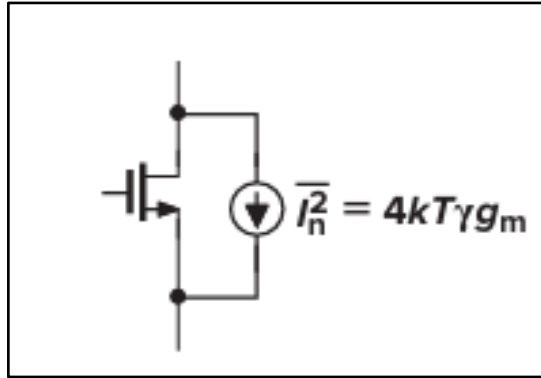
Bên cạnh đó ta hoàn toàn có thể giảm nhiệt độ để có thể tối thiểu mức nhiễu do nhiệt gây ra, tuy nhiên điều này có thể gây khó khăn vì các thiết bị làm lạnh thường có kích thước lớn và giá thành duy trì hoạt động cao

### 3.4.3.2 Nhiều nhiệt trong Mosfet

Bên cạnh được gây ra bởi một điện trở vật lý, nhiễu nhiệt còn xuất hiện bởi MOSFET cụ thể nhiễu nhiệt được tạo ra bởi kênh dẫn, lúc này biểu thức nguồn nhiễu của kênh dẫn được đưa ra như sau

$$\overline{I_n^2} = 4kT\gamma g_m (18)$$

Trong đó  $\gamma$  chính là hệ số nhiễu của kênh dẫn, thường bằng 2/3 đối với Mosfet có chiều dài kênh dẫn lớn và xấp xỉ bằng 1 đối với công nghệ nanomet,  $g_m$  là độ điện dẫn của Mosfet



Hình 17: Mô hình nguồn nhiễu cho kênh dẫn của Mosfet

Dựa vào biểu thức nguồn nhiễu, ta có thể nhận thấy rằng chỉ duy nhất đại lượng  $g_m$  là thứ mà ta có thể tác động đến và điều chỉnh được, câu hỏi đặt ra ở đây chính là ta cần phải giảm hay tăng  $g_m$  lên để giảm được mức nhiễu nhiệt.

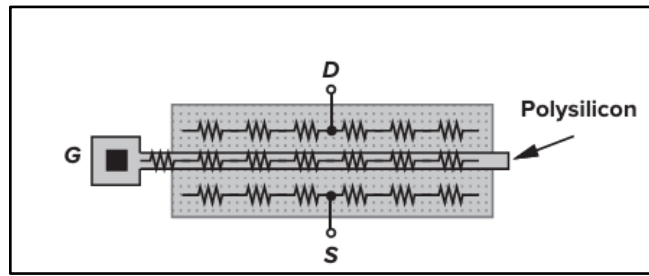
Xét trong trường hợp Mosfet hoạt động như một nguồn dòng, lúc này Mosfet có vai trò cung cấp một nguồn dòng DC ổn định, tuy nhiên dưới tác động của nhiệt dẫn đến sinh ra nhiễu, việc ta cần làm chính là không để cho Mosfet khuếch đại lượng nhiễu này lên, hay nói cách khác ở trường hợp này ta cần phải giảm  $g_m$  xuống.

Nhưng đối với trường hợp Mosfet hoạt động như một mạch khuếch đại thì việc giảm  $g_m$  lại là một lựa chọn không hợp lý. Ta sẽ xét đến tỉ lệ tín hiệu trên nhiễu trong trường hợp này

$$SNR = \frac{P_{sig}}{P_{noise}} = \frac{g_m^2 * \overline{V_n^2}}{4kT\gamma g_m} = \frac{g_m * \overline{V_n^2}}{4kT\gamma}$$

Như vậy ta kết luận rằng khi Mosfet hoạt động như một nguồn dòng thì ta cần giảm  $g_m$  để giảm nhiễu và ngược lại khi Mosfet hoạt động như một bộ khuếch đại thì cần phải tăng  $g_m$  để giảm nhiễu

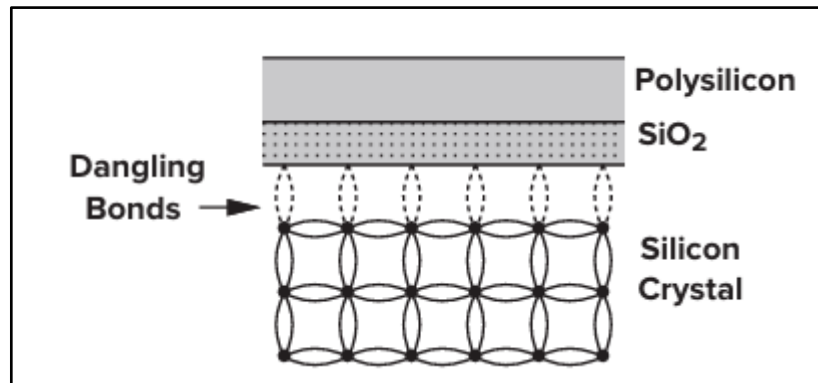
Bên cạnh việc kênh dẫn gây ra nhiễu nhiệt thì ở các tiếp xúc giữa các cực với lớp contact cũng tạo nên một điện trở hữu hạn từ đó sinh ra nhiễu nhiệt, thay vì tác động đến  $g_{ds}$  như ở phần kênh dẫn, nhiễu do các mối tiếp xúc này gây ra có thể điều chỉnh bằng việc layout



Hình 18: Mô hình điện trở tương đương ở các lớp contact

### 3.4.3.3. Nhiễu Flicker trong Mosfet

Cấu trúc cơ bản của một Mosfet bao gồm một lớp Metal hay Polysilicon tiếp đến là lớp Oxide và sau cùng chính là lớp silicon, xét về cấu trúc mạng tinh thể, một nguyên tử Si do có bốn electron lớp ngoài cùng nên cần liên kết với bốn nguyên tử Si khác để tạo thành một liên kết bền vững, tuy nhiên ở mặt tiếp xúc giữa lớp oxide và silicon do bản chất khác nhau nên dẫn đến sẽ tồn tại các nguyên tử Si ở bề mặt tiếp xúc không thể liên kết được với đủ bốn nguyên tử Si làm sinh ra các “Dangling Bonds”



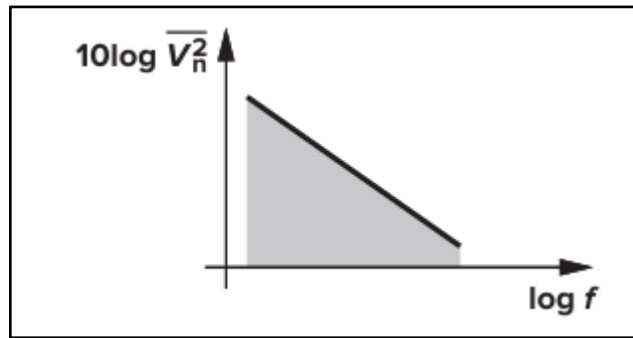
Hình 19: Khuyết tật mạng tinh thể

Khuyết tật mạng tinh thể này tạo ra một “bẫy” năng lượng (nằm ở dải cấm), cụ thể khi hạt dẫn di chuyển từ Drain đến Source hoặc ngược lại, khi đi đến gần lớp tiếp giáp giữa hai vật liệu các hạt dẫn có thể bị kéo vào “bẫy” năng lượng, sau đó được giữ lại rồi được phóng ra ở một điều kiện nào đó, việc hạt dẫn bị kéo vào và phóng ra một cách ngẫu nhiên bởi khuyết tật mạng tinh thể tạo ra nhiễu

Mật độ phổ công suất của nhiễu flicker được cho bởi phương trình sau

$$\overline{V_n^2} = \frac{K}{C_{ox}W.L} \cdot \frac{1}{f} \quad (19)$$

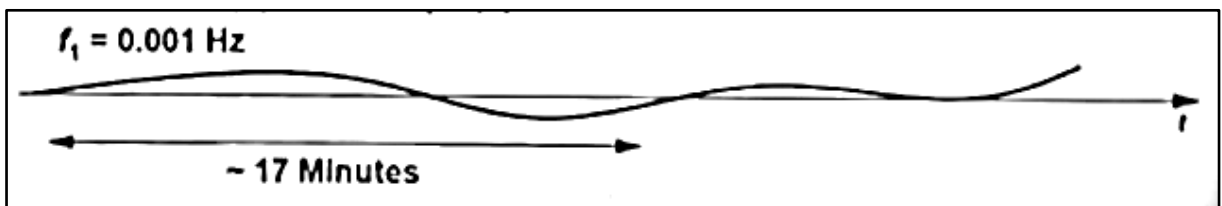
Khác với nhiễu nhiệt, nhiễu flicker phụ thuộc vào công nghệ chế tạo nên Mosfet, với phương trình trên K là hằng số phụ thuộc vào quá trình chế tạo. Như vậy chỉ duy nhất có một cách ta có thể tác động để làm giảm nhiễu flicker chính là tăng kích thước Mosfet và điện dung của tụ hình thành giữa cực cổng với kênh dẫn



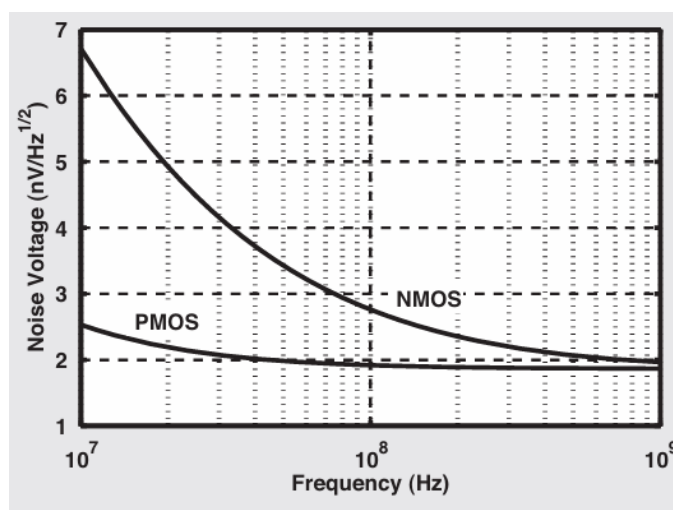
Hình 20: Quan hệ của nhiễu flicker và tần số

Dựa vào biểu thức phổ công suất nhiễu mà hình ... ta nhận thấy rằng nhiễu flicker tỉ lệ nghịch với tần số, hay có thể nói ở tần số càng cao thì nhiễu flicker càng thấp và ngược lại

Vấn đề đặt ra ở đây chính là điều gì sẽ xảy ra nếu tần số mà ta xét tiến đến 0, như đề cập bên trên nhiễu flicker mạnh khi ở tần số thấp, tuy nhiên khi tần số xấp xỉ bằng 0 (giả sử  $f = 0.001 \text{ Hz}$ ) thì lại là một câu chuyện khác. Khi tần số rất nhỏ dẫn đến chu kỳ của tín hiệu nhiễu là rất lớn với ví dụ  $f = 0.001 \text{ Hz}$  thì chu kỳ của tín hiệu  $\approx 16.7$  phút, tức tín hiệu nhiễu biến thiên rất chậm, điều này có nghĩa rằng trong trường hợp băng thông tín hiệu gốc lớn hơn nhiễu so với  $0.001 \text{ Hz}$  thì lúc này tín hiệu nhiễu một cách xấp xỉ có thể coi là không thay đổi trong khoảng băng thông mà ta xét do đó ta có thể bỏ qua nhiễu ở trường hợp này



#### 3.4.3.4. Nhiễu Flicker giữa NMOS và PMOS

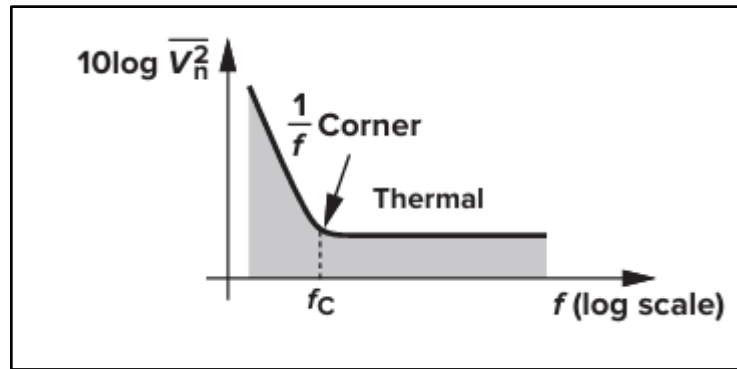


Hình 21: So sánh nhiễu Flicker giữa Nmos và Pmos

Quan sát đồ thị ta nhận thấy được đối với công nghệ nanomet thì Nmos gây nhiều flicker hơn Pmos và noise corner frequency của Nmos lên đến vài Gigahertz, điều này cho thấy rằng để giảm thiểu nhiễu flicker ta cần sử dụng Mosfet có kích thước rất lớn (trade – off)

#### 3.4.3.5. Tổng hợp giữa nhiễu nhiệt và nhiễu Flicker trong Mosfet

Mosfet tồn tại cả hai loại nhiễu là nhiễu nhiệt và nhiễu flicker, tuy nhiên ta cần xác định khi nào quan tâm tới loại nhiễu nào nhiễu hơn để thuận tiện trong việc thiết kế



Dựa vào các biểu thức về nguồn nhiễu của hai loại nhiễu này, ta có được phương trình như sau

$$4kT\gamma g_m = \frac{K}{C_{ox} \cdot W \cdot L} \cdot \frac{1}{f_c} \cdot g_m^2 \quad (\bar{I}_n^2 = \bar{V}_n^2 \cdot g_m^2)$$

$$\rightarrow f_c = \frac{K}{\gamma C_{ox} \cdot W \cdot L} \cdot g_m \cdot \frac{1}{4kT} \quad (20)$$

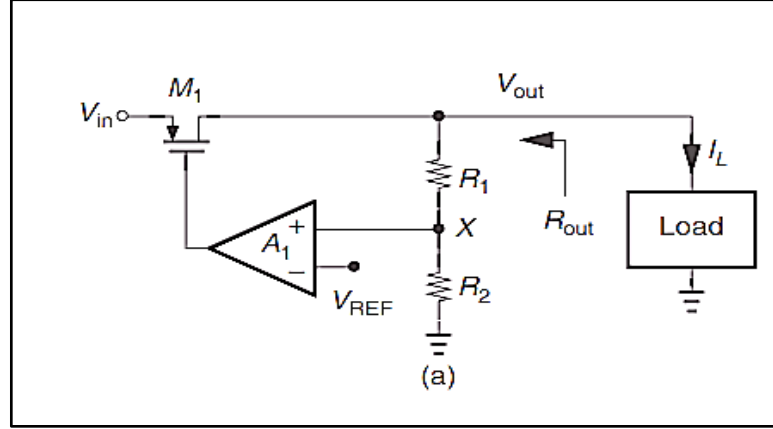
Như vậy dựa vào đồ thị...ta rút ra nhận xét rằng trước tần số  $f_c$  thì nhiễu flicker chiếm ưu thế so với nhiễu nhiệt và ngược lại.  $f_c$  được gọi là noise corner frequency và phụ thuộc vào kích thước và độ điện dẫn của Mosfet, đồng thời với công nghệ nanomet thì  $f_c$  sẽ tập trung trong khoảng 10MHz đến 50MHz

### 3.5. Pass Transistor

Trong thiết kế LDO, pass transistor có thể hoạt động với Pmos được cấu hình như một nguồn dòng hoặc một Nmos được mắc theo kiểu Source follower, mỗi một cách cấu hình đều có những ưu và khuyết điểm riêng. Trên thực tế còn có một kiểu cấu hình thứ ba chính là pass transistor hoạt động như một biến trở, tuy nhiên phương án này thường không được khuyến dùng do mang lại hiệu suất kém. Phần tiếp theo sau đây, em sẽ trình bày về hai loại cấu hình chính đó chính là nguồn dòng và source follower.



### 3.5.1. Pass transistor sử dụng Pmos đóng vai trò như một nguồn dòng



Hình 22. LDO sử dụng pass transistor như một nguồn dòng

Ở trường hợp này, thì rơi áp  $V_{in} - V_{out}$  chính là điện áp chênh lệch giữa cực Source và cực Drain của Pmos. Giả sử Op – Amp trên độ lợi nội của Op – Amp là rất lớn. Để khảo sát  $R_{out}$  và tỉ số  $\frac{V_{out}}{V_{in}}$  của mạch này, trước tiên em sẽ tính loop – gain của hệ thống này, như đã trình bày bên trên

$$|\text{Loop – gain}| = \frac{V_f}{V_{test}} = A_1 \cdot g_{m1} \cdot [(R_1 + R_2)] \cdot \frac{R_2}{R_1 + R_2}$$

Xét Pmos  $M_1$  trong hình 9, em có định nghĩa của độ dẫn truyền:

$$G_m = \frac{\partial I_D}{\partial V_{GS}}, \text{ với tương đương tín hiệu nhỏ em có thể ghi } G_m = \frac{I_D}{V_{GS}}$$

$$\rightarrow I_{D1} = G_{m1} \cdot V_{GS}$$

$$\rightarrow I_{D1} = G_{m1} \cdot V_{GS1} = G_{M1} \cdot (V_{G1} - V_{in})$$

$$\text{Mà } V_{G1} = V_{out} \cdot \frac{R_2}{R_1 + R_2} \cdot A_1$$

$$\rightarrow I_{D1} = G_{m1} \cdot \left( \frac{A_1 \cdot R_2}{R_1 + R_2} \cdot V_{out} - V_{in} \right) \quad (21)$$

Em lại có  $I_{D1} = -\frac{V_{out}}{R_L // (R_1 + R_2)}$ , thế vào phương trình

$$\rightarrow \frac{V_{out}}{V_{in}} = \frac{g_{m1}[(R_1 + R_2)]}{1 + A_1 \cdot g_{m1} \cdot [(R_1 + R_2)] \cdot \frac{R_2}{R_1 + R_2}} = \frac{g_{m1}[(R_1 + R_2)]}{1 + A_{loop}} \quad (22)$$

Giả sử  $A_{loop} \gg 1$

$$\rightarrow \frac{V_{out}}{V_{in}} \approx \left( 1 + \frac{R_1}{R_2} \right) \cdot \frac{1}{A_1} \quad (23)$$

Như vậy với cách cấu hình pass transistor như một nguồn dòng này em có thể tối ưu hoá PSRR bằng cách tăng tối đa độ lợi vòng hở của Op – Amp.

Tiếp theo em sẽ khảo sát điện trở ngõ ra của cách cấu hình này, em xác định điện trở ngõ ra bằng cách triệt tiêu các nguồn độc lập trong mạch, thêm một nguồn  $V_x$  ở ngõ

ra kèm với dòng  $I_x$  chảy vào trong mạch và  $R_{out} = \frac{V_X}{I_X}$ . Bằng phương pháp này, em có thể dễ dàng xác định được:

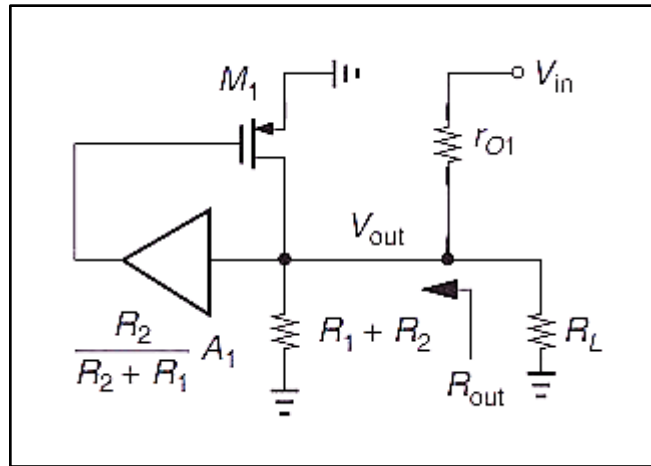
$$R_{out} = \frac{1}{g_{m1}A_1 \frac{R_2}{R_1 + R_2}} || (R_1 + R_2)$$

Giả sử rằng  $R_1 + R_2 \gg 1$

$$R_{out} \approx \frac{1}{g_{m1}A_1 \frac{R_2}{R_1 + R_2}} \quad (21)$$

Em có  $\Delta V_{out} = R_{out} \cdot \Delta I_{load}$  như vậy để sự thay đổi của dòng tải không ảnh hưởng đến  $V_{out}$  thì em cần làm cho  $R_{out} \rightarrow 0$  hay như ở phương trình (23) em cần thiết kế cho  $A$  lớn nhất có thể.

Trên thực tế, giữa cực Source và Drain của  $M_1$  có tồn tại một điện trở  $R_{01}$  hữu hạn (hình 10). Điện trở này tồn tại như một đường dẫn thẳng nhiều từ VDD đến  $V_{out}$  làm cho PSRR giảm.



Hình 23. Tác động của nội trở ngõ ra đến PSRR

Bên cạnh đó  $R_{01}$  này kết hợp với  $R_{out}$  tạo thành một mạng chia áp với phương trình như sau:

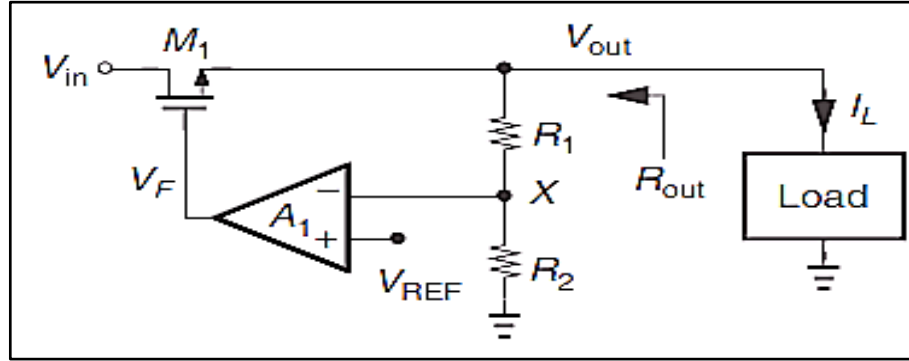
$$\frac{V_{out}}{V_{in}} = \frac{R_{out}}{R_{out} + R_{01}}$$

$$\text{Với } R_{out} \approx \frac{1}{g_{m1}A_1 \frac{R_2}{R_1 + R_2}}$$

$$\rightarrow \frac{V_{out}}{V_{in}} = \frac{1 + \frac{R_2}{R_1}}{g_m R_{01} A_1 + \frac{R_1 + R_2}{R_1}}$$

Vì  $g_m A$  thường rất lớn nên tỉ lệ  $\frac{V_{out}}{V_{in}} \ll 1$  hay nói cách khác ảnh hưởng của nguồn cấp đến ngõ ra thông qua điện trở nội  $R_{O1}$  là rất nhỏ chính vì vậy khi thiết kế em hoàn toàn có thể bỏ qua ảnh hưởng của điện trở này.

### 3.5.2. Pass transistor sử dụng Nmos đóng vai trò như một Source follower



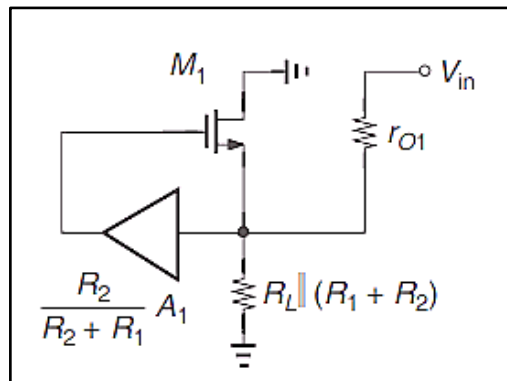
Hình 25. LDO sử dụng pass transistor như một Source follower

Tương tự đối với pass transistor Pmos hoạt động như một nguồn dòng thì ở trường hợp này, em cũng sẽ tiến hành khảo sát độ lợi vòng kín (closed – loop gain) và điện trở ngõ.

Bắt đầu với  $R_{out}$ , em nhận thấy rằng bằng cách triệt tiêu các nguồn độc lập, gắn thêm một nguồn  $V_x$  với dòng  $I_x$  chảy vào mạch, sau đó tính tỉ số  $\frac{V_x}{I_x}$  thì điện trở  $R_{out}$  của cấu trúc này giống như điện trở ngõ ra của cấu trúc Pmos – nguồn dòng.

$$R_{out} \approx \frac{1}{g_{m1} A_1 \frac{R_2}{R_1 + R_2}}$$

Giả sử tồn tại một điện trở  $R_{O1}$  hữu hạn giữa cực Drain và cực Source của transistor (như hình 12).



Hình 26. Tác động của nội trở ngõ ra đến PSRR

Tương tự như phân tích bên trên,  $r_{O1}$  kết hợp với  $R_{out}$  tạo thành mạng chia áp, lúc này:

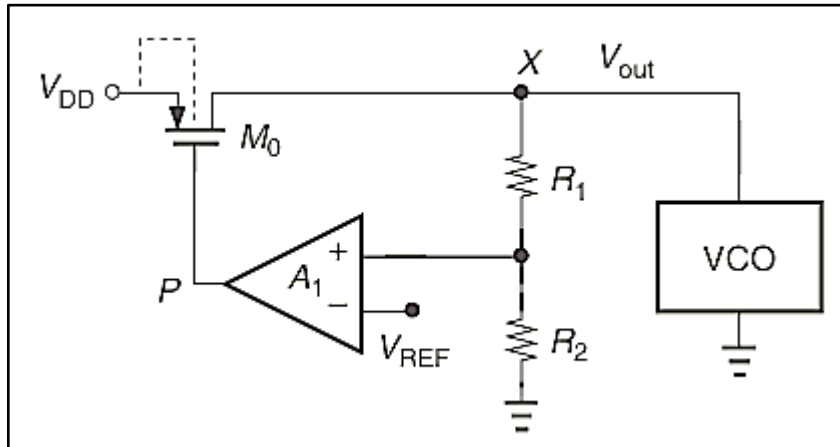
$$\frac{V_{out}}{V_{in}} = \frac{R_{out}}{R_{out} + r_{01}}$$

$$\rightarrow \frac{V_{out}}{V_{in}} = \frac{1 + \frac{R_2}{R_1}}{g_m r_{01} A + \frac{R_1 + R_2}{R_1}}$$

Để dàng nhận thấy rằng với cấu trúc pass transistor hoạt động như một source follower, hay hoạt động như một nguồn dòng thì ảnh hưởng nhiễu từ nguồn thông qua điện trở nội  $R_{01}$  đến ngõ ra là rất nhỏ. Bên cạnh đó, trong trường hợp bỏ qua hiệu ứng điều chế chiều dài kênh dẫn thì đối với mạch source follower do  $V_{gs} \geq V_{th} \rightarrow V_g - V_s \geq V_{th} \rightarrow V_s = V_{out} \leq V_g - V_{th}$  nên ảnh hưởng nhiễu do nguồn cấp từ cực Drain không ảnh hưởng nhiều đến ngõ ra, điều này làm cho cấu trúc này mang lại tỉ số loại bỏ nhiễu nguồn tốt hơn cấu trúc current source. Tuy nhiên trade off ở đây chính là ngõ ra lớn nhất chỉ có thể đạt được giá trị  $= V_{in} - V_{TP}$  tức max swing của ngõ ra bị giảm đi so với cấu trúc nguồn dòng.

## IV. THIẾT KẾ LDO

### 4.1. Mạng hồi tiếp



Ta có

$$V_{ref} = V_{out} \cdot \frac{R_2}{R_1 + R_2}$$

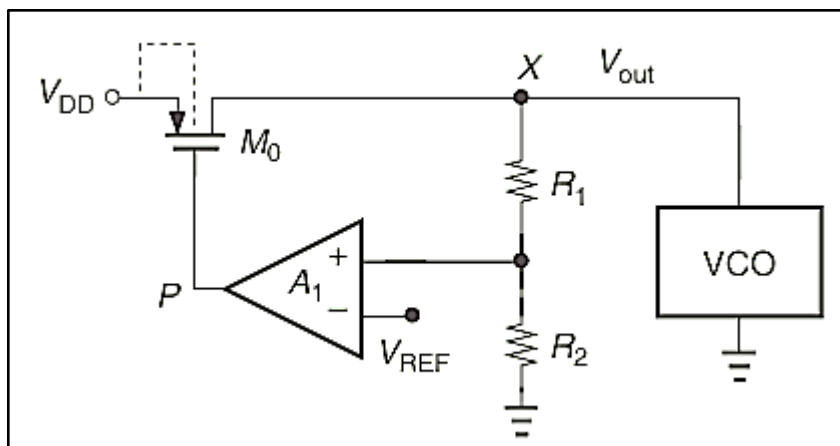
Với  $V_{ref} = 0.9V$  và  $V_{out} = 1V \rightarrow R_2 = 9R_1$ , chọn  $R_1 = 10k\Omega \rightarrow R_2 = 90k\Omega$

### 4.2. Pass Transistor

Dựa vào các phân tích lý thuyết, đối với đề tài lần này vì yêu cầu rơi áp trên pass transistor là  $0.2V$  nên em sẽ chọn pass transistor là một Pmos hoạt động như một nguồn dòng thay vì là Nmos được mắc theo kiểu Source follower.

Điện áp drop-out ở trường hợp này chính là điện áp  $V_{ds}$  của pass transistor  $\rightarrow V_{ds} = 0.2$  điều này có nghĩa rằng  $V_{ds\_sat\_pass} \leq 0.2$  để đảm bảo pass transistor luôn hoạt động ở chế độ bão hoà

### 4.3. Operation Amplifier (OP – AMP)

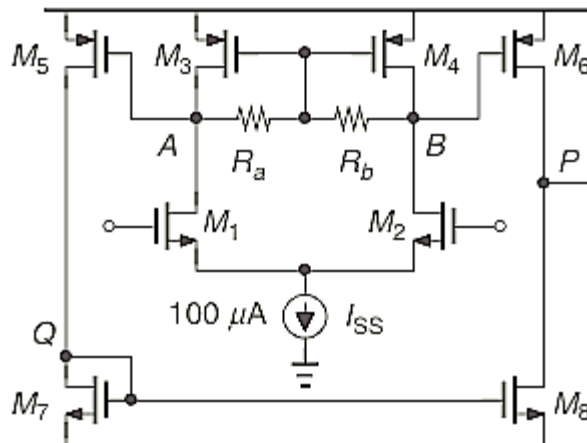


Trong thiết kế Op – Amp, có 4 cấu trúc thường được sử dụng nhất, chính là: telescopic cascode, folded cascode, two – stage op amp và gain boosting. Từng loại cấu trúc sẽ có những ưu và nhược điểm khác nhau song theo em tìm hiểu được, các ưu nhược điểm của các loại cấu trúc trên được tổng hợp theo bảng sau

	Gain	Output Swing	Speed	Power Dissipation	Noise
Telescopic	Medium	Medium	Highest	Low	Low
Folded-Cascode	Medium	Medium	High	Medium	Medium
Two-Stage	High	Highest	Low	Medium	Low
Gain-Boosted	High	Medium	Medium	High	Medium

Hình 27: Bảng tóm tắt các cấu trúc Op – Amp thường dùng

Với LDO yêu cầu có khả năng chống nhiễu tốt và độ lợi Op – Amp cao, nên ở đề tài lần này em sẽ sử dụng cấu trúc Op – Amp 2 tầng đơn giản có sơ đồ nguyên lý như sau



Hình 28: Cấu trúc mạch Op - Amp

Cấu trúc bao gồm tầng 1 chính là mạch vi sai với tải chủ động (active load) thông thường, tầng thứ 2 M<sub>6</sub> được mắc theo kiểu CS nhằm tăng độ lợi của mạch, Mosfet M<sub>7</sub>, M<sub>8</sub> là cấu trúc gương dòng được dùng để tạo ngõ ra single – ended.

Thông thường cần một điện áp V<sub>b</sub> để phân cực cho M<sub>3</sub> và M<sub>4</sub> tuy nhiên để tối ưu hoá nguồn trong mạch nên em dùng cấu trúc có 2 điện trở R<sub>a</sub> và R<sub>b</sub> để phân cực cho 2 Mosfet này

Dựa vào phương trình đã được chứng minh bên trên, em có

$$\frac{V_{out}}{V_{dd}} \approx \left(1 + \frac{R_1}{R_2}\right) \cdot \frac{1}{A_1}$$

Giả sử rằng V<sub>ref</sub> = 0.9V

Ta có:

$$V_{ref} = V_{out} \cdot \frac{R_2}{R_1 + R_2} \rightarrow 0.9 = 1 \cdot \frac{R_2}{R_1 + R_2} \rightarrow \frac{R_2}{R_1 + R_2} = 0.9$$

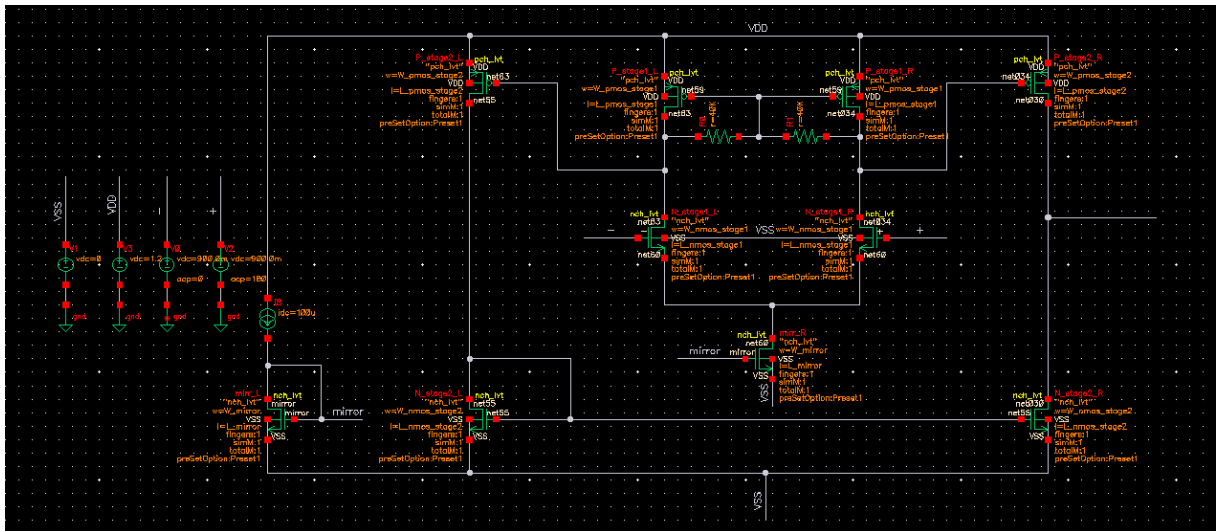
$$\text{PSRR} > 40 \text{ dB} \rightarrow \frac{V_{out}}{V_{dd}} > \frac{1}{100}$$

$$\rightarrow \frac{1}{100} > \frac{1}{0.9} \cdot \frac{1}{A_1} \rightarrow A_1 > \frac{100}{0.9} \approx 110 = 41dB$$

Như vậy, với LDO có yêu cầu về PSRR cao hơn 40dB trong băng tần là 10Mhz thì độ lợi của Op – Amp cần phải lớn hơn 41dB trong khoảng tần số này

Để có thể xác định được các kích thước của các Mosfet trong mạch, với đề tài lần này em sẽ bắt đầu với những kích thước cơ bản nhất của tiến trình 65nm là  $\frac{W}{L} = \frac{200n}{60n}$

Ý tưởng của em chính là từ kích thước ban đầu, sau đó dựa vào các mối quan hệ lý thuyết em sẽ điều chỉnh kích thước của các Mosfet sao cho chúng đều hoạt động ở chế độ bão hoà và các yêu cầu kỹ thuật được thoả



Hình 29: Schematic của Op – Amp

Về lý thuyết mạch vi sai sẽ được phân cực bởi một nguồn dòng, ở đề tài lần này em sử dụng nguồn dòng  $100\mu A$ . Tuy nhiên khi thực hiện mô phỏng thay vì gắn trực tiếp nguồn dòng bên dưới mạch vi sai thì em sẽ để nguồn dòng bên ngoài và thực hiện cấp nguồn phân cực cho mạch vi sai bằng cách dùng một mạch gương vì theo em như vậy là phù hợp với thực tế

Bên cạnh đó vì để mạch đối xứng nên em sẽ cho kích thước 2 Nmos tầng 1 giống nhau  
2 Pmos tầng 1 giống nha, tương tự với tầng 2

Nguồn dòng gốc cho là  $100\mu A$ , vì em cần cả  $100\mu A$  để phân cực cho mạch nên về nguyên tắc của mạch gương tỉ số  $\frac{W}{L}$  của 2 Mosfet mạch gương là bằng 1

Test	Name	Type	Details	EvalType	Plot	Save	Spec	Weight	Units	Digits	Notation	Suffix
Project1 two_stage_op_1:1	vgs_mirr_L	expr	OP("mirr_L","vgs")	point								
Project1 two_stage_op_1:1	vth_mirr_L	expr	OP("mirr_L","vth")	point								
Project1 two_stage_op_1:1	vds_mirr_L	expr	OP("mirr_L","vds")	point								
Project1 two_stage_op_1:1	vsat_mirr_L	expr	OP("mirr_L","vsat")	point								
Project1 two_stage_op_1:1	vod_mirr_L	expr	(vgs_mirr_L - vth_mirr_L)	point			> 30m					
Project1 two_stage_op_1:1	vsat_mirr_R	expr	(vds_mirr_L - vdsat_mirr_L)	point			> 30m					
Project1 two_stage_op_1:1	vgs_mirr_R	expr	OP("mirr_R","vgs")	point								
Project1 two_stage_op_1:1	vth_mirr_R	expr	OP("mirr_R","vth")	point								
Project1 two_stage_op_1:1	vds_mirr_R	expr	OP("mirr_R","vds")	point								
Project1 two_stage_op_1:1	vsat_mirr_R	expr	OP("mirr_R","vsat")	point								
Project1 two_stage_op_1:1	vod_mirr_R	expr	(vgs_mirr_R - vth_mirr_R)	point			> 30m					
Project1 two_stage_op_1:1	vsat_mirr2_L	expr	(vds_mirr_R - vdsat_mirr_R)	point			> 30m					
Project1 two_stage_op_1:1	vgs_N_stage1_L	expr	OP("N_stage1_L","vgs")	point								
Project1 two_stage_op_1:1	vth_N_stage1_L	expr	OP("N_stage1_L","vth")	point								
Project1 two_stage_op_1:1	vds_N_stage1_L	expr	OP("N_stage1_L","vds")	point								
Project1 two_stage_op_1:1	vsat_N_stage1_L	expr	OP("N_stage1_L","vsat")	point								
Project1 two_stage_op_1:1	vod_N_stage1_L	expr	(vgs_N_stage1_L - vth_N_stage1_L)	point			> 30m					
Project1 two_stage_op_1:1	vsat_N_stage1_L	expr	(vds_N_stage1_L - vdsat_N_stage1_L)	point			> 30m					
Project1 two_stage_op_1:1	vgs_P_stage1_L	expr	(-OR("P_stage1_L","vgs"))	point								
Project1 two_stage_op_1:1	vth_P_stage1_L	expr	(-OR("P_stage1_L","vth"))	point								
Project1 two_stage_op_1:1	vds_P_stage1_L	expr	(-OR("P_stage1_L","vds"))	point								
Project1 two_stage_op_1:1	vsat_P_stage1_L	expr	(-OR("P_stage1_L","vsat"))	point								
Project1 two_stage_op_1:1	vod_P_stage1_L	expr	(vgs_P_stage1_L - vth_P_stage1_L)	point			> 30m					
Project1 two_stage_op_1:1	vsat_P_stage1_L	expr	(vds_P_stage1_L - vdsat_P_stage1_L)	point			> 30m					
Project1 two_stage_op_1:1	vgs_N_stage2_L	expr	OP("N_stage2_L","vgs")	point								
Project1 two_stage_op_1:1	vth_N_stage2_L	expr	OP("N_stage2_L","vth")	point								
Project1 two_stage_op_1:1	vds_N_stage2_L	expr	OP("N_stage2_L","vds")	point								
Project1 two_stage_op_1:1	vsat_N_stage2_L	expr	OP("N_stage2_L","vsat")	point								

Hình 30: Hàm khảo sát DCOP của mạch

Bắt đầu với thông số  $\frac{W}{L} = \frac{200n}{60n}$  em có được kết quả khảo sát DCOP như sau

Test	Output	Spec	Weight	Pass/Fail	Min	Max	ss-75
Project1 two_stage_op_1:1	vds_mirr_L				1.142	1.142	1.142
Project1 two_stage_op_1:1	vod_mirr_L	> 30m		pass	697.9m	697.9m	697.9m
Project1 two_stage_op_1:1	vsat_mirr_L	> 30m		pass	767.8m	767.8m	767.8m
Project1 two_stage_op_1:1	vds_mirr_R				144m	144m	144m
Project1 two_stage_op_1:1	vod_mirr_R	> 30m		pass	656.1m	656.1m	656.1m
Project1 two_stage_op_1:1	vsat_mirr_R	> 30m		fail	-227.8m	-227.8m	-227.8m
Project1 two_stage_op_1:1	vod_N_stage1_L	> 30m		pass	262.2m	262.2m	262.2m
Project1 two_stage_op_1:1	vsat_N_stage1_L	> 30m		fail	11.05m	11.05m	11.05m
Project1 two_stage_op_1:1	vod_P_stage1_L	> 30m		pass	325.2m	325.2m	325.2m
Project1 two_stage_op_1:1	vsat_P_stage1_L	> 30m		pass	506.4m	506.4m	506.4m
Project1 two_stage_op_1:1	vod_N_stage2_L	> 30m		pass	198.2m	198.2m	198.2m
Project1 two_stage_op_1:1	vsat_N_stage2_L	> 30m		pass	452.9m	452.9m	452.9m
Project1 two_stage_op_1:1	vod_P_stage2_L	> 30m		pass	314.3m	314.3m	314.3m
Project1 two_stage_op_1:1	vsat_P_stage2_L	> 30m		pass	242.2m	242.2m	242.2m
Project1 two_stage_op_1:1	I_mirr				38.58u	38.58u	38.58u
Project1 two_stage_op_1:1	/mirr_R/D						
Project1 two_stage_op_1:1	/p_pass/S						

Với kinh nghiệm cho thấy vấn đề về bão hoà của các Mosfet trong mạch đều bị ảnh hưởng phần lớn bởi nguồn dòng phân cực “i\_mirr”. Nên thay vì tập trung vào mục tiêu chỉnh từng mosfet để đạt bão hoà, em sẽ tập trung để dùng “i\_mirr” đạt được > 96μA

Ta có công thức dòng  $I_d$  ở chế độ bão hoà

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (|V_{gs}| - |V_{th}|)^2$$

Vì vậy nên để tăng dòng  $I_d$ , ý tưởng ban đầu của em chính là tăng W của cả 2 pmos và nmos của tầng 1, sau quá trình tăng em có được kết quả như sau



The screenshot shows the Cadence Data View and Results windows. The Data View window on the left lists global variables for a two-stage op-amp, including L\_mirr, L\_nmos\_stage1, L\_nmos\_stage2, L\_pmos\_stage1, L\_pmos\_stage2, W\_mirr, W\_nmos\_stage1, W\_nmos\_stage2, W\_pmos\_stage1, W\_pmos\_stage2, L\_pass, W\_pass, and iload. The Results window on the right shows the test results for a two-stage op-amp. The table below is a simplified version of the data shown in the Results window.

Test	Output	Spec	Weight	Pass/Fail	Min	Max	ss-75
Project1.two_stage_op_1:1	vod_mirr_L	> 30m		fail	3.439m	3.439m	3.439m
Project1.two_stage_op_1:1	vsat_mirr_L	> 30m		pass	365m	365m	365m
Project1.two_stage_op_1:1	vod_mirr_R	> 30m		fail	962u	962u	962u
Project1.two_stage_op_1:1	vsat_mirr_R	> 30m		pass	323.8m	323.8m	323.8m
Project1.two_stage_op_1:1	vod_N_stage1_L	> 30m		fail	-43.21m	-43.21m	-43.21m
Project1.two_stage_op_1:1	vsat_N_stage1_L	> 30m		pass	191.6m	191.6m	191.6m
Project1.two_stage_op_1:1	vod_P_stage1_L	> 30m		fail	1.485m	1.485m	1.485m
Project1.two_stage_op_1:1	vsat_P_stage1_L	> 30m		pass	393.7m	393.7m	393.7m
Project1.two_stage_op_1:1	vod_N_stage2_L	> 30m		fail	-18.51m	-18.51m	-18.51m
Project1.two_stage_op_1:1	vsat_N_stage2_L	> 30m		pass	355.3m	355.3m	355.3m
Project1.two_stage_op_1:1	vod_P_stage2_L	> 30m		fail	7.216m	7.216m	7.216m
Project1.two_stage_op_1:1	vsat_P_stage2_L	> 30m		pass	644.1m	644.1m	644.1m
Project1.two_stage_op_1:1	L_mirr				94.31u	94.31u	94.31u
Project1.two_stage_op_1:1	/mirr_R/D						
Project1.two_stage_op_1:1	/p_pass/5						

Tăng W làm tăng dòng  $i_{\text{mirr}}$  cũng đồng thời làm cho các Mosfet trong mạch thỏa chế độ bão hoà, về bản chất tăng W làm tăng dòng từ đó khiến điện áp ở cực D của các Mosfet tăng lên  $\rightarrow V_{ds}$  tăng. Tuy nhiên khó khăn ở đây chính là Vod của các Mosfet lại không đảm bảo, nguyên nhân chính là

$$V_{gs} = \sqrt{\frac{2I_d}{\mu_n C_{ox} \frac{W}{L}}}$$

nên khi tăng W cũng đồng thời làm giảm  $V_{gs}$ , lúc này ta cũng không thể giảm W vì làm như vậy vấn đề sẽ đi vào ngõ cụt, biện pháp hiện tại chính là tăng L để làm tăng  $V_{gs}$ . Bên cạnh đó một lí do để tăng L nữa chính là theo công thức của mạch gương dòng ta có

$$\frac{I_{copy}}{I_{ref}} = \left(\frac{W}{L}\right)_{copy} \cdot \frac{(1 + \lambda V_{ds_{copy}})}{(1 + \lambda V_{ds_{ref}})}$$

nên việc tăng L của mạch gương lúc này không có nghĩa là  $i_{\text{mirr}}$  sẽ giảm theo square law mà khi tăng L thì  $\lambda \sim \frac{1}{L}$  sẽ giảm hay nói cách khác ảnh hưởng của hiệu ứng Channel – Length Modulation sẽ giảm đi từ đó tăng hiệu suất copy dòng dựa trên tỉ lệ kích thước của mạch

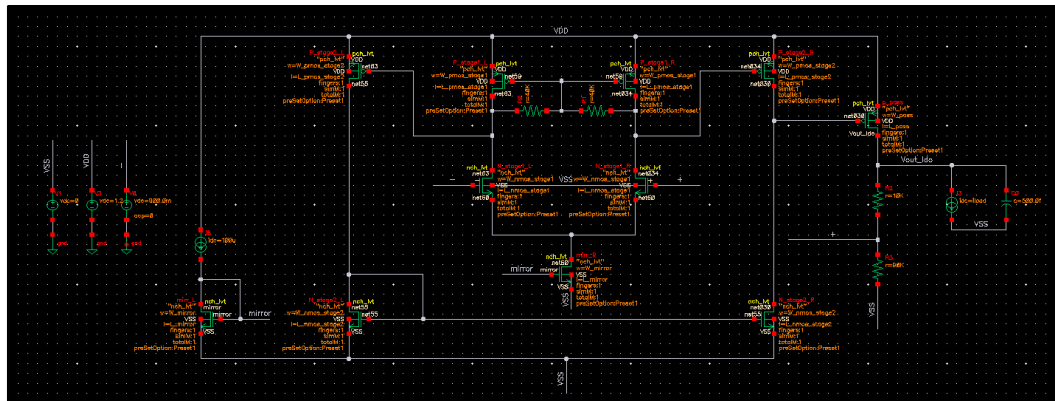
Sau khi điều chỉnh L của các Mosfet em có kết quả mô phỏng như sau

The screenshot shows the Cadence Data View and Results windows after adjusting L. The Data View window on the left lists global variables for a two-stage op-amp, including L\_mirr, L\_nmos\_stage1, L\_nmos\_stage2, L\_pmos\_stage1, L\_pmos\_stage2, W\_mirr, W\_nmos\_stage1, W\_nmos\_stage2, W\_pmos\_stage1, W\_pmos\_stage2, L\_pass, W\_pass, and iload. The Results window on the right shows the test results for a two-stage op-amp. The table below is a simplified version of the data shown in the Results window.

Test	Output	Spec	Weight	Pass/Fail	Min	Max	ss-75
Project1.two_stage_op_1:1	vod_mirr_L	> 30m		pass	60.83m	60.83m	60.83m
Project1.two_stage_op_1:1	vsat_mirr_L	> 30m		pass	342.6m	342.6m	342.6m
Project1.two_stage_op_1:1	vod_mirr_R	> 30m		pass	60.03m	60.03m	60.03m
Project1.two_stage_op_1:1	vsat_mirr_R	> 30m		pass	280.2m	280.2m	280.2m
Project1.two_stage_op_1:1	vod_N_stage1_L	> 30m		pass	41.75m	41.75m	41.75m
Project1.two_stage_op_1:1	vsat_N_stage1_L	> 30m		pass	188.3m	188.3m	188.3m
Project1.two_stage_op_1:1	vod_P_stage1_L	> 30m		pass	68.62m	68.62m	68.62m
Project1.two_stage_op_1:1	vsat_P_stage1_L	> 30m		pass	334.9m	334.9m	334.9m
Project1.two_stage_op_1:1	vod_N_stage2_L	> 30m		pass	52.49m	52.49m	52.49m
Project1.two_stage_op_1:1	vsat_N_stage2_L	> 30m		pass	325m	325m	325m
Project1.two_stage_op_1:1	vod_P_stage2_L	> 30m		pass	69.9m	69.9m	69.9m
Project1.two_stage_op_1:1	vsat_P_stage2_L	> 30m		pass	607m	607m	607m
Project1.two_stage_op_1:1	L_mirr				96.2u	96.2u	96.2u
Project1.two_stage_op_1:1	/mirr_R/D						
Project1.two_stage_op_1:1	/p_pass/5						

Em có tăng thêm phần W của Nmos và Pmos tầng 2, tuy nhiên em không tăng quá cao vì dòng  $i_{\text{mirr}}$  phụ thuộc chủ yếu vào tầng đầu tiên. Sau khi các Mosfet của Op – Amp

đã hoạt động ở chế độ bão hoà, em sẽ tiến hành ghép phần phần còn lại của LDO bao gồm pass transistor, mạng hồi tiếp, tải vào Op – Amp



Hình 32: Mạch schematic của LDO

Cũng như các phần bên trên, đối với pass transistor em cũng sẽ bắt đầu với kích thước cơ bản của tiến trình, sau khi chạy mô phỏng kết quả được trả ra như sau

Test	Output	Spec	Weight	Pass/Fail	Min	Max	ss-75
Project1.two_stage_op_1:1	vod_p_pass	> 30m		pass	1.86	1.86	1.86
Project1.two_stage_op_1:1	vsat_p_pass	> 30m		pass	26.62	26.62	26.62
Project1.two_stage_op_1:1	i_pass				380u	380u	380u
Project1.two_stage_op_1:1	Vout_LDO				-26.25	-26.25	-26.25
Project1.two_stage_op_1:1	/mirr_R/D						
Project1.two_stage_op_1:1	/p_pass/S						

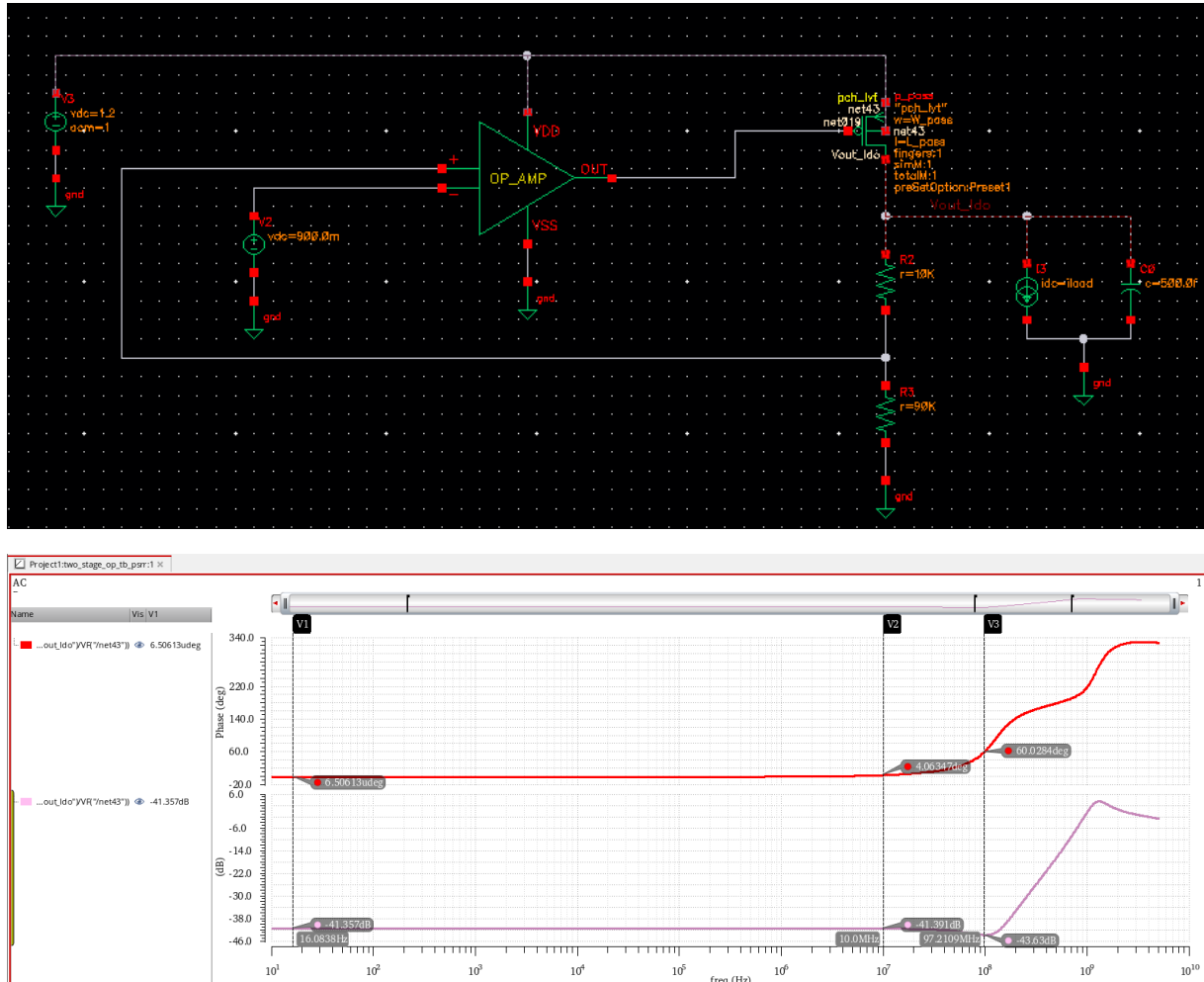
Quan sát thấy dòng  $i_{pass}$  đang còn quá nhỏ nên lúc này em sẽ nâng  $W_{pass}$  lên để tăng dòng  $i_{pass}$ , kết quả sau khi tăng  $W_{pass}$  như sau

Test	Output	Spec	Weight	Pass/Fail	Min	Max	ss-75
Project1.two_stage_op_1:1	vod_mirr_L	> 30m		pass	60.83m	60.83m	60.83m
Project1.two_stage_op_1:1	vsat_mirr_L	> 30m		pass	342.6m	342.6m	342.6m
Project1.two_stage_op_1:1	vod_mirr_R	> 30m		pass	60.04m	60.04m	60.04m
Project1.two_stage_op_1:1	vsat_mirr_R	> 30m		pass	280.4m	280.4m	280.4m
Project1.two_stage_op_1:1	vod_N_stage1_L	> 30m		pass	41.57m	41.57m	41.57m
Project1.two_stage_op_1:1	vsat_N_stage1_L	> 30m		pass	184.3m	184.3m	184.3m
Project1.two_stage_op_1:1	vod_P_stage1_L	> 30m		pass	108.1m	108.1m	108.1m
Project1.two_stage_op_1:1	vsat_P_stage1_L	> 30m		pass	325.3m	325.3m	325.3m
Project1.two_stage_op_1:1	vod_N_stage2_L	> 30m		pass	44.98m	44.98m	44.98m
Project1.two_stage_op_1:1	vsat_N_stage2_L	> 30m		pass	322m	322m	322m
Project1.two_stage_op_1:1	vod_P_stage2_L	> 30m		pass	103.5m	103.5m	103.5m
Project1.two_stage_op_1:1	vsat_P_stage2_L	> 30m		pass	605.6m	605.6m	605.6m
Project1.two_stage_op_1:1	i_mirr				96.21u	96.21u	96.21u
Project1.two_stage_op_1:1	Vout_op				566.3m	566.3m	566.3m
Project1.two_stage_op_1:1	vod_p_pass	> 30m		pass	120.7m	120.7m	120.7m
Project1.two_stage_op_1:1	vsat_p_pass	> 30m		pass	33.12m	33.12m	33.12m
Project1.two_stage_op_1:1	i_pass				5.01m	5.01m	5.01m
Project1.two_stage_op_1:1	Vout_LDO				1.001	1.001	1.001
Project1.two_stage_op_1:1	/mirr_R/D						
Project1.two_stage_op_1:1	/p_pass/S						

LDO đạt ngõ ra như yêu cầu, kèm theo việc các Mosfet trong mạch đều ở chế độ bão hoà

#### 4.4. Khảo sát tỉ số chống nhiễu nguồn (PSRR)

Để khảo sát PSRR của mạch, em có testbench như sau



Quan sát đồ thị, em nhận thấy được rằng PSRR của LDO khá tốt khi đạt duy trì được mức  $\approx 41$  trong tầm 10Mhz. Tuy ở tầm 100Mhz, PSRR đột nhiên tăng lên cao rồi giảm

Nguyên nhân của hiện tượng này có thể giải thích như sau

Dựa vào phương trình bên trên, điện trở ngõ ra của mạch như sau

$$Z_{out} \approx \frac{1}{g_{m1} A_1 \frac{R_2}{R_1 + R_2}}$$

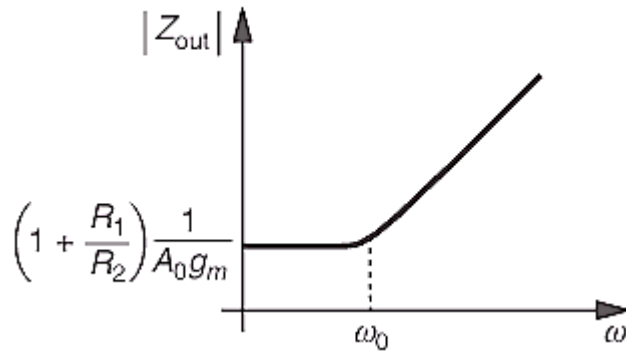
Xét đáp ứng tần số của độ lợi ta có

$$A_1 = \frac{A_0}{1 + \frac{s}{\omega_0}}$$

Thế vào phương trình trên ta được

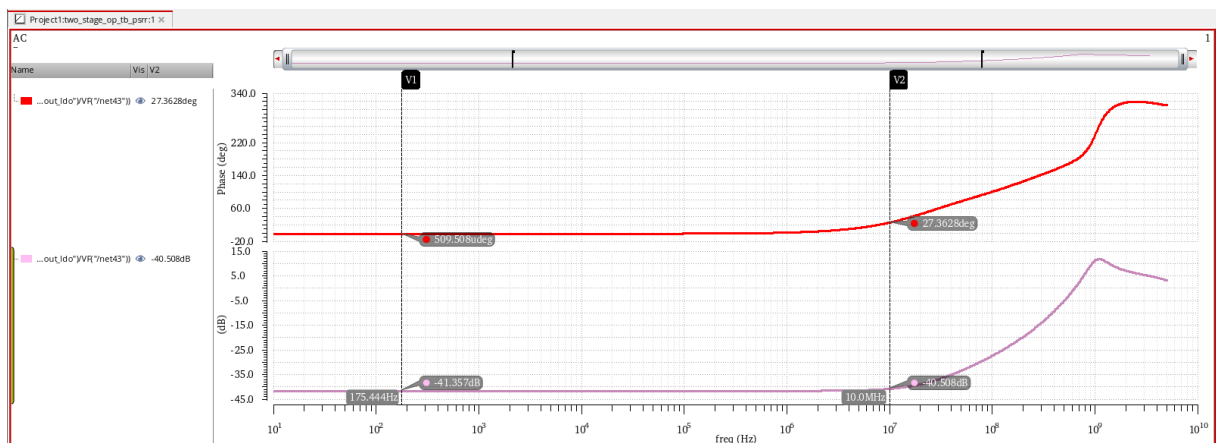
$$Z_{out} = \left(1 + \frac{R_1}{R_2}\right) \cdot \frac{1}{g_{m1} \cdot A_0} \cdot \left(1 + \frac{s}{\omega_0}\right)$$

Từ phương trình trên em thấy rằng trở kháng ngõ ra lúc này là một đại lượng tỉ lệ thuận với tần số



Có trở kháng tăng theo tần số làm cho pass transistor lúc này được xem như một cuộn cảm, kết hợp với tụ ngõ ra và tụ tải tạo thành một mạch dao động LC, điều này làm cho khi tải thay đổi đột ngột sẽ sinh ra một lượng lớn nhiễu ở ngõ ra do quá trình nạp xả liên tục của mạch dao động

Để giải quyết vấn đề này ta hoàn toàn có thể gắn thêm một tụ  $C_M$  từ ngõ ra xuống đất nhằm tạo ra một đường dẫn trở kháng thấp ở tần số cao giúp tạo một đường trở kháng thấp để dẫn nhiễu xuống đất



Tuy nhiên việc thêm một tụ điện ở ngõ ra lúc này cũng làm cho mạch mất ổn định hơn kèm theo băng thông của mạch giảm, dẫn đến độ lợi tại 10Mhz cũng giảm theo điều đó làm cho PSRR tại tần số này chỉ còn 40.508dB so với 41.391dB như bên trên

## V. TÀI LIỆU THAM KHẢO

1. B. Razavi, "The low-dropout regulator," IEEE Solid-State Circuits Mag., vol. 11, no. 2, pp. 8–13, Spring 2019, doi: 10.1109/ MSSC.2019.2910952
2. The Design of An LDO Regulator – Benzah Razavi

### 3. Design of analog CMOS – Benzah Razavi



