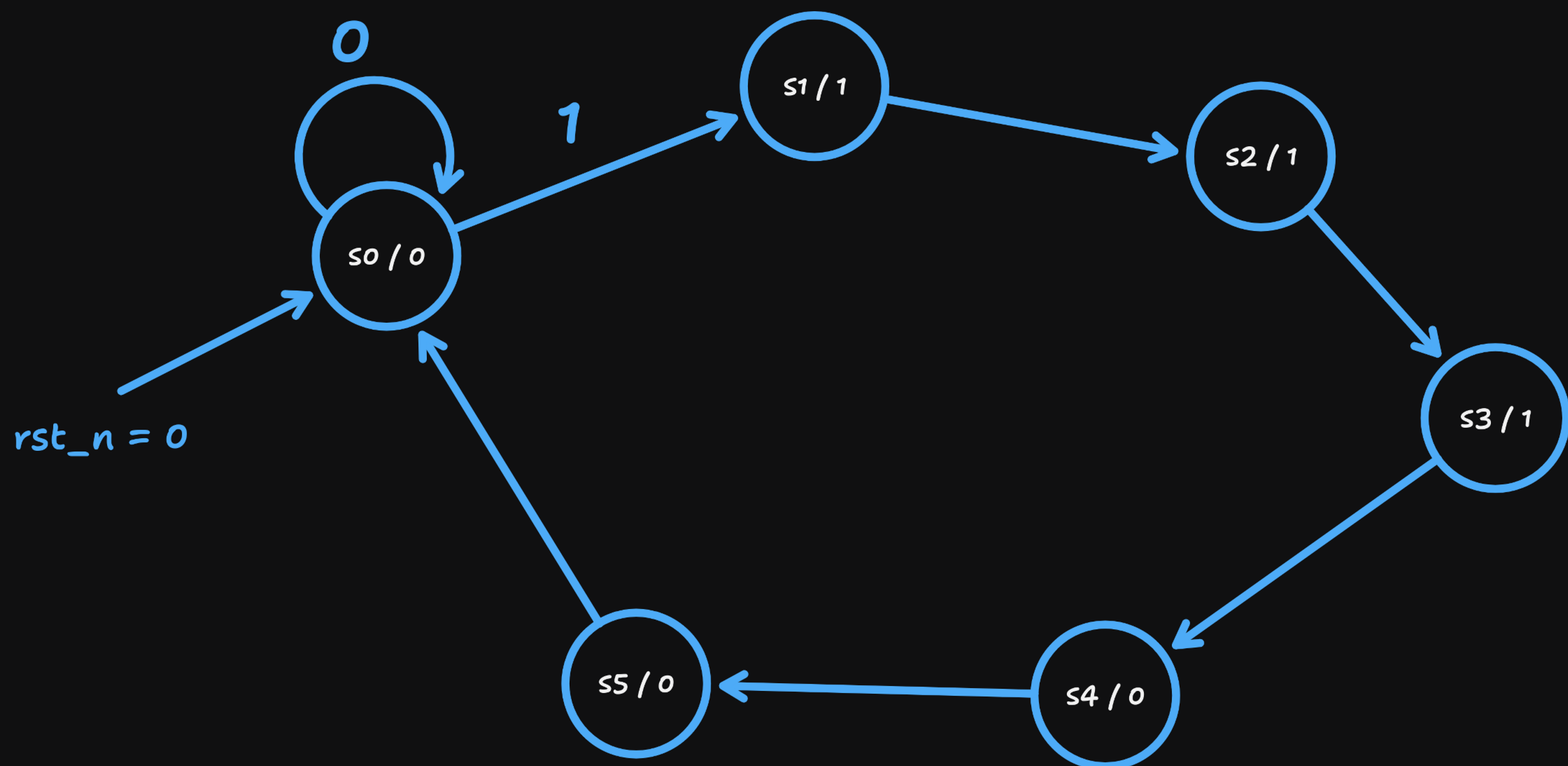
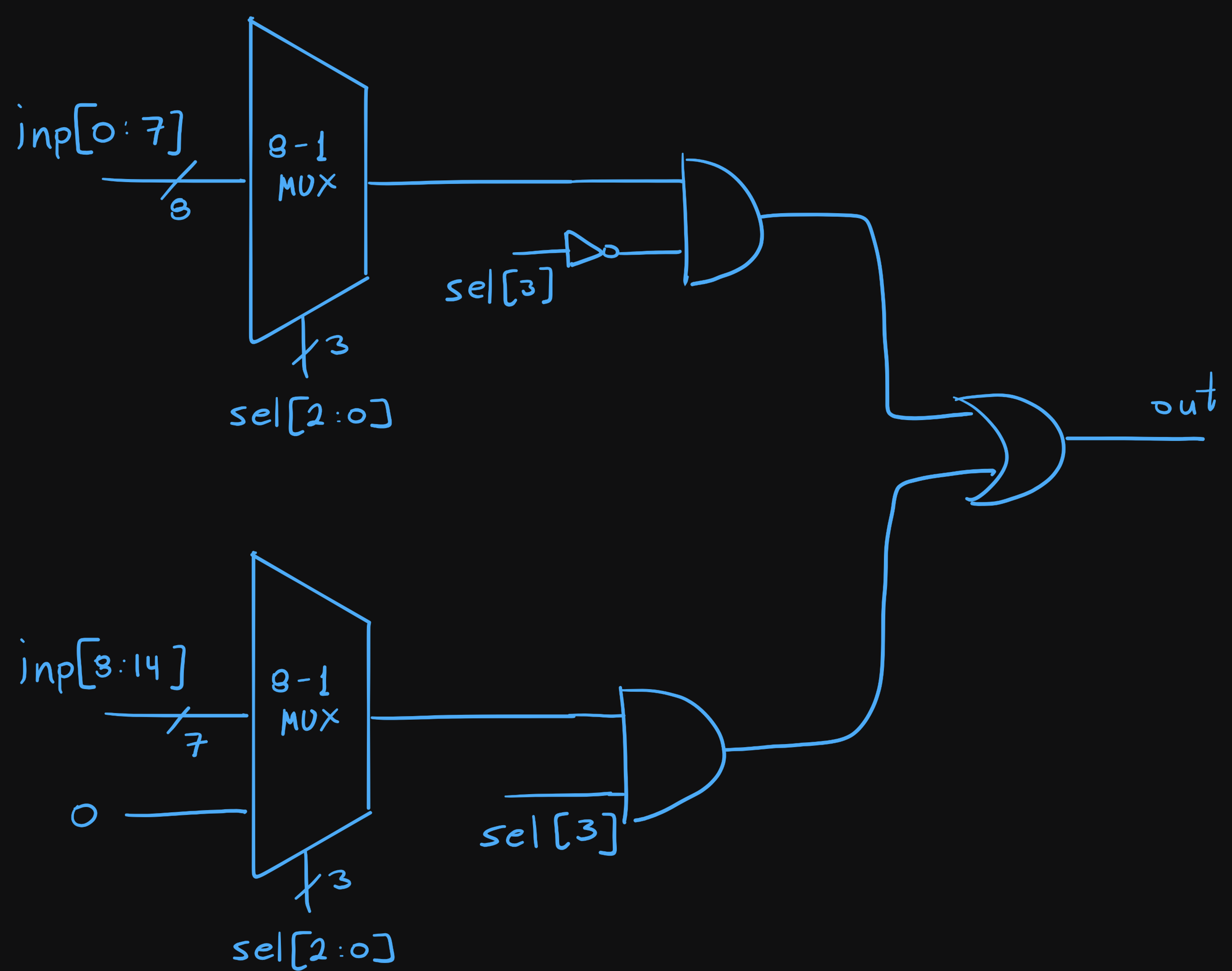
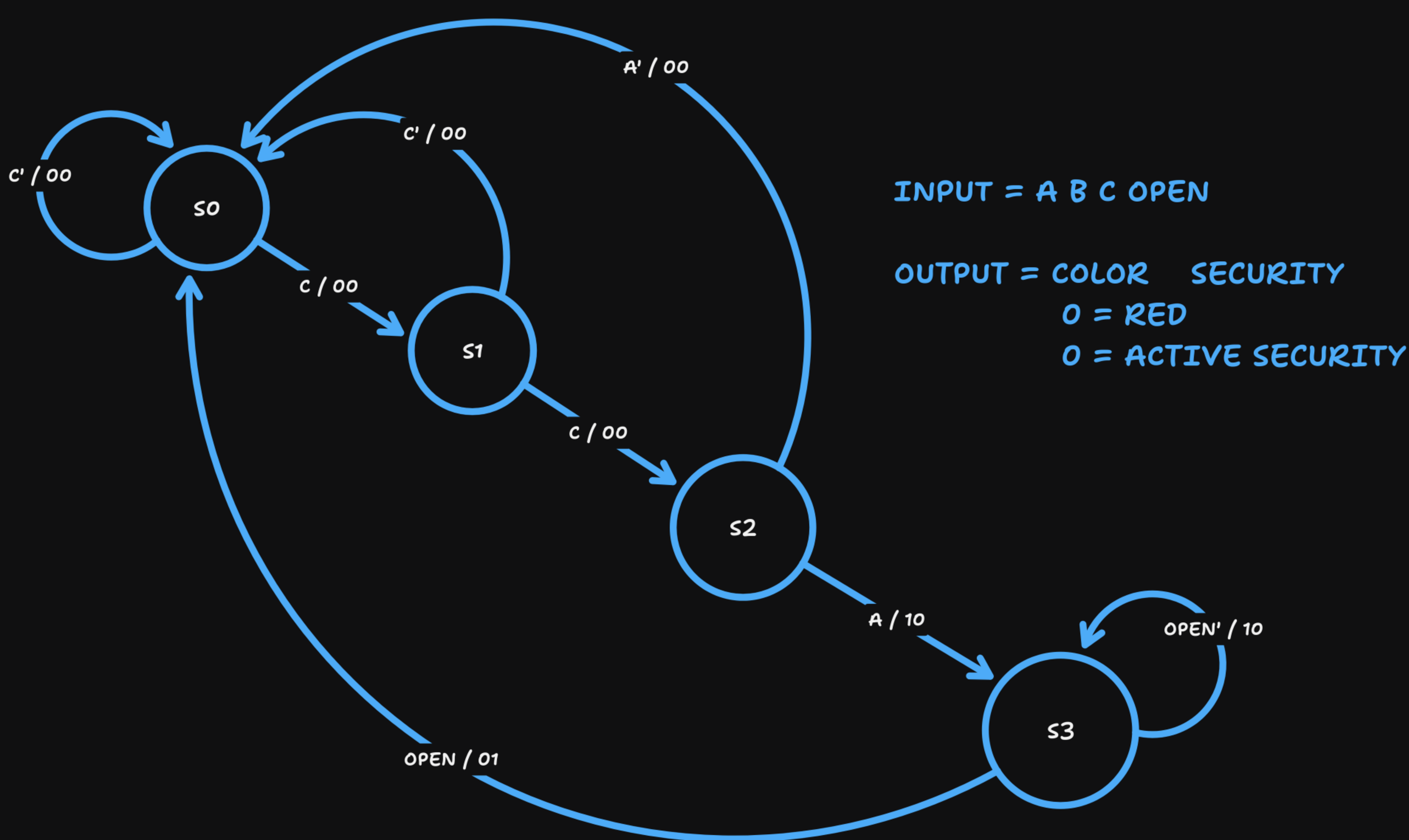


Εφόσον δεν έχουμε εξόδους, μάλλον **Moore FSM**
Χρειαζόμαστε **4 FF** αφού η κάθε κατάσταση θα έχει **4 bits**





- Erzw:
- $S_0 = 00$
 - $S_1 = 01$
 - $S_2 = 10$
 - $S_3 = 11$

Present state		Input				Next state	
D_1	D_0	A	B	C	OPEN	D_1'	D_0'
0	0	X	X	1	X	0	1
0	0	X	X	0	X	0	0
0	1	X	X	1	X	1	0
0	1	X	X	0	X	0	0
1	0	1	X	X	X	1	1
1	0	0	X	X	X	0	0
1	1	X	X	X	1	0	0
1	1	X	X	X	0	1	1

$$D_1' = \bar{D}_1 D_0 C + D_1 \bar{D}_0 A + D_1 D_0 \overline{\text{OPEN}}$$

$$D_0' = \bar{D}_1 \bar{D}_0 C + D_1 \bar{D}_0 A + D_1 D_0 \overline{\text{OPEN}}$$

Present state		Input				Output	
D_1	D_0	A	B	C	OPEN	COLOR	SEC
0	0	X	X	1	X	0	0
0	0	X	X	0	X	0	0
0	1	X	X	1	X	0	0
0	1	X	X	0	X	0	0
1	0	1	X	X	X	1	0
1	0	0	X	X	X	0	0
1	1	X	X	X	1	0	1
1	1	X	X	X	0	1	0

$$\text{COLOR} = D_1 \bar{D}_0 A + D_1 D_0 \overline{\text{OPEN}}$$

$$\text{SECURITY} = D_1 D_0 \text{OPEN}$$

Δευτέρα, 27 Ιουνίου 2022

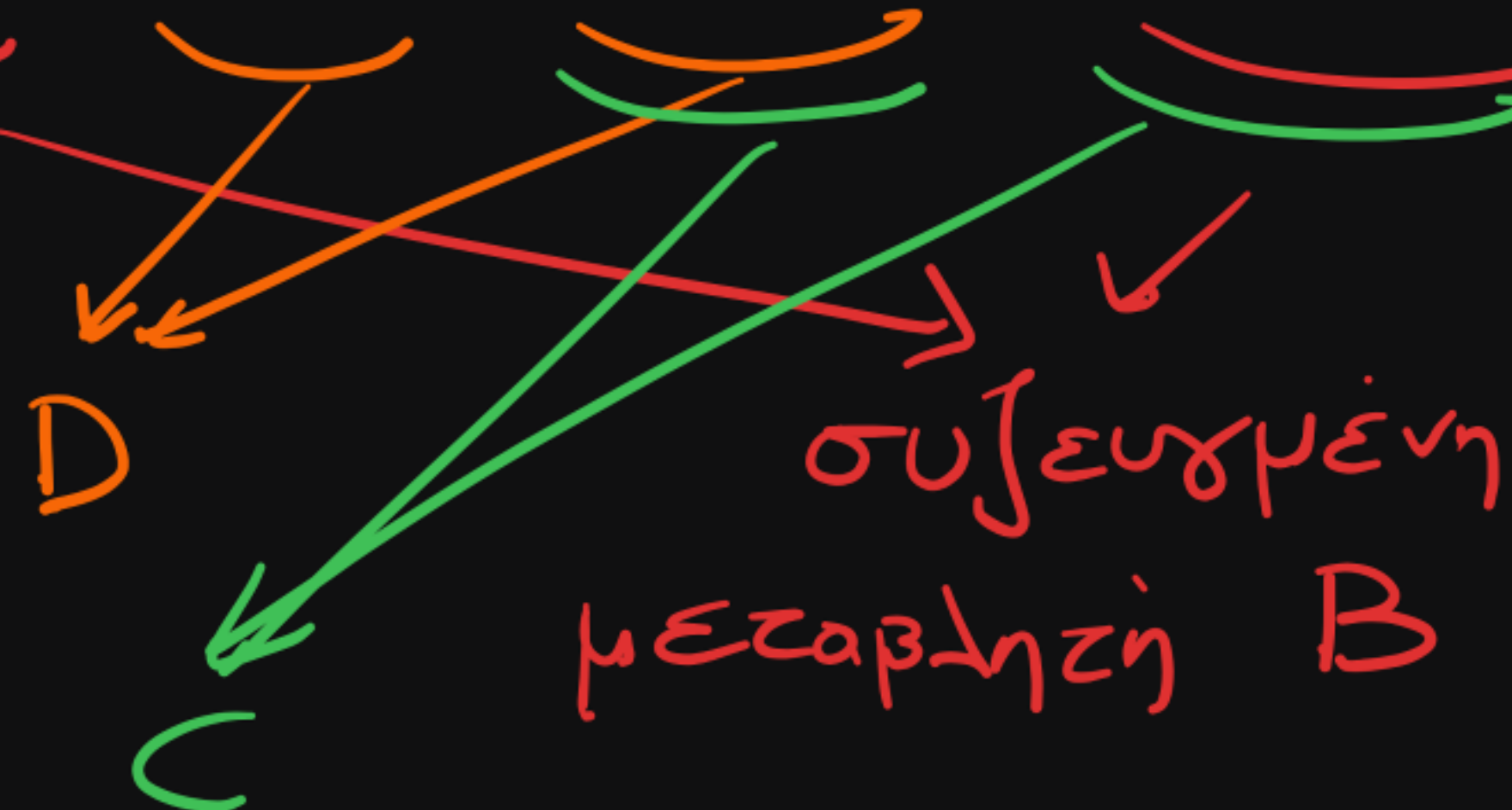
Παρουσίαση Λογικής II

Θέμα 1: Η παρακάτω έκφραση περιέχει κάποια στατικά hazards.
 $F = \bar{A}\bar{B}\bar{C} + BD + AC\bar{D} + \bar{B}\bar{C}\bar{D}$, (1)

- (α) Προσδιορίστε ποιά είναι τα hazards αυτά (με απλή επόπτευση). (0.5 βαθμός)
 (β) Δείξτε τους RPI που προκαλούν τα hazards αυτά σε έναν κατάλληλο χάρτη Karnaugh. (0.5 βαθμός)
 (γ) Γράψτε ποιές μεταβάσεις μπορεί να οδηγήσουν σε αυτά τα hazards. (0.5 βαθμός)
 (δ) Δώστε τη νέα συνάρτηση F που εμπεριέχει προστασία από τα hazards αυτά. (0.5 βαθμός)

Διάρκεια εξέτασης: 30 λεπτά

$$F = \underbrace{\bar{A}'BC'} + \underbrace{BD} + \underbrace{ACD'} + \underbrace{B'C'D'}$$



α) Συζευγμένες μεταβλητές είναι οι B, C, D

β)

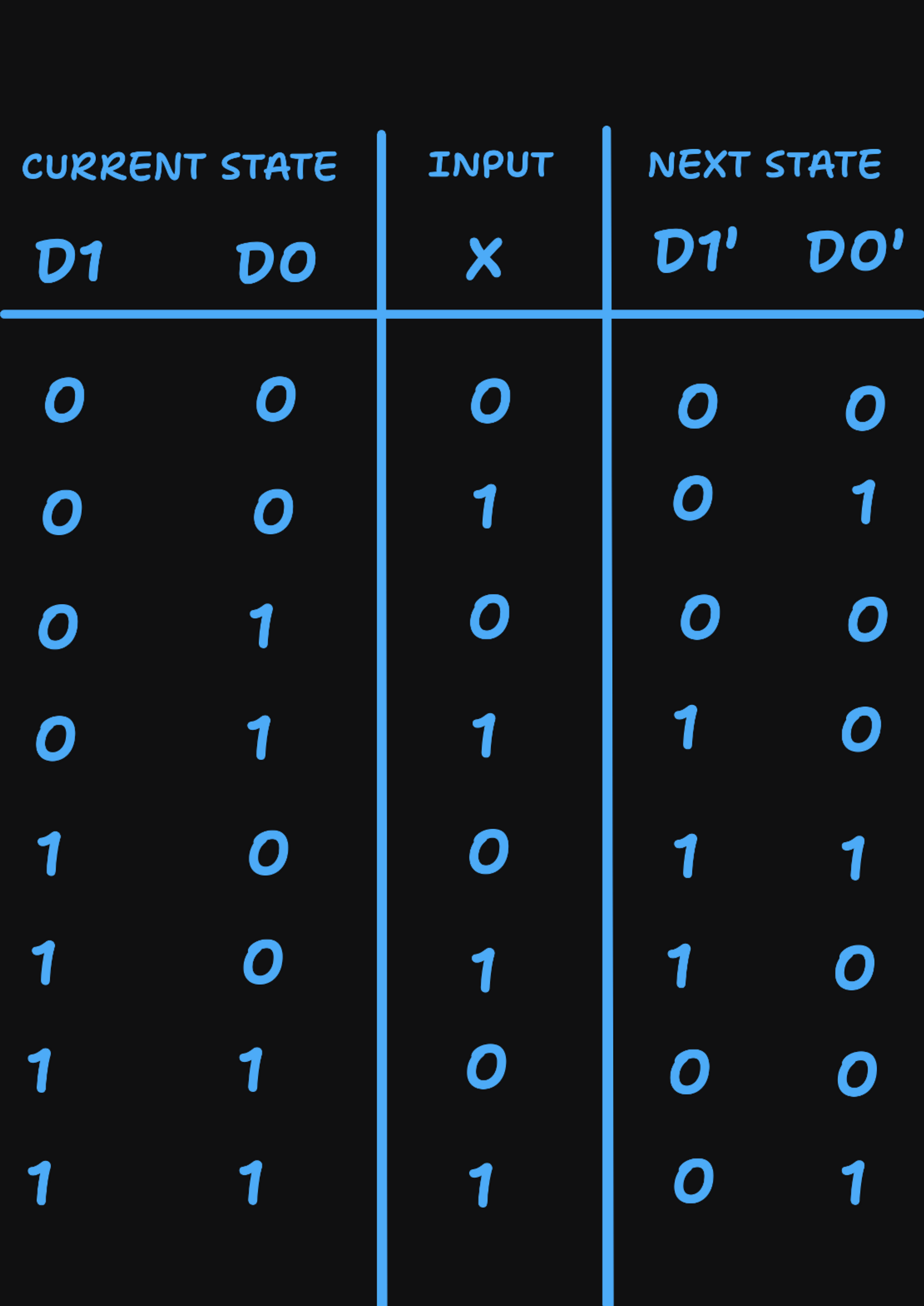
		CD			
	AB	00	01	11	10
00	1				
01	1	1	1		
11		1	1	1	1
10	1				1

$$\gamma) 1111 \rightarrow 1110 \quad (D)$$

$$1010 \rightarrow 1000 \quad (C)$$

$$0100 \rightarrow 0000 \quad (B)$$

$$\delta) F = \bar{A}'BC' + BD + AC\bar{D}' + B'C'D' + \textcolor{red}{ABC} + \textcolor{red}{A'C'D'} + \textcolor{green}{AB'D'}$$



		D1 D0			
X		00	01	11	10
0					1
1		1			1

		D1 D0			
X		00	01	11	10
0					1
1	1			1	

CURRENT STATE		OUTPUT
D1	D0	Y
0	0	0
0	1	0
1	0	0
1	1	1

The diagram illustrates a 2-bit counter implemented with a single D flip-flop. The input X is connected to the D_1 input of the flip-flop through a complex logic network consisting of several AND and OR gates. The output Y is connected to the D_0 input of the flip-flop through an AND gate. The flip-flop is clocked by CLK and reset by rst . The outputs of the flip-flop are D_1 and D_0 .