

Computer Architecture Lab

Report #5

Implementing MIPS

By: Edris Nasihatkon , Alireza Yazdanpanah

Lab partners

Ahmad Hassani 810194302

Nooshin Taghavi 810194289

مقایسه : هنگامی که به پردازنده SRAM را اضافه کردیم هر خواندن و نوشتن از حافظه پنج کلاک طول می کشید که نسبت به حالت قبل که فقط یک کلاک طول می کشید پردازنده بسیار کند تر شد. ولی با استفاده از حافظه ی نهان در صورت رخ دادن hit مجموع تعداد خواندن و نوشتن کمتر می شود و میتوان کمی از کندی پردازنده کم کرد.

- این آزمایش هنوز تمام نشده گزارش کار کامل را همراه کد ارسال میکنیم 😊