

Computer Architecture Lab

Report #3

Implementing MIPS

By: Edris Nasihatkon , Alireza Yazdanpanah

Lab partners

Ahmad Hassani 810194302

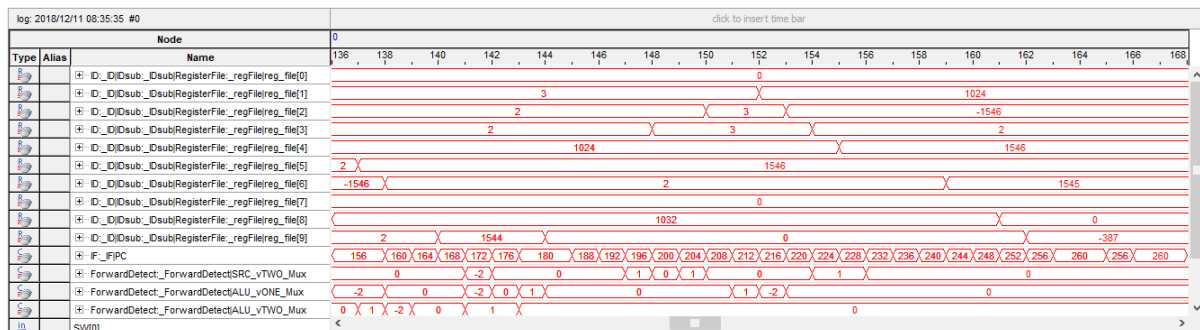
Nooshin Taghavi 810194289

با اضافه کردن HazardDetect که در فاز قبلی اضافه شد، شاهد کند تر شدن پردازنده بودیم. حال اگر نتایج دستوراتی که باعث Hazard می شوند به دستورات بعدی forward کنیم باعث افزایش سرعت در اجرا می شود.

به این صورت که ورودی های ALU را در بعضی موارد از مرحله WB، MEM میگیریم تا clock کمتری تلف شود. با این هدف یک module با نام ForwardDetect به پردازنده ی خود اضافه میکنیم که سیگنال کنترلی برای سه MUX در EXE فراهم می کند. این سیگنال ها بدین صورت هستند :

- با این فرض اینکه در ابتدا شرط یک بودن WB_EN قسمت مورد نظر تایید شده است.
 - ورودی اول ALU :
 - اگر Src1 با dest در قسمت MEM یکسان باشد ، سیگنال کنترلی MUX اول ، یک می شود.
 - اگر Src2 با dest در قسمت WB یکسان باشد ، سیگنال کنترلی MUX اول ، دو می شود.
 - در غیر این صورت صفر است.
 - ورودی دوم ALU :
 - اگر Src1 با dest در قسمت MEM یکسان باشد ، سیگنال کنترلی MUX دوم ، یک می شود.
 - اگر Src2 با dest در قسمت WB یکسان باشد ، سیگنال کنترلی MUX دوم ، دو می شود.
 - در غیر این صورت صفر است.
 - Src2_Val :
 - اگر dest در قسمت EXE با dest در قسمت MEM یکسان باشد ، سیگنال کنترلی MUX سوم ، یک می شود.
 - اگر dest در قسمت EXE با dest در قسمت WB یکسان باشد ، سیگنال کنترلی MUX سوم ، دو می شود.
 - در غیر این صورت صفر است.
- برای هر سه MUX ، اگر سیگنال کنترلی :
 - صفر باشد ، دیتا از قسمت ID می آید- همان val1 و val2 در قسمت EXE.
 - یک باشد ، دیتا از قسمت MEM می آید.
 - دو باشد ، دیتا از قسمت WB می آید.

◀ Signal Tap



Flow Summary	
Flow Status	Successful - Tue Dec 11 08:34:53 2018
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	MIPS
Top-level Entity Name	MIPS
Family	Cyclone II
Device	EP2C3SF672C6
Timing Models	Final
Total logic elements	8,972 / 33,216 (27 %)
Total combinational functions	4,424 / 33,216 (13 %)
Dedicated logic registers	7,365 / 33,216 (22 %)
Total registers	7365
Total pins	418 / 475 (88 %)
Total virtual pins	0
Total memory bits	186,880 / 483,840 (39 %)
Embedded Multiplier 9-bit elements	0 / 70 (0 %)
Total PLLs	0 / 4 (0 %)

◀ در فاز قبلی کل دستورات در 288 کلاک اجرا شدند ولی در این فاز کل دستورات به 164 کاهش یافت. که بهبود چشم گیری در زمان اجرا بود.

میزان بهبود کارایی برابر خواهد بود با :

$$\text{Performance Improvement} = \{ (288 - 164) / 288 \} * 100 = 43.05$$

◀ در این فاز تعداد logic element ها برابر 8972 شد و در فاز قبل این تعداد برابر 9140 بود که شاهد کاهش logic element ها بودیم ...

$$\text{Logic element cost} = \{ (8972 - 9140) / 9140 \} * 100 = -1.83$$

◀ با توجه به این که معیاری برای محاسبه ی کارایی نداشتیم و فقط میدانیم با زمان اجرا رابطه ی عکس دارد و نمی توانیم Performance per cost را حساب کنیم. ولی اگر چنین عددی داشتیم با تقسیم بر تعداد المان های منطقی میتوانستیم این فاکتور را حساب کنیم.

$$\text{Performance per cost} = \text{Performance} / \text{Cost}$$