

Digital Electronic Circuits

CA II

NooShin Taghavi

[Nooshin.tghvi@gmail.com](mailto:NooShin.tghvi@gmail.com)

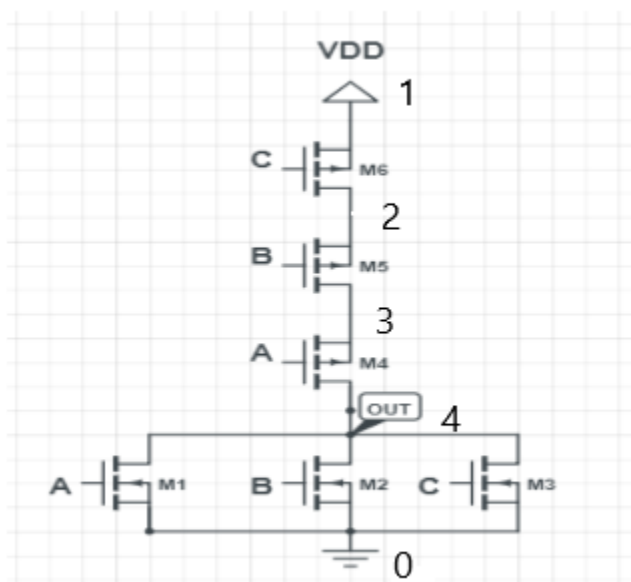
810194289

هدف

در این تمرین تاخیر و توان مصرفی بررسی میشود.

گیت مورد بررسی NOR با سه ورودی منطقی static CMOS می باشد.

- شبیه سازی در تکنولوژی 45 نانومتر و در دمای کاری 25 درجه و V_{dd} 1 ولت است.
- محاسبات در β برابر دو انجام شده است.



قسمت الف

- Pull up :

$$\left(\frac{W}{L}\right)_p = 2$$

$$3x = 1 \rightarrow x = 1/3$$

مقاومت $1/3$ مقاومت اینورتر پایه است.

سایز آن 6 برابر سایز اینورتر پایه است.

- Pull down :

$$\left(\frac{W}{L}\right)_n = 1$$

مقاومت برابر مقاومت اینورتر پایه است.

سایز آن برابر سایز اینورتر پایه است.

قسمت ب

A, B, C

$T_{Fall} :$ اوليه (0 , 0 , 10)
 $t \rightarrow 0$ ثانويه (0 , 10 , 1)

$R(9C + 12C + 12C) = 33RC$

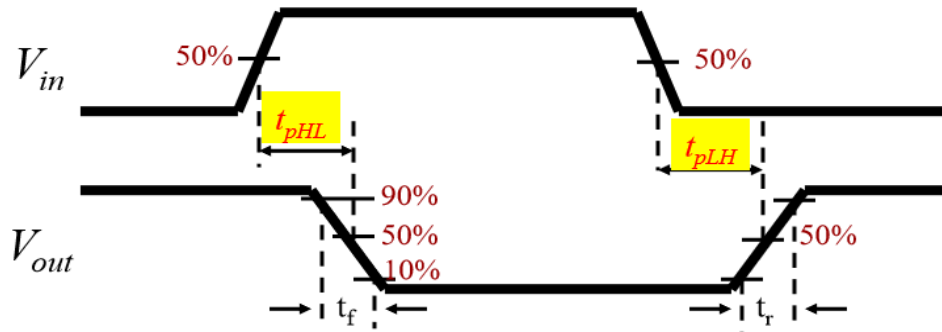
$T_{rise} :$ A, B, C
 $0 \rightarrow 1$ اوليه (0 , 0 , 1)
 ثانويه (0 , 0 , 0)

$\frac{R}{3} (12C + 12C + 9C) + \frac{R}{3} (12C + 9C) + \frac{R}{3} 9C = 63RC$

قسمت ج

$$t_{rise} = 6.012e-12$$

$$t_{fall} = 1.522e-11$$

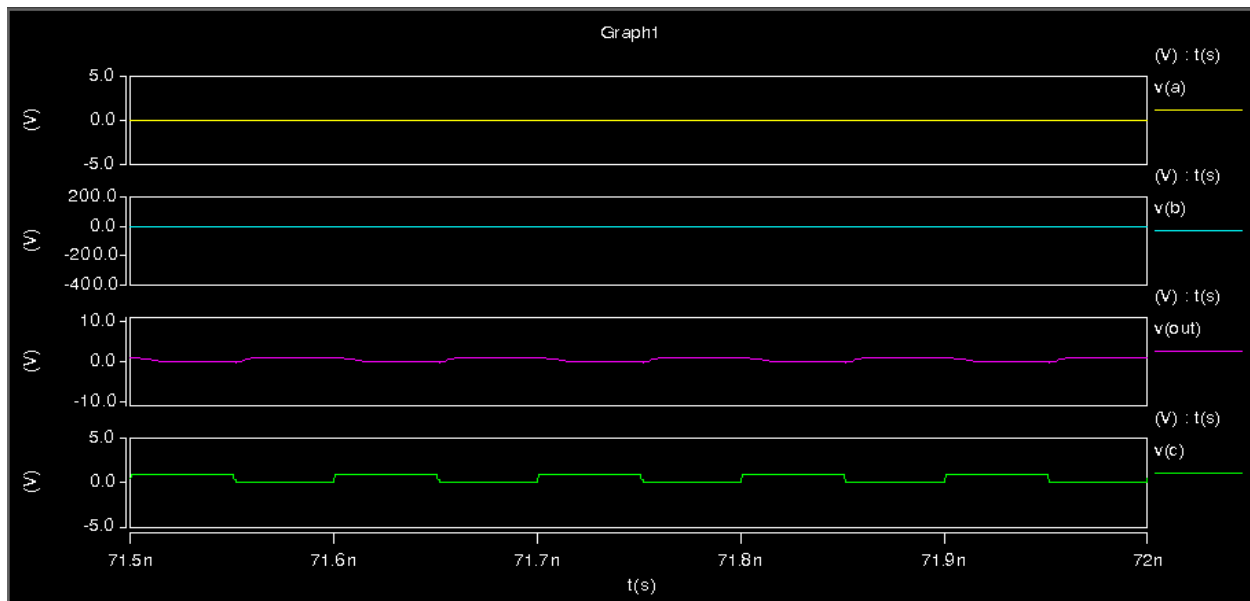


Propagation Delay: time to reach 50% of the final value

$$\begin{matrix} t_{pHL} \\ t_{pLH} \end{matrix} \rightarrow \text{Gate input to output delay: } 0.5(t_{pHL} + t_{pLH})$$

(a measure of gate delay which is a function of capacitances)

برای محاسبه ی T_{pd} باید به صورت بالا عمل کرد ولی به دلیل اینکه دقت اندازه گیری بسیار پایین است از اطلاعات داده شده از Nor.mt0 استفاده کرده ام.



$$T_{pHL} = 1.114e-11$$

$$T_{pLH} = 4.849e-12$$

$$T_{pd} = 7.993e-12$$

قسمت ه

ماکزیم فرکانس کاری :

4.709e+10

قسمت و

انرژی مصرفی با توجه به کد پوشه ی A :

1.979e-05

انرژی مصرفی با توجه به کد پوشه ی B :

1.432e-09

- کد پوشه ی A بدون استفاده از Vector و کد پوشه ی B با vector است.