



دانشگاه تهران

پردیس دانشکده های فنی

دانشکده مهندسی برق و کامپیوتر

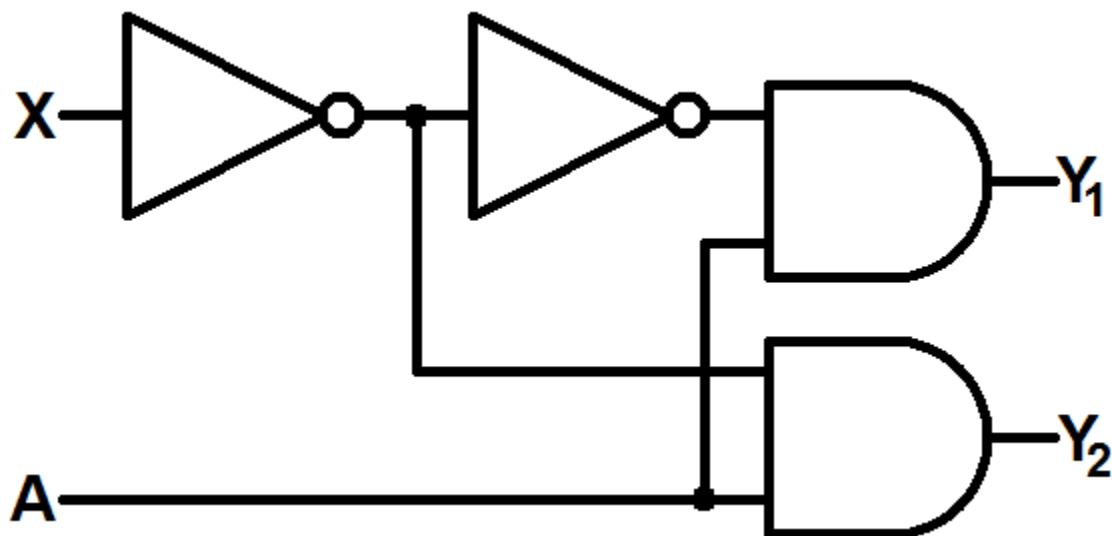


درس Digital Electronic Circuits

تمرین کامپیوتری سری سوم

تاریخ تحویل: ۹۷/۸/۲۷

در این تمرین قصد داریم مدار مربوط به یک 1-to-2 Decoder (1-to-2 De-Multiplexer) را که در شکل زیر نمایش داده شده است را در سطح ترانزیستور به روش های مختلف شبیه سازی کنیم و نتایج آن ها را با یکدیگر مقایسه کنیم.



در این مدار، دو ورودی (X و A) و دو خروجی (Y_1 و Y_2) داریم. X ورودی انتخاب گر می باشد که انتخاب می کند ورودی X به کدام یک از خروجی ها متصل شود. هنگامی که X برابر 0 می باشد، Y_2 برابر A می باشد (Y_1 برابر صفر می شود). هنگامی که X برابر 1 شود، Y_1 برابر A می باشد.

الف) مدار شکل ۱ را به سه روش Static CMOS، Pseudo-NMOS و Dynamic Logic شبیه سازی کنید و صحت عملکرد مدار را با اعمال زوج مقادیر (0,0)، (0,1)، (1,0) و (1,1) در ورودی بررسی کنید.

ب) جدول زیر را تکمیل کنید.

Dynamic Logic	Pseudo-NMOS	Static CMOS	
			t_{PHL}
			t_{PLH}
			Power

نکات قابل توجه

- برای تعیین t_{PLH} و t_{PHL} یکی از ورودی ها را ثابت بگیرید و با تغییر ورودی دیگر از نتایج به ازای ورودی های مختلف به دست آمده میانگین بگیرید.
- برای خوانایی کد بهتر است برای گیت های Inverter و AND از SUBCKT استفاده کنید.
- در مراحل مختلف تمرین در صورت لزوم فرض اولیه ای برای خود در نظر گرفته و براساس آن پیش بروید. مفروضات خود را حتما در گزارش ذکر کنید.
- بخش قابل توجهی از نمره شما بر اساس گزارش تعیین می شود، لذا مراحل کار و نتایج را به طور کامل ذکر کنید.
- شبیه سازی را در تکنولوژی ۴۵ نانومتر با منبع ولتاژ ۱ ولت انجام دهید.
- مقدار طول گیت را برای تمامی ترانزیستورها برابر ۴۵ نانومتر در نظر بگیرید.
- فایل گزارش را با فرمت PDF به همراه فایل های شبیه سازی و فایل کتابخانه در یک فایل زیپ قرار داده و فایل زیپ را با فرمت روبرو آپلود کنید: CA3_LastName_StudentNumber.zip

موفق باشید

بانک توکلی banktavakoli.e@gmail.com