

Digital Electronic Circuits

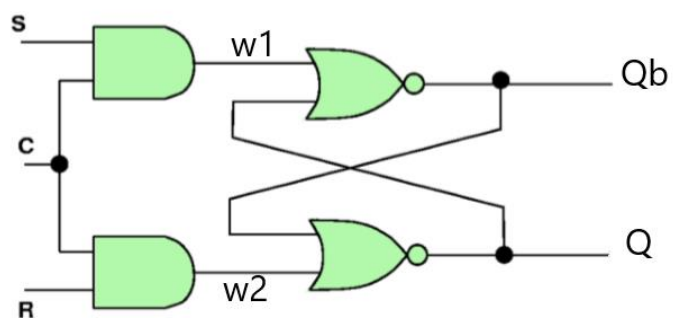
CA IV

NooShin Taghavi

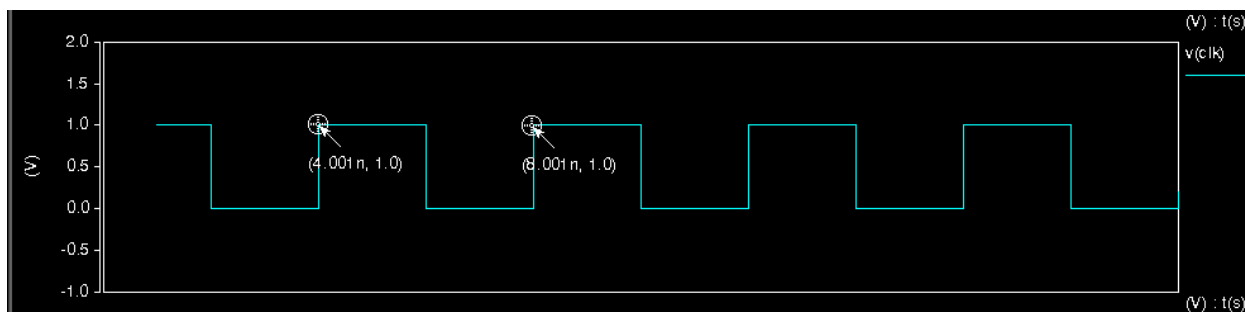
Nooshin.tghvi@gmail.com

810194289

• قسمت اول

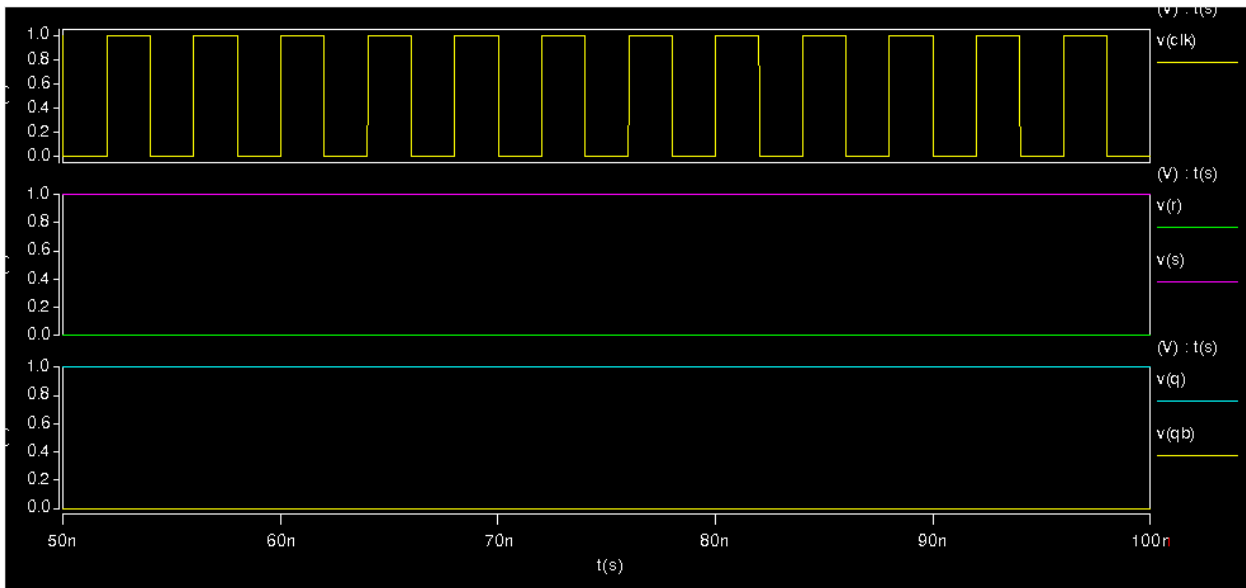


- دوره ی تناوب کلاک 4n است.

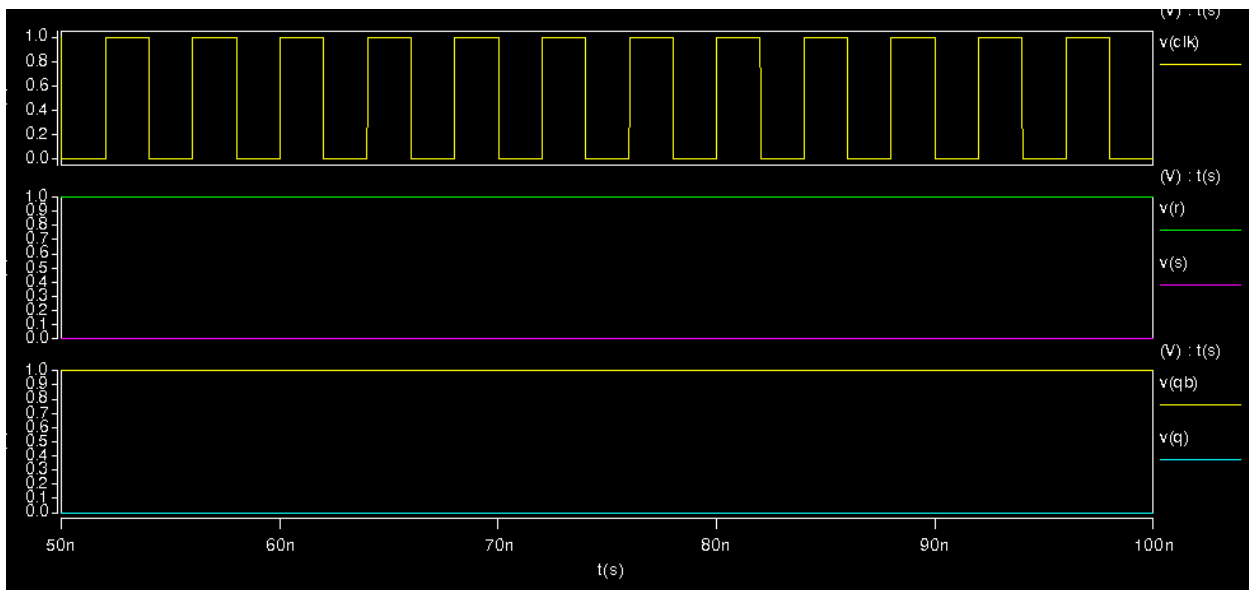


- خازن در خروجی nand , nor , inverter گذاشته شده است.

- خروجی برای $S = 1$ و $R = 0$:



- خروجی برای $S = 0$ و $R = 1$:



- محاسبه ی T-rise ,T-fall :

```
$DATA1 SOURCE='HSPICE' VERSION='A-2008.03 32-BIT'
.TITLE '* clockedslatch'
t_rise      t_fall      temper      alter#
4.770e-10   3.736e-10           25.0000           1.0000
```

- برای محاسبه ی کم ترین مساحت ممکن بدین صورت عمل کردم :
 (1) $W_p = 2$ $W_n = 1$ برای اینورتر پایه

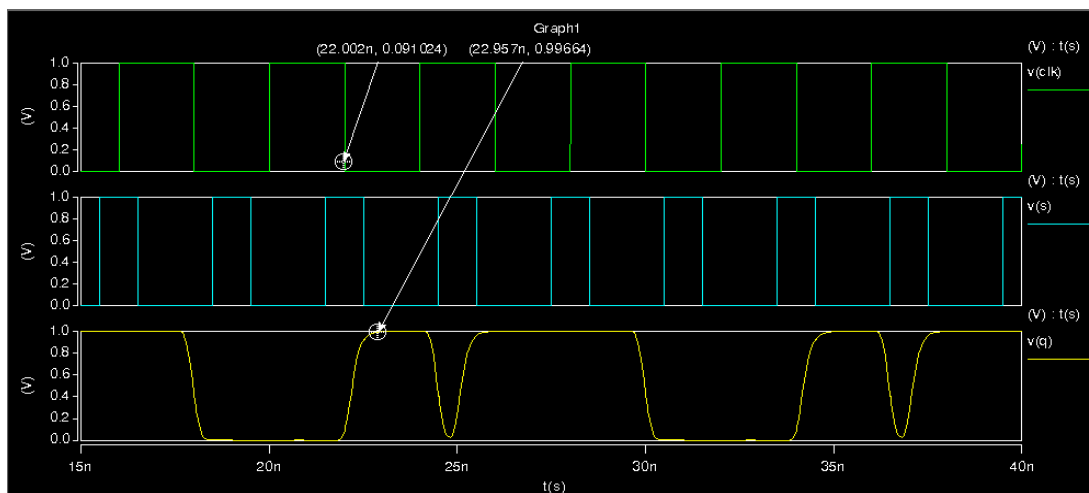
(2) برای nand :

- w ، pull-up تغییر نمی کند.
- w ، pull-down دو برابر میشود.
- که به صورت ضریب دو اعمال شده است.

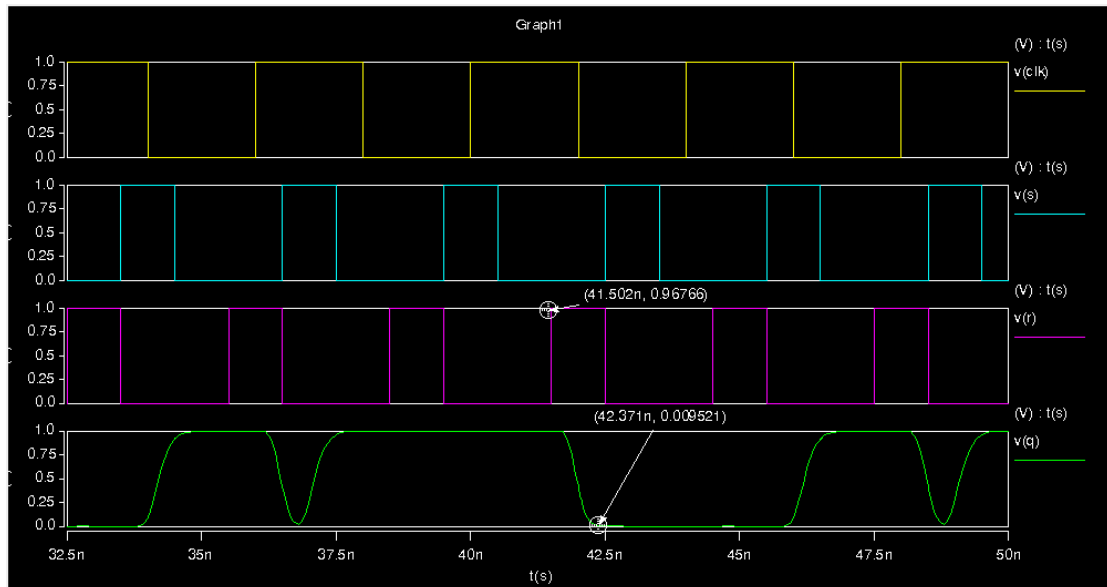
(3) برای nor :

- W ، pull-up دوبرابر میشود.
- که به صورت ضریب دو اعمال شده است.
- W ، pull-down تغییر نمی کند.

- محاسبه ی T ، clk to Q :



- محاسبه ی T setup :



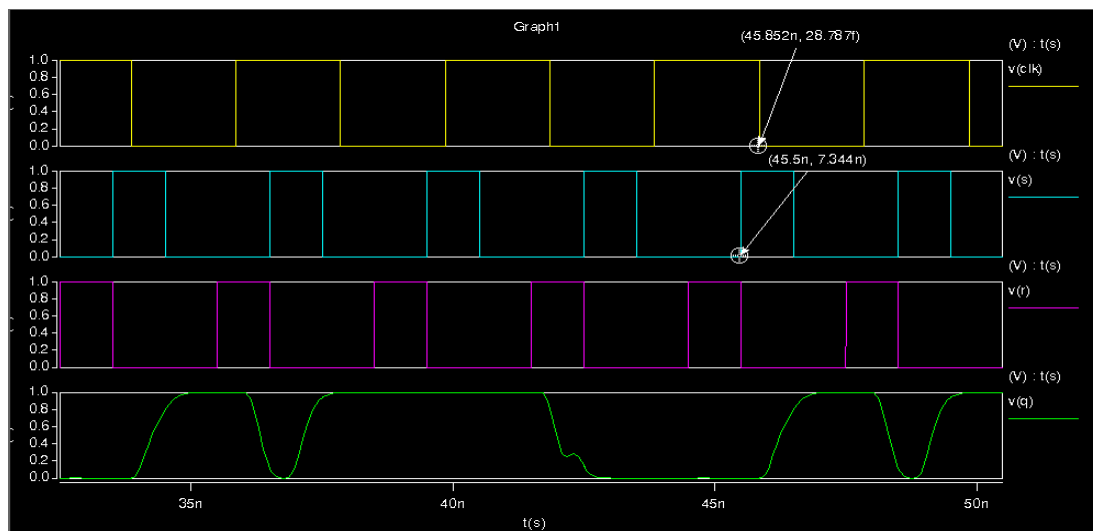
T setup : 0.869 ns

- محاسبه ی T holdtime :

برای محاسبه از آزمون و خطا استفاده کردم

VinClk	clk	0	Pulse	GND	VDD	-150p	1p	1p	2000p	4000p
*v	N+	N-	Pulse	V1	V2	TD	TR	TF	PW	PER

قسمت زرد شده را تغییر میدادم تا ورودی در خروجی ظاهر شود.



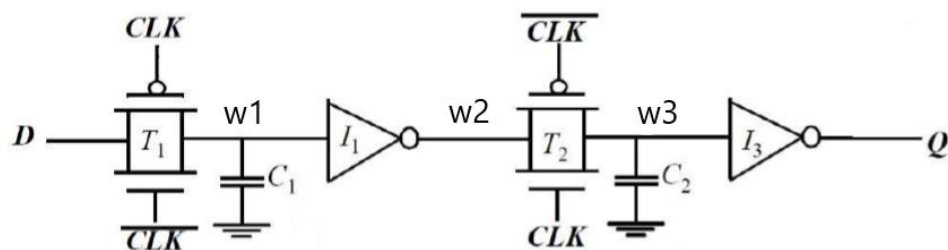
T holdtime = 0.352 ns

- مشاهده ی glitch :

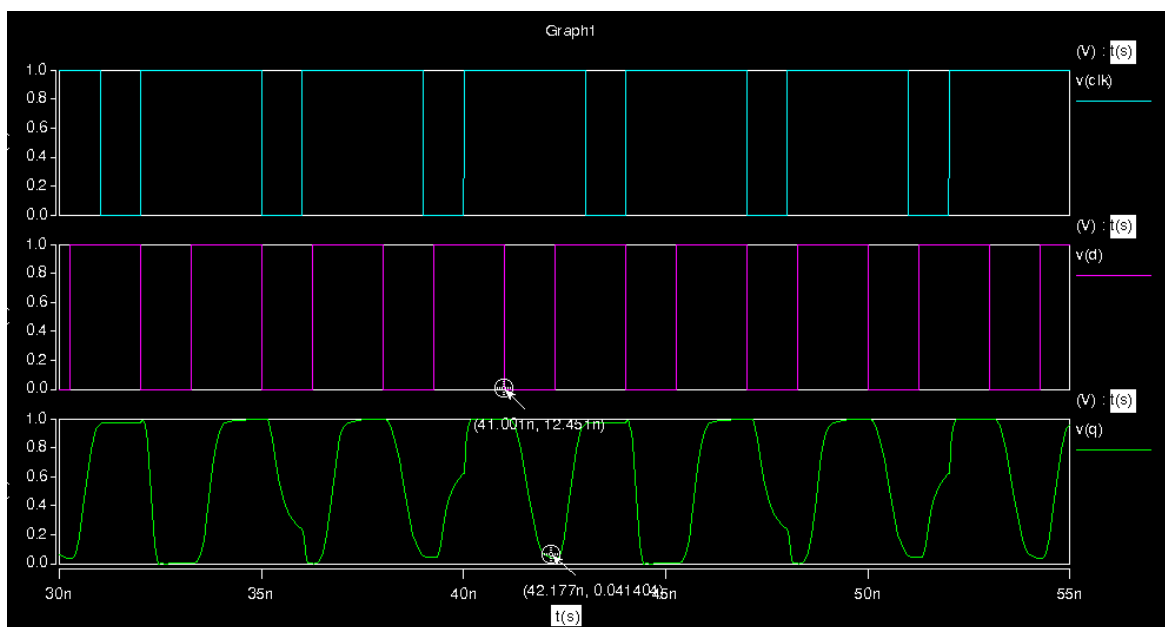


در زمانی که کلاک یک است. در مدت زمان کوتاهی Set یک میشود. ولی از آنجا که این پالس بسیار کوتاه است . در خروجی تاثیر کمی دارد و یک نمیشود.

● قسمت دوم



- این فلیپ فلاپ از نوع falling edge است.
- محاسبه ی T setup :

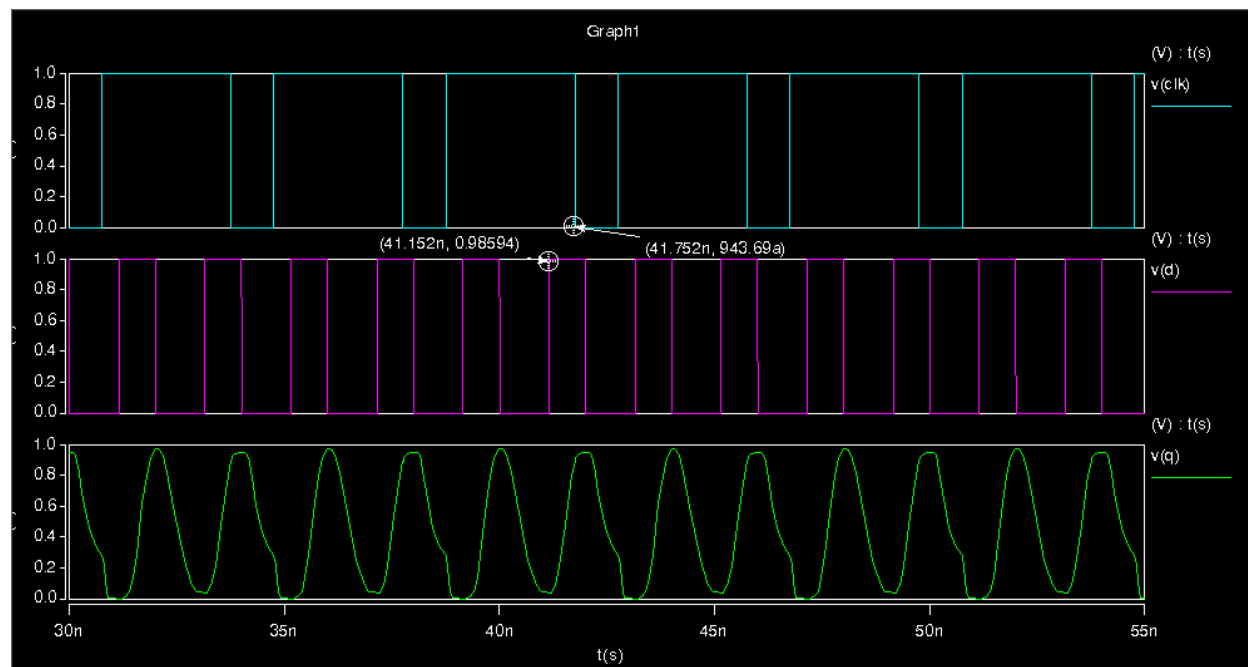


T setup : 1.116 ns

محاسبه ی T holdtime :

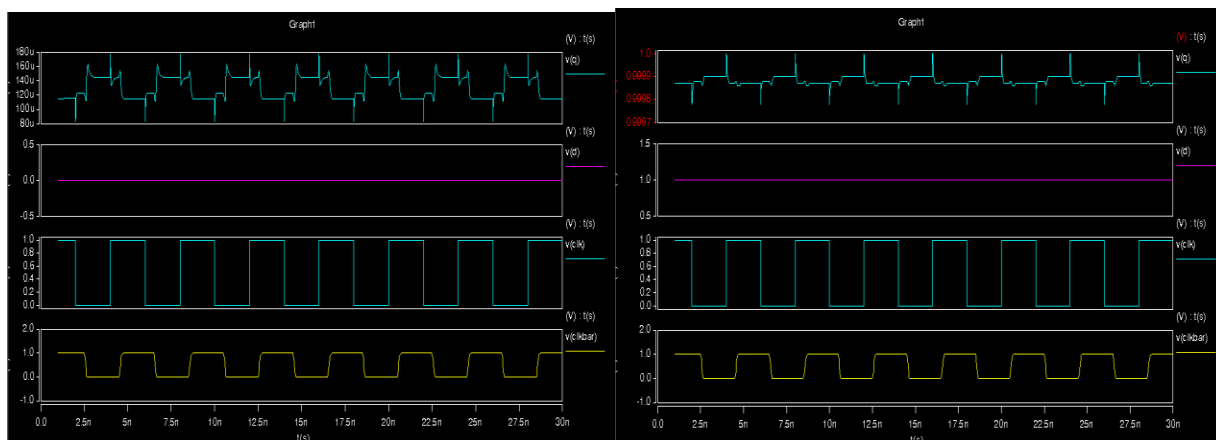
همانند قسمت اول عمل کردم .

VinClk	clk	0	Pulse	GND	VDD	-1250p	1p	1p	3000p	4000p
*V	N+	N-	Pulse	V1	V2	TD	TR	TF	PW	PER



T holdtime : 0.6 ns

- مشاهده ی clk overlap :

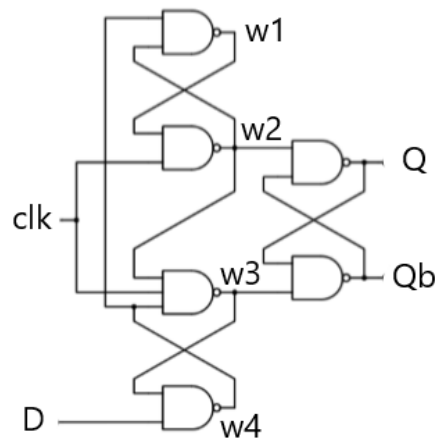


<u>t_rise</u>	<u>t_fall</u>	<u>t_clk_to_q</u>	temper	alter#
4.485e-10	4.078e-10	7.119e-09	25.0000	1.0000

```
.MEASURE TRAN t_clk_to_Q  
+ trig V(Q) val = '0.9*VDD' rise = 1  
+ targ V(Q) val = '0.9*VDD' fall = 3
```

نحوه ی محاسبه ی T clkToQ :

● قسمت سوم



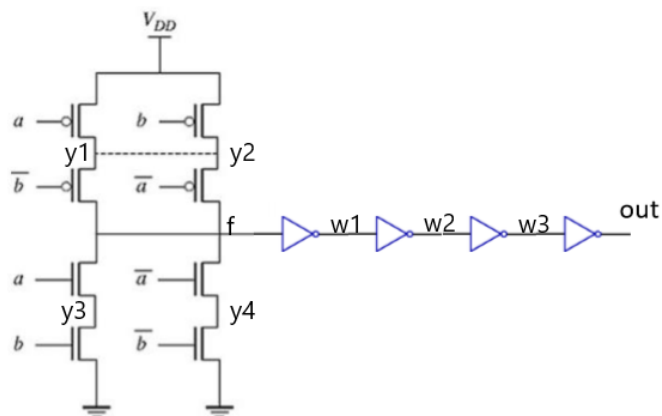
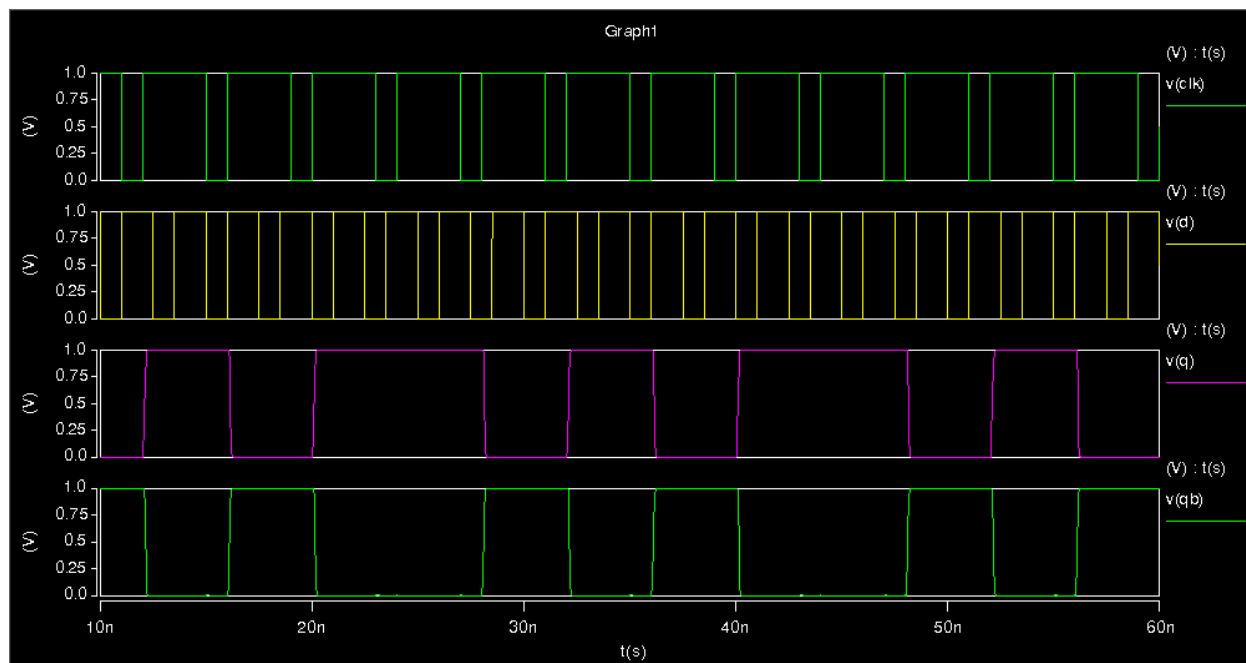
Flip flop

- مساحت nand دو ورودی مثل قسمت اول اعمال شده است.
- برای محاسبه ی nand سه ورودی :
- pull-up ، w تغییر نمی کند.
- pull-down ، w سه برابر میشود.
- که به صورت ضریب سه اعمال شده است.
- این فلیپ فلاپ rising edge است.
- T ها مثل قسمت قبل محاسبه شده اند.

<u>t_rise</u>	<u>t_fall</u>	<u>t_clk to q</u>	temper	alter#
2.355e-10	1.634e-10	1.587e-08	25.0000	1.0000

```
.MEASURE TRAN t_clk_to_Q
+ trig V(Q) val = '0.9*VDD' rise = 1
+ targ V(Q) val = '0.9*VDD' fall = 3
```

- خروجی flip flop :



مدار combinational

- محاسبه ی کم ترین مساحت ممکن :

+ مساحت inverter مثل قسمت اول اعمال شده است.

+ w ، pull-up و pull-down دو برابر میشود.
○ که به صورت ضریب دو اعمال شده است.

- خروجی به ازای ورودی ها مختلف :

