《数字电路与数字系统实验》实验报告

**实验11: 字符输入界面**

**姓名:** 尹浚宇

**学号:** 161130118

**班级:** 2018-2019第一学期数字电路与数字系统实验2班

**邮箱:** [908664035@qq.com](mailto:908664035@qq.com)

**实验时间:** 2018-12-04

1. **实验目的**
2. 利用键盘和显示器功能搭建一个简单的字符输入界面.
3. 深入理解多个模块的交互和接口设计.
4. **实验原理**
5. 字符显示

字符显示界⾯只在屏幕上显示ASCII字符, 其所需的资源⽐较少. 大部分情况下, 我们用8bit来表⽰单个字符, ⼀般系统会预留256个字符. 我们可以在系统中预先存储这256个字符的字模点阵, 如下图所示.



这⾥每个字符⾼为16个点, 宽为9个点. 因此单个字符可以用16个9bit数来表示. 每个9bit数代表字符的⼀⾏, 对应的点为1时显示白色, 为 0时显示黑色.

有了字符点阵后, 系统只需记录屏幕上显示的ASCII字符即可. 在显示时, 根据当前屏幕位置, 确定应该显示那个字符, 再查找对应的字符点阵即可完成显示.

1. 扫描显示

显示的过程总结如下：

1. 根据当前扫描位置, 获取对应的字符的 x,y 坐标, 以及扫描到单个字符点阵内的⾏列信息.

2. 根据字符的 x,y 坐标，查询字符显存，获取对应ASCII编码.

3. 根据ASCII编码和字符内的⾏信息, 查询点阵ROM, 获取对应⾏的9bit数据.

4. 根据字符内的列信息, 取出对应的bit, 并根据该bit设置颜⾊.

1. 显存读写

对于键盘输入, 我们可以复⽤之前实现的键盘控制器. 在键盘有输⼊的时候对字符显存进⾏改写, 将按键对应的ASCII码写⼊显存的合适位置, 这样输⼊就可以直接反馈到屏幕上了.

1. **实验环境/器材**

系统环境是window10, 硬件环境是DE10-Standard开发板, 软件环境是Quartus.

1. **程序代码**

整个工程的设计思路如下:

首先整个工程可以分为显示器模块, 键盘模块和这两个模块之间交互所需的其他模块. 显示器模块和键盘模块的设计沿用之前的设计. 交互所需要的模块分为地址转换模块, 根据地址查询显存或根据按键写入显存的模块, 以及根据查询到的ascii码以及字符内偏移量设置vga\_data的模块.

地址转换模块的设计思路如下:

要将640 x 480 的地址映射到70 x 30的显存行列和16 x 9的字符内行列, 对于除16以及模16部分很好采用位运算来实现. 但对于除9和模9就不易实现, 这里采用查表法实现, 满足了准确度和效率的双重要求.

显存相关模块的设计思路如下:

首先维护一个指针, 这个指针代表了现在光标所在位置. 其次该模块需要读入键盘送来的ascii码, 并且将显存中存有的ascii码送给显示屏. 为了防止时钟频率过快导致的按一次键就会写满一屏幕的问题, 这里加入了一个计数器, 只有当计数器计满一定数值后, 才写入一次, 并将光标后移一位. 同时根据读入的ascii码, 判断是否需要退格和回车.

设置vga\_data模块的设计思路如下:

根据从显存中读到的ascii码, 以及字符内的偏移量去查询字模点阵. 为1时显示白色, 为0时显示黑色.

1. **实验步骤**

首先在顶层模块中使用了之前编写好的键盘和显示屏模块, 而后在顶层模块中加入了地址转换, 显存, 字模点阵等功能, 通过编译后将生成的二进制烧写文件导入开发板进行硬件验证, 并通过了助教的查验.

1. **测试方法**

采用硬件验证的方法.

1. **实验结果**

硬件验证成功, 并通过了助教的查验.

1. **实验中遇到的问题及解决方案**

1. 刚开始显示屏黑屏, 分别测试后却发现键盘和显示屏单个模块的功能均正常, 最后经过排查后认为是没有取到数据. 没有取到数据的原因是使用了二维数组的方法去访问字模点阵, 而verilog是不支持该方法访问的, 尽管编译并不会报错, 但无法取到数据. 后面先将对应行取出, 然后再访问该行的对应位, 解决了问题.

2. 解决黑屏问题后, 发现按一个键会导致满屏幕都是这个键对应的ascii码, 这是因为时钟频率太快的缘故, 后面在写入时加入一个计数器, 计数器达到一定数额后才写入, 解决了该问题.

3. 最后在输入测试时发现横向会有重叠的情况, 考虑后是因为计算横向坐标时要使用移位和逻辑操作来替代除9和模9操作产生了误差, 而使用除9和模9又会导致坐标计算过慢而产生黑屏现象, 经过思考后, 我选择用查表代替运算, 于是我用高级语言生成了查表所需文件一共640行, 每行12位, 前7位为显存行数, 后5位为字符内行数, 解决了问题.

1. **实验得到的启示**

1. 不能用其他高级语言里访问二维数组的方式访问verilog中的位向量数组.

2. 在时序电路中, 如果时钟频率过高, 则需要考虑工程中算术运算的效率, 否则会导致不可预计的错误.

1. **意见和建议**

无