《数字电路与数字系统实验》实验报告

**实验2: 译码器和编码器的设计**

**姓名:** 尹浚宇

**学号:** 161130118

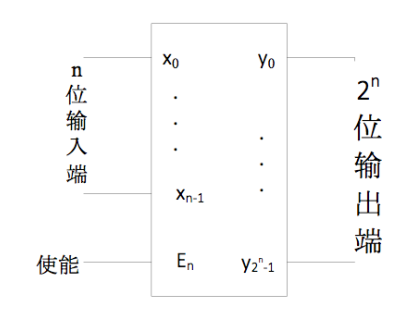
**班级:** 2018-2019第一学期数字电路与数字系统实验2班

**邮箱:** [908664035@qq.com](mailto:908664035@qq.com)

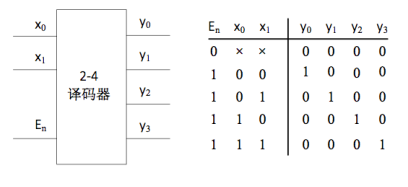
**实验时间:** 2018-09-17

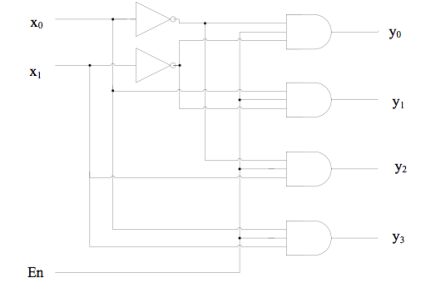
1. **实验目的**
2. 了解常用的译码器和编码器的设计方法以及七段数码管的使用.
3. 了解Verilog语言中for循环的使用.
4. 能够独立完成一个8-3优先编码器的设计, 并用七段数码管显示结果.
5. **实验原理**
6. 译码器: 译码器是组合逻辑电路的⼀个重要器件, 是可以将某⼀输⼊信息转换为某⼀特定输出的逻辑电路, 其通常是多路输⼊/输出电路. 它将n位的输⼊编码转换为m位的编码输出, ⼀般情况下n < m, 输⼊编码和输出编码之间存在着一一对应的映射关系, 每个输⼊编码产⽣唯⼀的⼀个不同于其他的输出编码. 常⽤的⼆进制译码器是⼀个有n路输⼊和m = 2n路输出的逻辑电路. 译码器有⼀个使能信号En, 当En = 0 时, ⽆论输⼊为什么, 译码器都没有任何有效值输出; 当En = 1 时, 输⼊的值决定了输出信号的值. 在⼆进制码中, 最常⽤的输出编码是m = 2n位中取1位编码, 即任何时刻, m位输出编码中只能有1位有效, 其余各位都为0, 这样的⼆进制编码被称为独热编码, 意思是那个被置为1的码看起来是”热”的, ⽽⼆进制译码器输出的信号就是独热编码.

下图展示了一个典型的译码器:



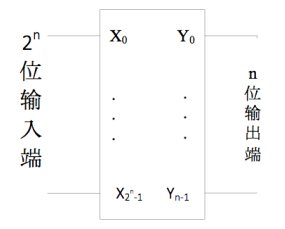
一个2-4译码器的示例, 真值表和电路图如下所示:



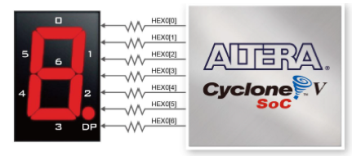


1. 编码器: 编码器是一种与译码器功能相反的逻辑电路, 编码器的输出编码比输入编码位数少. 常用的二进制编码器把来自于2n条输入线的信息编码转换成n位二进制码. 进制编码器每次输入的2n位信号中只能有1位为1, 其余均为0(即独热码). 编码器的输出端为⼀个二进制数, 用来指示对应的哪一个位输入为1.

下图展示了一个典型的编码器:



1. 优先编码器: 优先编码器允许同时在⼏个输⼊端有输⼊信号, 即输⼊不⽌⼀个“1”, 编码器按输⼊信号排定的优先顺序, 只对同时输⼊的⼏个信号中优先权最⾼的⼀个进⾏编码.
2. 七段数码管: 七段LED数码管是⼀种常用的显示元件, 分为共阴极和共阳极两种类型. 共阴极就是高电平有效, ⽽共阳极则相反. 本实验所用的DE10-Standard开发板上的数码管就是七段共阳极的. 具体情况如下图所示:

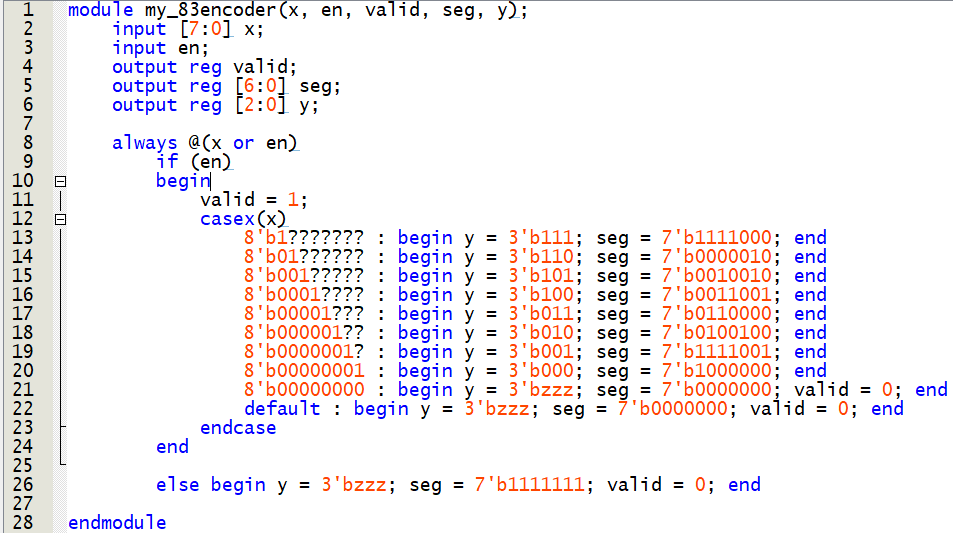


1. **实验环境/器材**

系统环境是window10, 硬件环境是DE10-Standard开发板, 软件环境是Quartus.

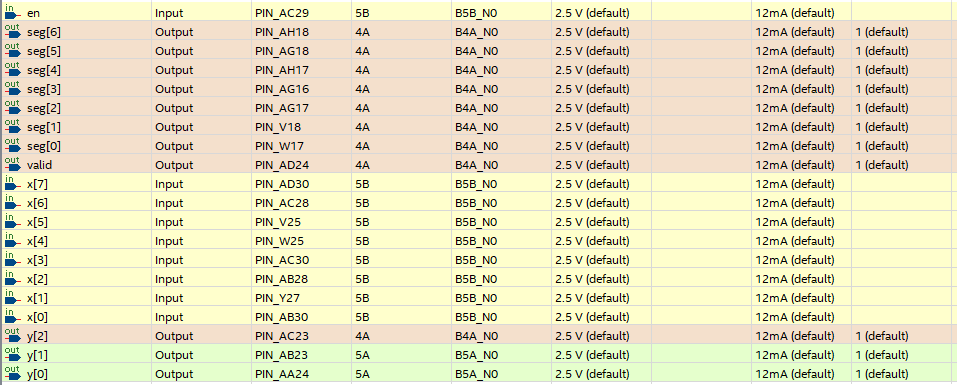
1. **程序代码**

x是输入, en是使能端, valid表示是否有效, seg控制数码管, y是输出.



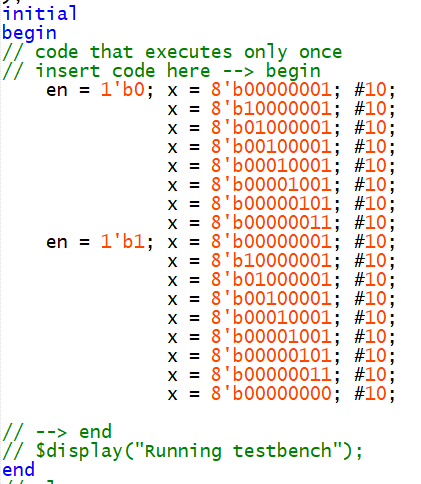
1. **实验步骤**

首先用casex风格编写了代码(见四), 通过编译后又设计了仿真模拟的代码(见六), 验证通过后分配了引脚(如下图), 最后讲生成的二进制烧写文件导入开发板进行硬件验证, 并通过了助教的查验.



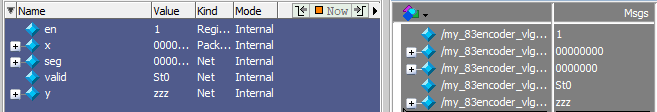
1. **测试方法**

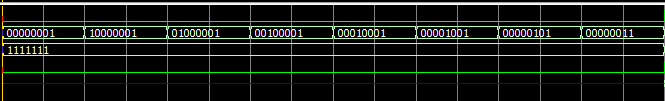
编写了如下的验证代码进行仿真验证, 并在开发板上进行了测试(见七).

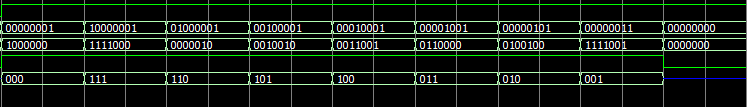


1. **实验结果**

仿真验证产生的波形图如下:

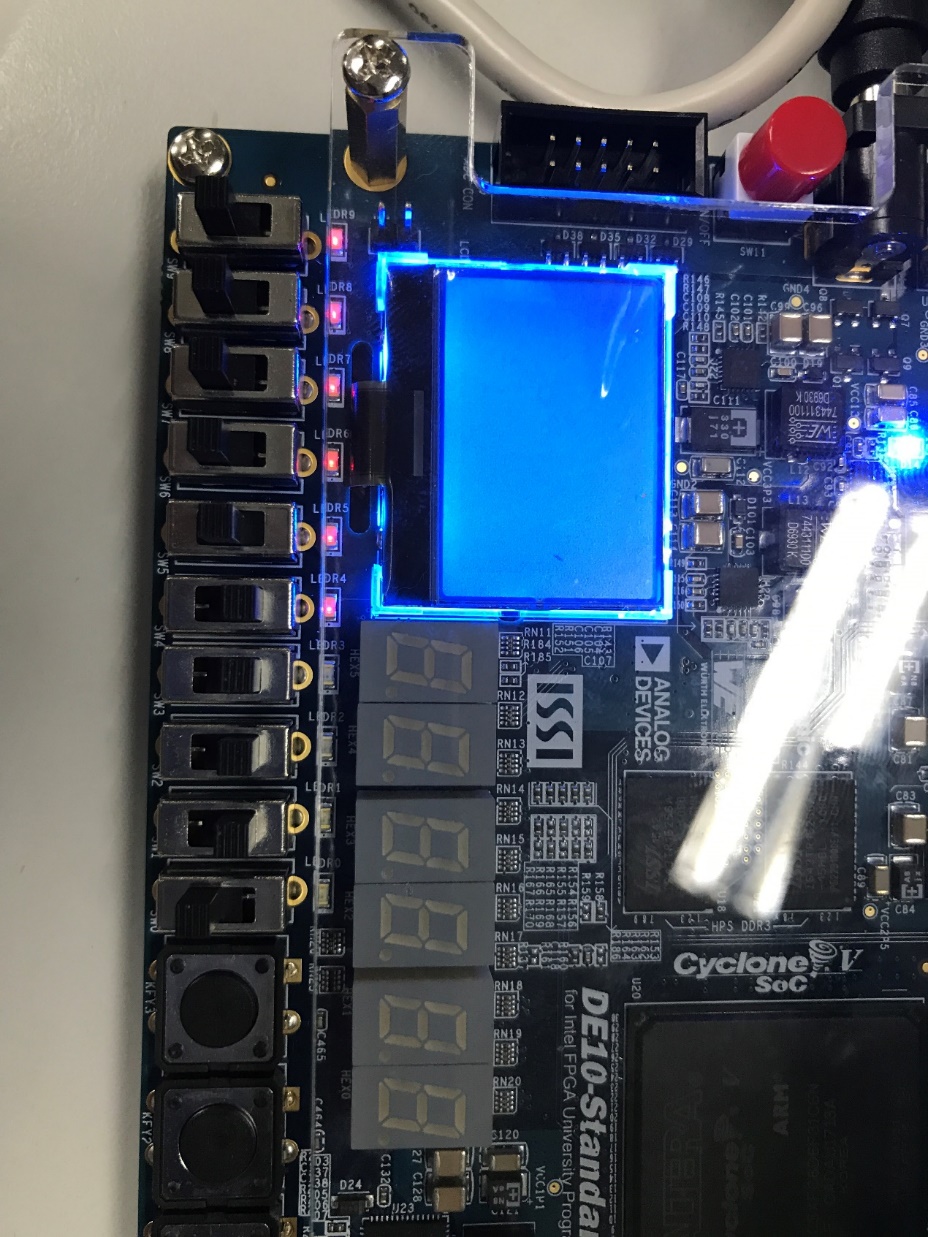


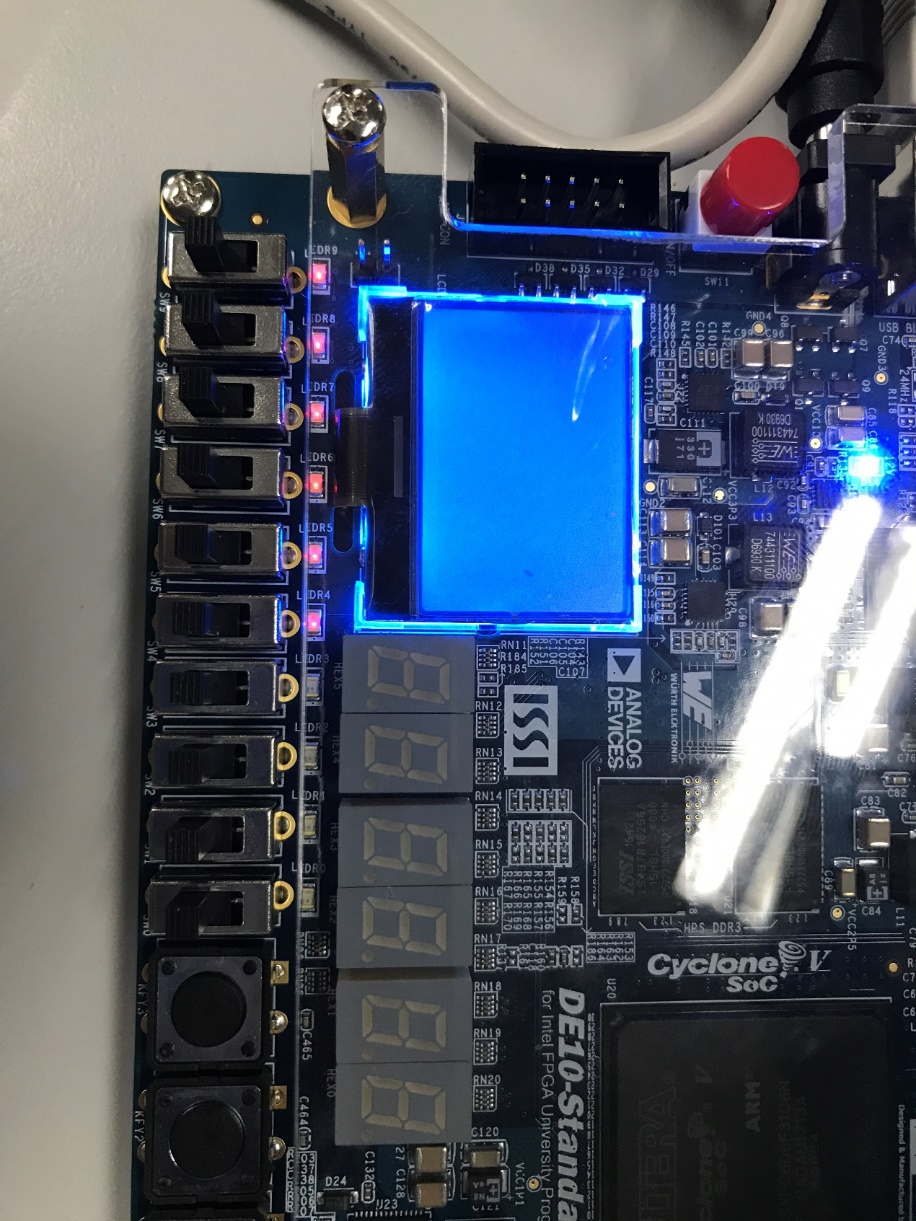




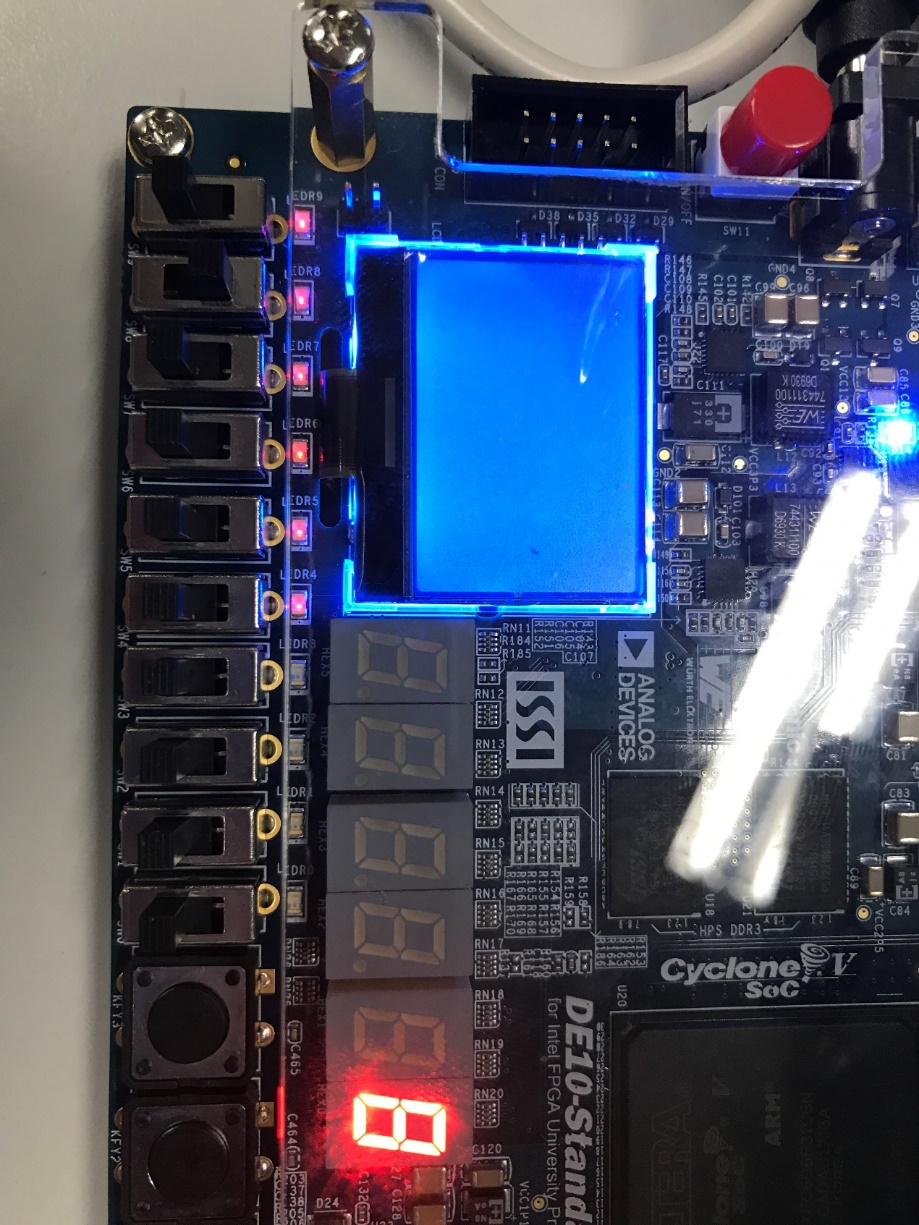
硬件验证结果如下:

SW0-SW7为输入端, SW8为使能端, 最左边的发光二极管为指示位, 其余三个为输出的二进制形式, 使能端为0时, 数码管, 输出和指示位均不亮.

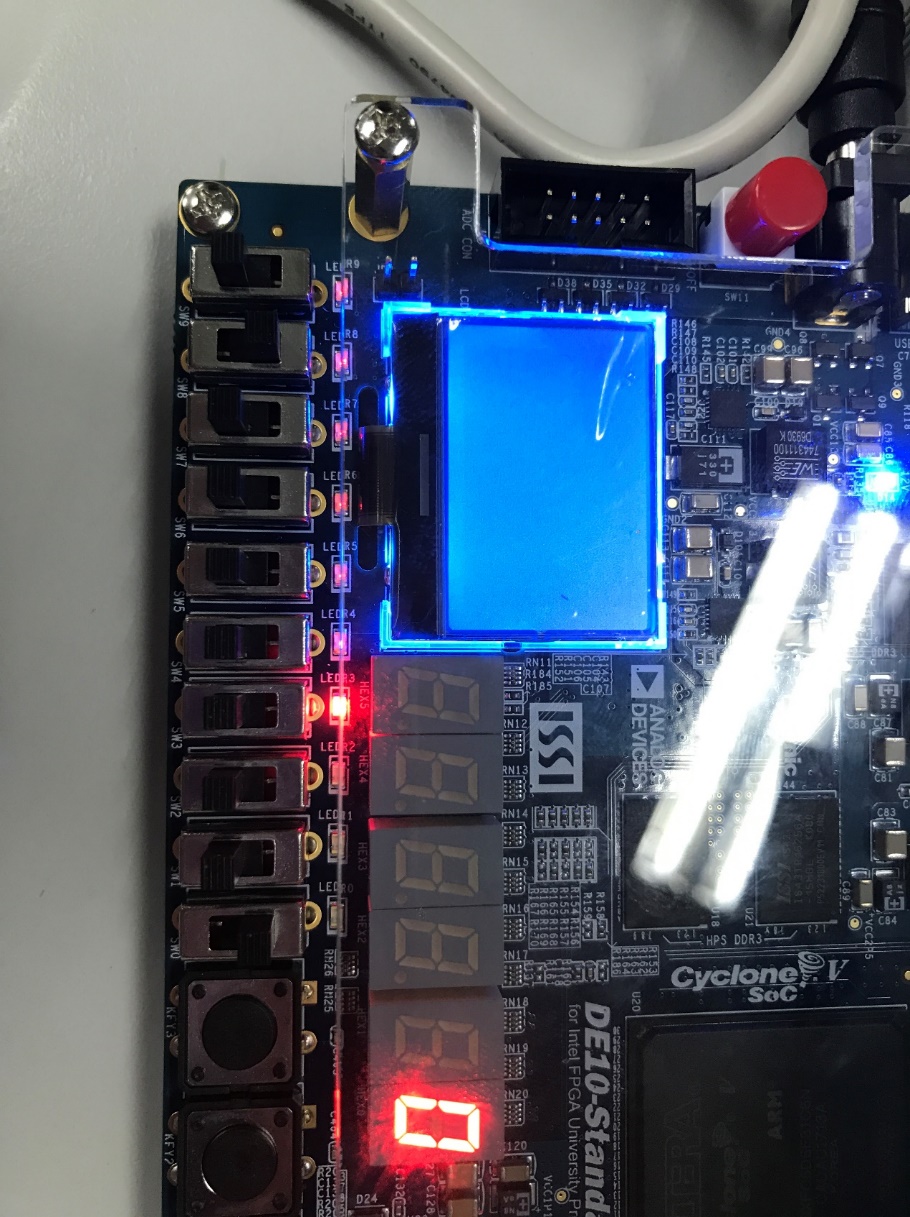
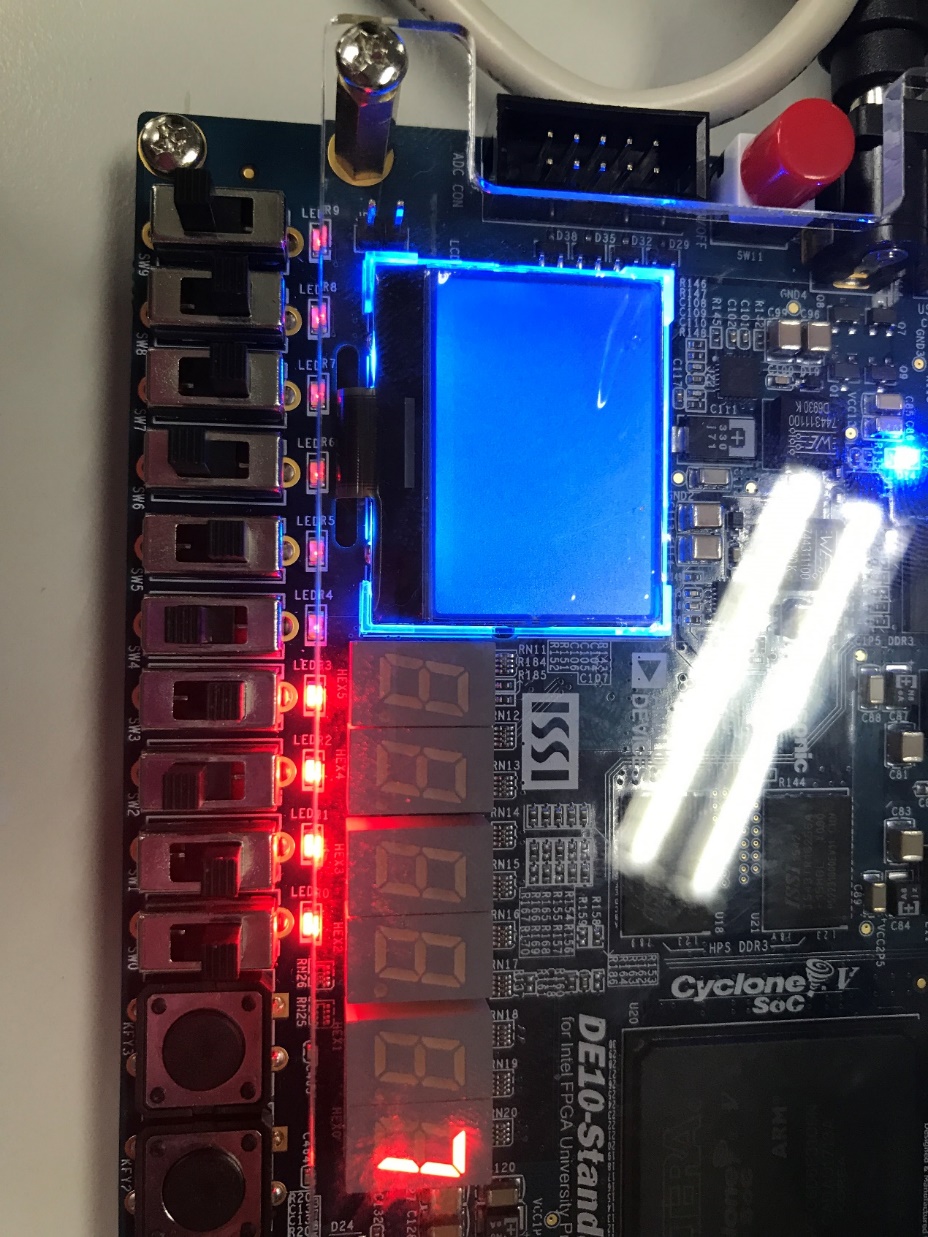
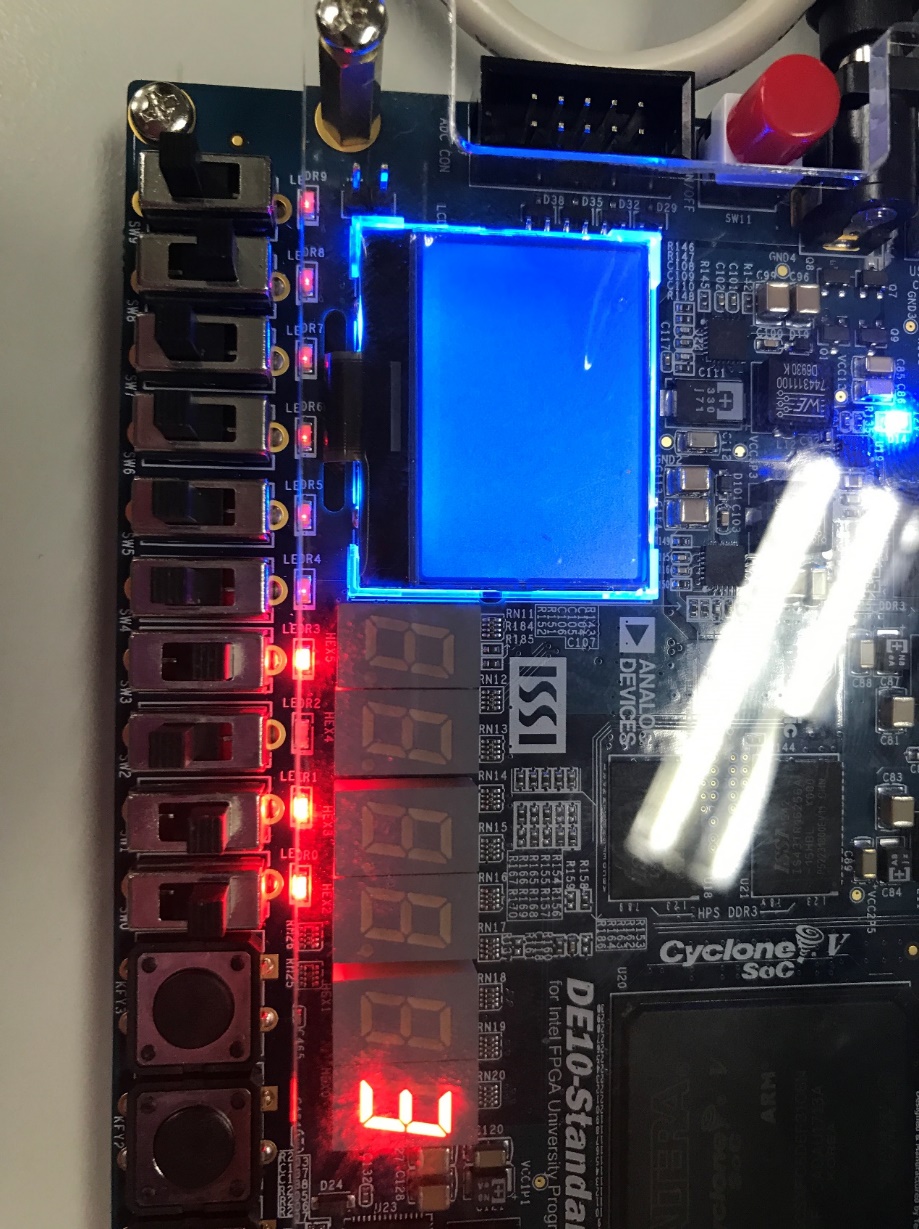
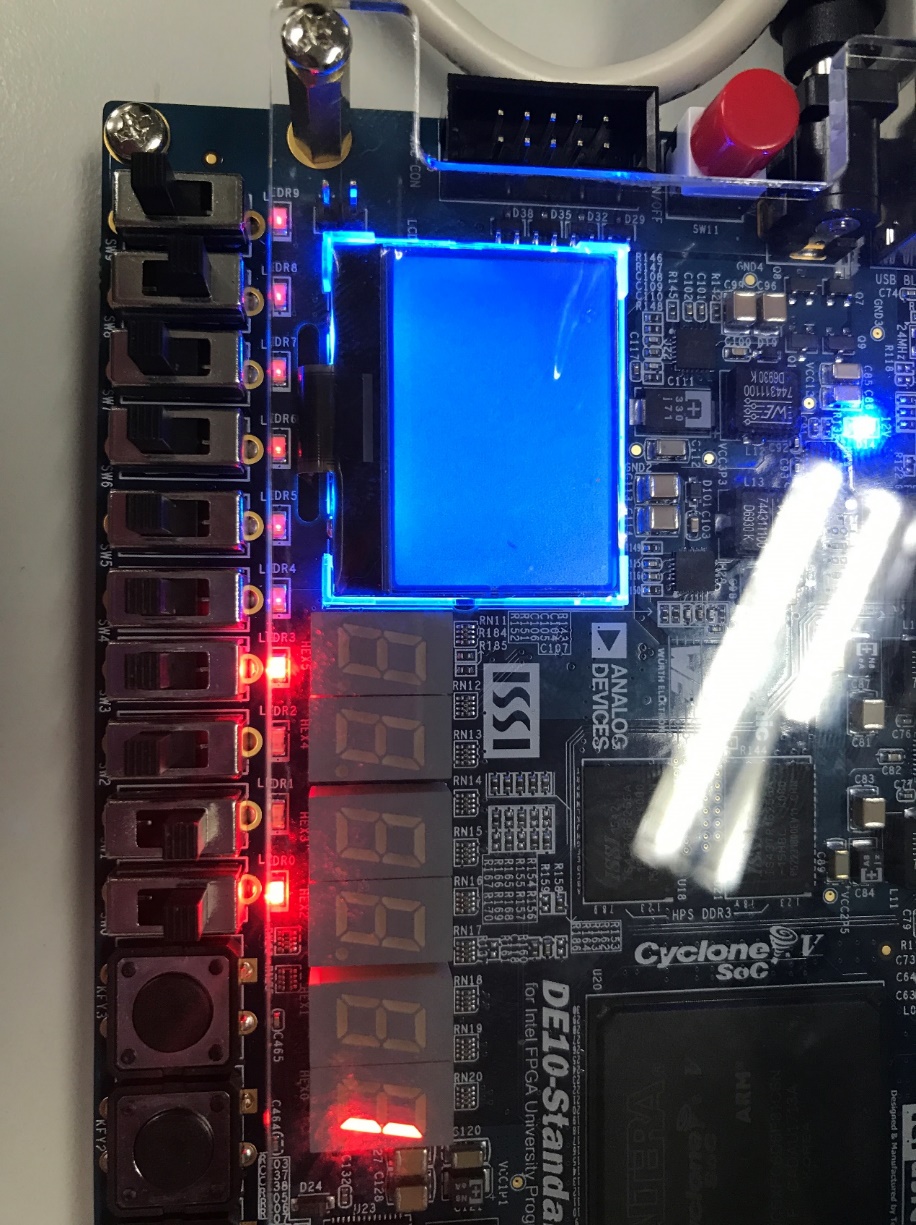
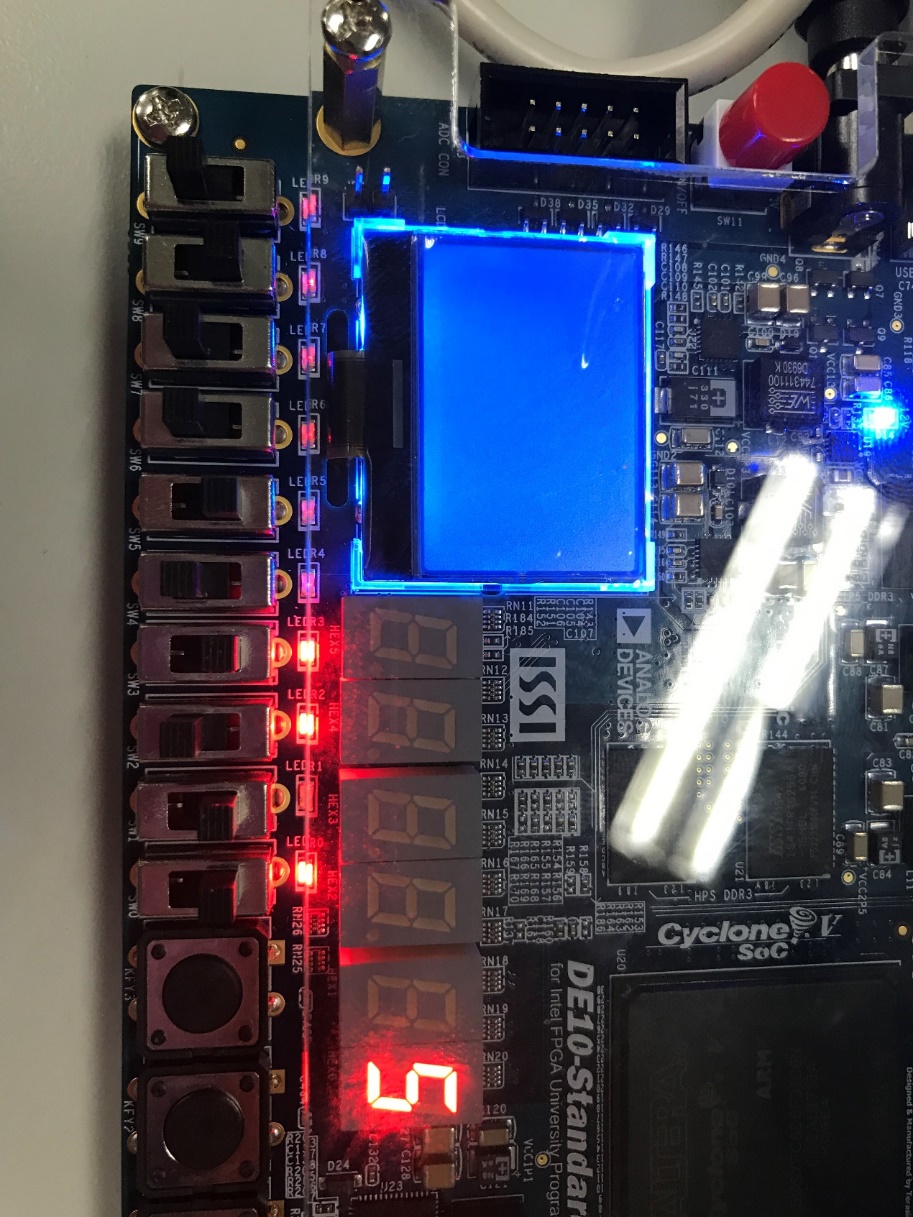




使能端为1, 输入全为0时, 数码管全亮, 输出和指示位不亮.



使能端为1, 有输入时, 按照优先编码器原理, 数码管显示输出的十进制表示, 指示位亮, 其余二极管显示输出的二进制形式.



1. **实验中遇到的问题及解决方案**
2. 不知道casex和casez的语法, 上网搜索后解决.
3. 不知道高阻态和未知值的用法, 上网搜索后解决.
4. 不了解数码管的用法, 上网搜索后解决.
5. **实验得到的启示**
6. 同样功能的器件在verilog语言中可以用不同风格的写法设计, 在本例中可以用if-else, for或者casex等写法实现8-3优先编码器.
7. 在输入无效时, 可以使用高阻态给输出赋值.
8. **意见和建议**
9. 可以多加入一个译码器的设计, 而不是只设计一个编码器.
10. 在实验讲义中可以给出一些关键词, 让同学们自己上网搜索或者查阅手册, 提升同学们的信息检索能力.
11. 该次实验可以让同学用不同风格的代码完成同样功能器件的设计, 多了解一些verilog语言的语法.